

Ανάλυση Χρονισμού σε τεχνολογίες κάτω των 45nm

Γιαννακού Παναγιώτης – Ταξίαρχης
gpan75@gmail.com



2012

Ανάλυση χρονισμού σε τεχνολογίες κάτω των 45nm

Γιαννακού Παναγιώτης Ταξιάρχης

gran75@gmail.com

01/03/2012

Στην οικογένειά μου και στους φίλους μου

Περίληψη

Με τη πρόοδο της τεχνολογίας και την συρρίκνωση των διαστάσεων των συσκευών ημιαγωγών προκύπτουν συνεχώς νέες προκλήσεις τόσο στην διαδικασία κατασκευής, όσο και στη ροή της σχεδίασης των ψηφιακών κυκλωμάτων. Στη κλίμακα των νανομέτρων φαινόμενα όπως η εσωτερική διακύμανση των ηλεκτρικών παραμέτρων του ολοκληρωμένου κυκλώματος παίζουν πλέον κρίσιμο ρόλο σε θέματα ορθότητας λειτουργίας, κατανάλωσης ενέργειας και ανάλυσης χρονισμού. Επιπλέον στην κόμβο των 45nm νέα φαινόμενα δημιουργούν πηγές διακύμανσης των ηλεκτρικών παραμέτρων ή ενισχύουν τις μέχρι τώρα γνωστές περιπτώσεις διακύμανσης. Μία από τις παραμέτρους που μεταβάλλεται τυχαία λόγω κατασκευαστικών κυρίως θεμάτων είναι το πλάτος συσκευής (width - w). Στη συνέχεια της εργασίας επιχειρείται ανάλυση της επίπτωσης που έχει η τυχαία διακύμανση του πλάτους στη διαμόρφωση της μέγιστης καθυστέρησης και του κρίσιμου μονοπατιού της σχεδίασης χρησιμοποιώντας την τεχνική της στατιστικής ανάλυσης Monte Carlo για την παραγωγή τυχαίων δειγμάτων διακύμανσης και την μετέπειτα ανάλυσή τους .

1. Εισαγωγή

Η εξέλιξη-κλιμάκωση της τεχνολογίας ακολουθώντας τον νόμο του Moore, οδήγησε στην βελτίωση της απόδοσης των συστημάτων ολοκλήρωσης ευρείας κλίμακας (*VLSI systems*) κατά πέντε τάξεις μεγέθους τις τελευταίες τέσσερις δεκαετίες [1]. Η συνεχής εξέλιξη αυτή όμως έχει ως συνέπεια την εμφάνιση διαφόρων προκλήσεων που πρέπει να αντιμετωπιστούν, με μια από τις σημαντικότερες να είναι η διαχείριση της διακύμανσης των ηλεκτρικών μεγεθών των κυκλωμάτων κατά την κατασκευή τους (*Process Variation*) . Στις υποενότητες που ακολουθούν γίνεται συνοπτική ανάλυση των βασικών εννοιών που χρησιμοποιούνται στην παρούσα εργασία και παρατίθενται χρήσιμες πληροφορίες για την χρησιμοποιούμενη τεχνολογία .

1.1. Βασικές Έννοιες

Στην ενότητα αυτή γίνεται ανάλυση των βασικών εννοιών χρήσιμων για την κατανόηση της παρούσας εργασίας. Συγκεκριμένα γίνεται ανάλυση των εννοιών της διαδικασίας κατασκευής συσκευών ημιαγωγών (*semiconductor device fabrication process*), του *process variation* και της διαδικασίας ανάλυσης χρονισμού (*timing analysis*).

1.1.1. Διαδικασία Κατασκευής Συσκευών Ημιαγωγών (*Semiconductor Device Fabrication Process*)

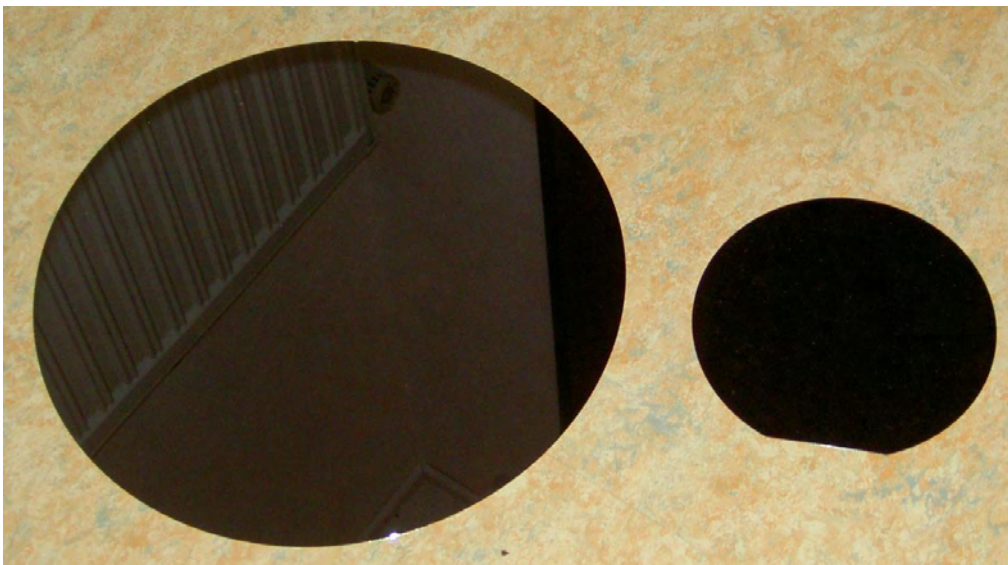
Πρόκειται για την διαδικασία κατασκευής των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται στις ηλεκτρικές και ηλεκτρονικές συσκευές.

Ορίζεται ως μια ακολουθία πολλαπλών σταδίων επεξεργασίας χρησιμοποιώντας την τεχνική της φωτολιθογραφίας και διάφορες

χημικές τεχνικές επεξεργασίας. Το ολοκληρωμένο κύκλωμα σχηματίζεται σταδιακά πάνω σε ένα δισκίο (*wafer*) κατασκευασμένο εξολοκλήρου από ημιαγώγιμο υλικό. Το ευρύτερα χρησιμοποιούμενο ημιαγώγιμο υλικό είναι το πυρίτιο (**Si**). Άλλα συνθετικά ημιαγώγιμα υλικά χρησιμοποιούνται για εξειδικευμένες εφαρμογές.

Δισκία Πυριτίου (*Silicon Wafers*)

Λεπτή (κυλινδρική) τομή πάχους περίπου 0.75mm που προέρχεται από ράβδους εξαιρετικά καθαρού μονοκρυσταλλικού πυριτίου. Χρησιμοποιείται ως υπόστρωμα για την διαδικασία της κατασκευής των μικροηλεκτρονικών συσκευών. Χαρακτηρίζονται από πλήθος τυπικών μεγεθών, με τρέχον τυπικό μέγεθος διαμέτρου 300mm και πάχους 775μm.



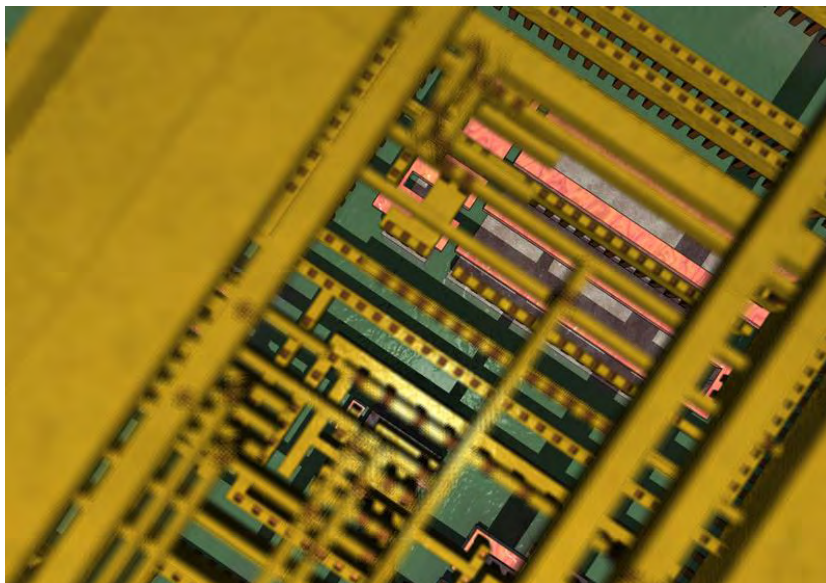
Εικόνα 1.1

Δισκία πυριτίου 12" και 6"

Γενικά Βήματα Κατασκευής

- Απόθεση : Καλείται κάθε διεργασία που εναποθέτει υλικό πάνω στο δισκίο.
- Διεργασίες Αφαίρεσης : Διεργασίες που αφαιρούν υλικό από το δισκίο μαζικά ή επιλεκτικά. Αποτελούνται κυρίως από διεργασίες απόξεσης.
- Σχηματομόρφωση : Διεργασίες που δημιουργούν ή μεταβάλλουν το σχήμα των αποθεμένων υλικών πάνω στο δισκίο και γενικά αναφέρονται με τον όρο *Λιθογραφία (lithography)*.
- Μεταβολή Ηλεκτρικών Ιδιοτήτων : Διεργασίες ενίσχυσης του πυριτίου με προσμίξεις (*εμφύτευση ιόντων*) και μείωσης της διηλεκτρικής σταθεράς.

Τα σύγχρονα ολοκληρωμένα κυκλώματα απαιτούν περισσότερα από 300 βήματα επεξεργασίας για την ολοκλήρωση της κατασκευής τους.



Σχήμα 1.2
Λεπτομέρεια από στοιχείο ολοκληρωμένο κυκλώματος (*standard cell*). Διακρίνονται τέσσερα επίπεδα μετάλλου, οι διασυνδέσεις, το πολυπυρίτιο (ροζ), τα πηγάδια/*wells* (γκρι) και το υπόστρωμα (πράσινο). Η εικόνα είναι αποτέλεσμα 3D σχεδίασης.

1.1.2. Process Variation

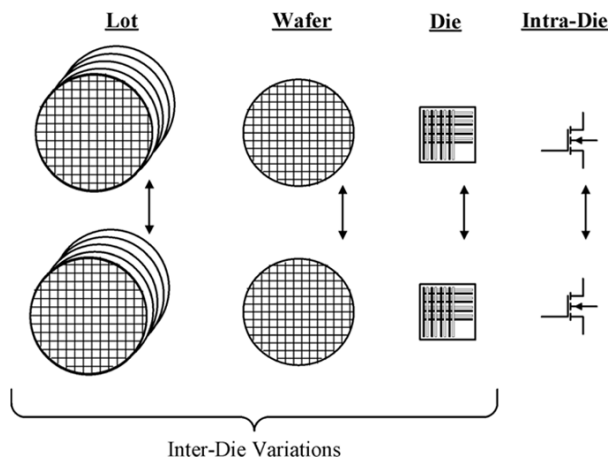
Ατέλειες κατά την διαδικασία της κατασκευής και αστοχίες στις στοιχειώδεις συσκευές (*small-geometry devices*) συντελούν στην εμφάνιση μεγάλων διακυμάνσεων στις βασικές ηλεκτρικές ιδιότητες των στοιχειωδών κυκλωματικών συσκευών και των διασυνδέσεών τους. Το φαινόμενο αυτό συνοψίζεται με τον όρο *process variation*.

Το φαινόμενο αυτό της διακύμανσης των ηλεκτρικών ιδιοτήτων είναι απόρροια της συνεχούς σμίκρυνσης των μεγεθών των στοιχειωδών συσκευών στη κλίμακα των νανομέτρων, σε μεγέθη συγκρίσιμα με το μήκος κύματος της δέσμης φωτός που χρησιμοποιείται στη διαδικασία της φωτολιθογραφίας. Αυτό με τη σειρά του οδηγεί στην αδυναμία ακριβούς αποτύπωσης των γεωμετρικών ιδιοτήτων των κυκλωματικών στοιχείων και των στοιχείων διασύνδεσης. Επίσης στο φαινόμενο του *process variation* συντελούν: η αδυναμία ακριβούς ελέγχου της διάχυσης προσμίξεων του πυριτίου, με αποτέλεσμα την μη-ντετερμινιστική τοποθέτηση των ατόμων των στοιχείων των προσμίξεων καθώς και «περιβαλλοντικές» διαφορές οι οποίες συναντώνται σε όλη την έκταση της σχεδίασης.

Κατηγοριοποίηση

Το φαινόμενο του *process variation* μπορεί να κατηγοριοποιηθεί ανάλογα με συγκεκριμένα χαρακτηριστικά του. Η βασική κατηγοριοποίηση προκύπτει από την διακριτότητα του (*granularity*), σε διάκριση του φαινομένου ανάλογα με τη σχετική κλίμακα στην οποία το λαμβάνουμε υπόψη. Έτσι διακρίνεται σε διακύμανση από παρτίδα σε παρτίδα (*lot-to-lot*) ή μέσα στην ίδια παρτίδα (*within lot*), από δισκίο σε δισκίο (*wafers-to-wafers*) ή στο ίδιο δισκίο (*within-wafer*) και τέλος από συσκευασία σε συσκευασία (*die-to-die*) ή μέσα στην ίδια συσκευασία (*within-die/intra-die*). Οι τελευταίες δύο κατηγορίες παρουσιάζουν το μεγαλύτερο ενδιαφέρον για μελέτη, ενώ η κατηγορία του *within-die*

process variation παρουσιάζει όλο και μεγαλύτερο ενδιαφέρον με την εξέλιξη της τεχνολογίας. Επιπλέον οι κατηγορίες *lot-to-lot*, *wafer-to-wafer*, *die-to-die* συνοψίζονται με τον όρο *inter-die variation*.



Σχήμα 1.3

Βασική κατηγοριοποίηση της διακύμανσης
 Πηγή: Ayhan A. Mutlu, Mahmud Rahman, "Statistical Methods for the Estimation of Process Variation Effects on Circuit Operation"

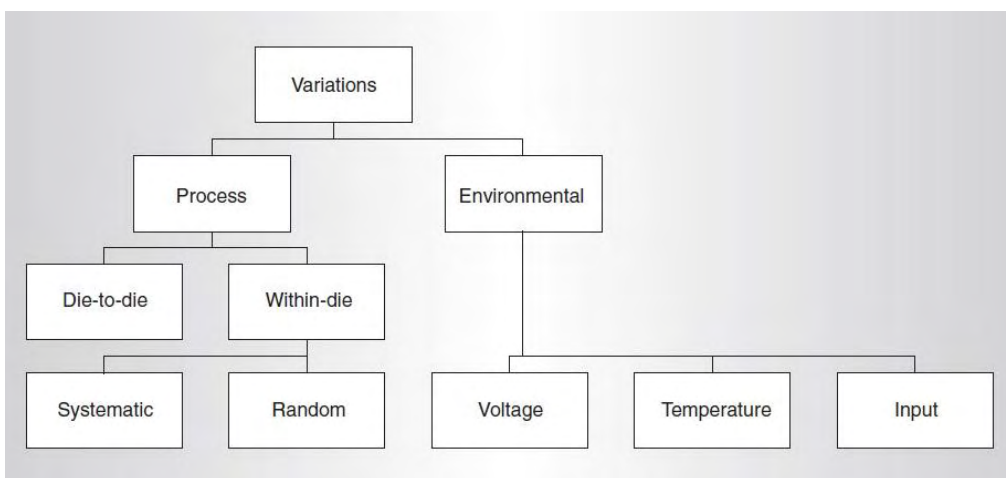
Πέραν της παραπάνω βασικής κατηγοριοποίησης το φαινόμενο διακρίνεται ανάλογα με συγκεκριμένα χαρακτηριστικά στις παρακάτω κατηγορίες :

- **Πηγή (/Αιτία)** : Στάδιο της διαδικασίας κατασκευής που είναι υπεύθυνο για την πρόκλησή του (π.χ. *polishing*, *lithography*, *resist*, *etching*, *doping*)
- **Τρόπος εμφάνισης** : Διακρίνεται σε τυχαία / μη-συσχετισμένη και συστηματική - συσχετισμένη διακύμανση.
- **Παράμετρος Σχεδίασης** : Αναφέρεται στη παράμετρο που παρουσιάζει τη διακύμανση. Αυτές μπορεί να είναι το πραγματικό μήκος καναλιού (*channel effective length*, L_{eff}), πάχος οξειδίου (*oxide thickness*, t_{ox}), το πλάτος του transistor (*width*, w), η συγκέντρωση προσμιξεων (*dopant concentration*, N_d), το πάχος του ενδιάμεσου διηλεκτρικού (*interlayer dielectric thickness*, t_{ILD}) το πλάτος και το ύψος διασύνδεσης (*interconnect width/height*), η τάση κατωφλίου (*threshold voltage*).

- **Γήρανση** : Στατική ή Δυναμική

Οι περισσότερες διακυμάνσεις των ηλεκτρικών παραμέτρων είναι στατικές και πηγάζουν από τις διαδικασίες και διεργασίες παραγωγής. Οι περιβαλλοντικές διακυμάνσεις μεταβάλλονται ανάλογα με την χρήση και το φόρτο εργασίας της συσκευής.

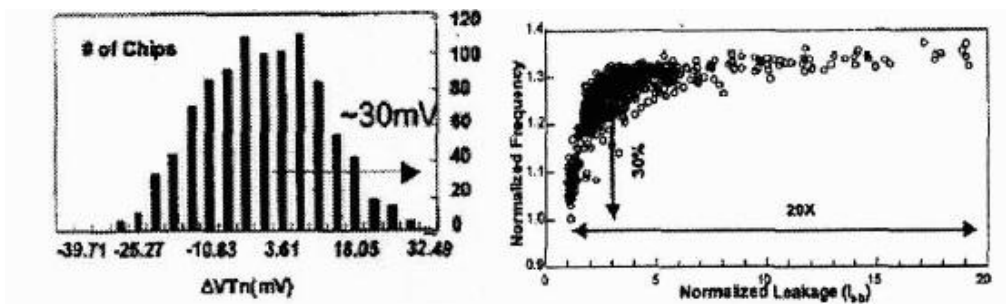
Στο σχήμα που ακολουθεί παρατίθεται συνοπτικά η οργάνωση της κατηγοριοποίησης του *process variation*:



Σχήμα 1.4

Συνοπτικός Χάρτης της Διακύμανσης Παραμέτρων

Πηγή : Osman Ursal, James w.Tschanz, Keith Bowman, Vivek De, Xavier Vera, Antonio Gonzáles, Ogus Ergin, "Impact of Parameter Variations on Circuits and Microarchitecture", IEEE, 2006

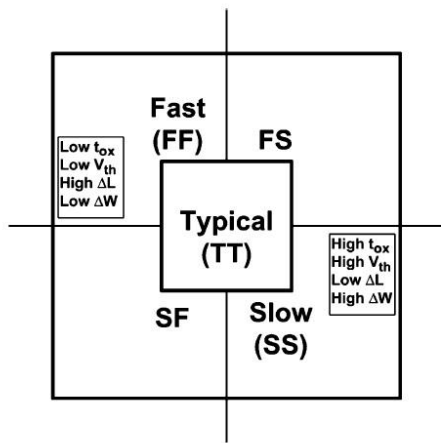


Σχήμα 1.5

a. (αριστερά) Παράδειγμα *die-to-die* διακύμανσης του V_{th} για CMOS διεργασία στα 180nm

b. (δεξιά) Ρεύμα διαρροής συναρτήσεως της συχνότητας σε υψηλής απόδοσης σχεδίαση

Πηγή : Swarup Bhunia, Saibal Mukhopadhyay, Kaushik Roy, "Process Variations and Process-Tolerant Design", 20th International Conference on VLSI Design, IEEE, 2007



Σχήμα 1.6

Οι πέντε γωνίες με τις χειρότερες περιπτώσεις διακύμανσης. (FF: Fast PMOS, Fast NMOS)

Πηγή: Ayhan A. Mutlu, Mahmud Rahman, "Statistical Methods for the Estimation of Process Variation Effects on Circuit Operation"

1.1.3. Ανάλυση Χρονισμού (Timing Analysis)

Η στατική ανάλυση χρονισμού – *static timing analysis (STA)* αποτελεί μία μέθοδο υπολογισμού του αναμενόμενου χρονισμού ενός ψηφιακού κυκλώματος χωρίς την ανάγκη προσομοίωσής του.

Ένα εργαλείο STA προσφέρει την δυνατότητα ανάλυσης των καθυστερήσεων του κυκλώματος καθ'όλη τη διάρκεια της διαδικασίας σχεδίασης, επιτρέποντας την συνεχή παρακολούθηση της δυνατότητας του κυκλώματος να λειτουργήσει σε μία καθορισμένη συχνότητα λειτουργίας. Επιπλέον είναι πολύ σημαντική η χρήση του μηχανισμού υπολογισμού καθυστέρησης με σκοπό την υλοποίηση εργαλείων βελτιστοποίησης χρονισμού σε στάδια σχεδίασης όπως η σύνθεση του κυκλώματος και η χωροθέτησή του.

Μία από τις βασικότερες χρησιμότητες της ανάλυσης χρονισμού είναι η εξακρίβωση σφαλμάτων χρονισμού που μπορεί να υπάρχουν ή να προκύψουν κατά τη διαδικασία της σχεδίασης. Τα σφάλματα αυτά χωρίζονται σε δύο βασικές κατηγορίες αναφερόμενες στη βιβλιογραφία ως :

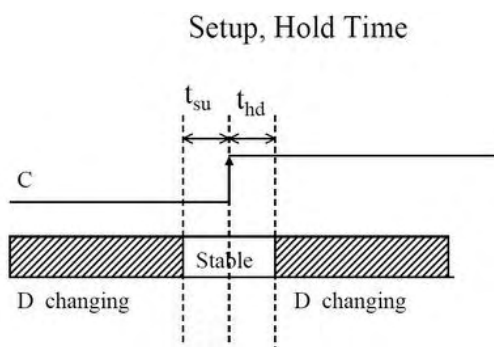
- *Setup Time Violations.*

Setup Time: Είναι το ελάχιστο χρονικό διάστημα στο οποίο το σήμα δεδομένων πρέπει να διατηρηθεί σταθερό πριν προέλθει η

ενεργή ακμή του ρολογιού έτσι ώστε να γίνει ορθή δειγματοληψία των δεδομένων από το ρολόι.

- *Hold Time Violations*

Hold Time: Είναι το ελάχιστο χρονικό διάστημα στο οποίο το σήμα δεδομένων πρέπει να διατηρηθεί σταθερό αφού προσέλθει η ενεργή ακμή του ρολογιού ώστε να υπάρξει σωστή λήψη των δεδομένων από την έξοδο.



Σχήμα 1.7

Σχηματική επεξήγηση των setup/hold time.

C: Σήμα ρολογιού, D: σήμα δεδομένων

Χρήσιμοι Ορισμοί

Παρακάτω παρατίθενται χρήσιμοι ορισμοί σχετική με τη διαδικασία της ανάλυσης χρονισμού οι οποίοι θα χρησιμοποιηθούν και στη συνέχεια της παρούσας εργασίας.

- Κρίσιμο Μονοπάτι (Critical Path) : Ορίζεται ως το μονοπάτι του κυκλώματος μεταξύ εισόδου και εξόδου το οποίο παρουσιάζει τη μέγιστη καθυστέρηση
- Χρόνος Άφιξης (Arrival Time) : Ορίζεται ως ο χρόνος που έχει που έχει παρέλθει μέχρι το σήμα να φτάσει σε ένα καθορισμένο σημείο. Για να υπολογιστεί ο χρόνος άφιξης πρέπει πρώτα να γίνει υπολογισμός όλων των καθυστερήσεων που παρεμβάλλονται στο συγκεκριμένο μονοπάτι. Συνήθως αναφέρεται με ένα ζεύγος τιμών που περιέχει τον ελάχιστο και το μέγιστο δυνατό.

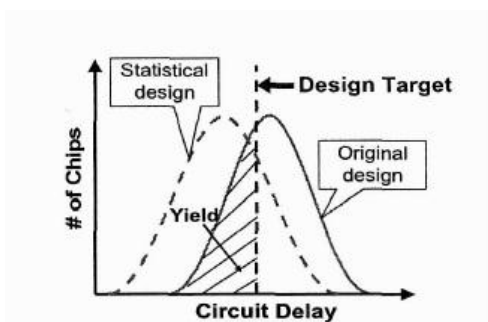
- Απαιτούμενος Χρόνος (Required Time) : Είναι ο μέγιστος δυνατός χρόνος που ένα σήμα μπορεί να φτάσει σε ένα καθορισμένο σημείο χωρίς να κάνει το κύκλο ρολογιού μεγαλύτερο από τον επιθυμητό καθορισμένο.
- Slack: Η διαφορά ανάμεσα στον απαιτούμενο χρόνο και στον χρόνο άφιξης των δεδομένων. Θετικό slack s σε έναν κόμβο δηλώνει ότι ο χρόνος άφιξης στο κόμβο αυτό μπορεί να αυξηθεί κατά s χωρίς να επηρεαστεί η συνολική καθυστέρηση του κυκλώματος. Αντίθετα αρνητικό slack δηλώνει ότι το μονοπάτι παρουσιάζει καθυστέρηση που αυξάνει την ολική καθυστέρηση του κυκλώματος γεγονός που χρήζει αντιμετώπισης με σκοπό να τηρηθούν οι εκάστοτε καθορισμένοι χρονισμοί.

Ο όρος Στατική Ανάλυση χρονισμού χρησιμοποιείται λόγω του γεγονότος ότι η ανάλυση χρονισμού εκτελείται κατά τρόπο ο οποίος δεν εξαρτάται από τις εισόδους του υπό εξέταση κυκλώματος και σκοπός του είναι να υπολογίσει τη μέγιστη δυνατή καθυστέρηση πάνω απ όλες δυνατές καθυστερήσεις. Το κόστος του συγκεκριμένου τρόπου ανάλυσης είναι γραμμικό στον αριθμό των ακμών του γράφου αναπαράστασης του κυκλώματος.

1.2 Χρησιμοποιούμενη τεχνολογία

Στη παρούσα εργασία επιλέχθηκε να χρησιμοποιηθεί η τεχνολογία των 45nm. Η σμίκρυνση των διαστάσεων που παρήλθε στη συγκεκριμένη τεχνολογία είχε ως αποτέλεσμα την ενίσχυση των επιπτώσεων του φαινομένου του process variation, καθώς επίσης και την εμφάνιση νέων αιτιών διακύμανσης. Έτσι τίθενται νέες προκλήσεις για αποτελεσματική διαχείριση και ελαχιστοποίηση των διακυμάνσεων λόγω κατασκευαστικών ατελειών καθώς με την ενίσχυση του φαινομένου

αυξάνει η αβεβαιότητα του αποτελέσματος της διαδικασίας σχεδίασης και συνεπώς της απόδοσης της διαδικασίας κατασκευής.



Σχήμα 1.8

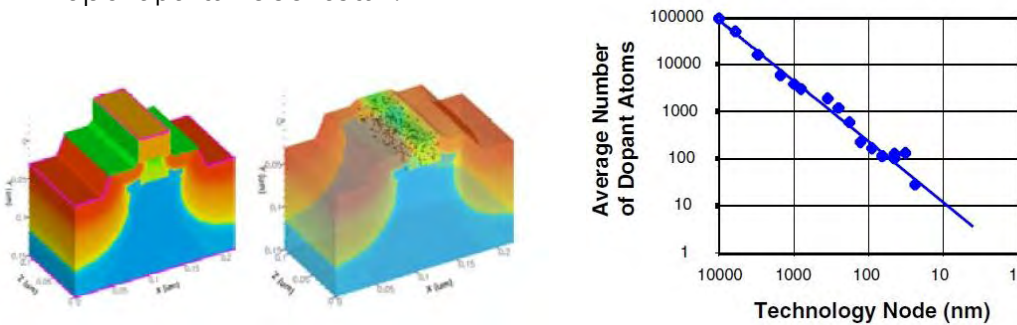
Κατανομή της καθυστέρησης ενός κυκλώματος πριν και μετά από στατιστική σχεδίαση. Η απόδοση, υπολογισμένη ως η πιθανότητα επίτευξης καθορισμένης καθυστέρησης, θεωρείται ως στόχος η περιορισμός στη διαδικασία βελτίωσης της σχεδίασης.

Πηγή: Swarup Bhunia, Saibal Mukhopadhyay, Kaushik Roy, "Process Variations and Process-Tolerant Design", 20th International Conference on VLSI Design, IEEE, 2007

Πιο συγκεκριμένα η τεχνολογία των 45nm υπόκειται σε συγκεκριμένες κατηγορίες φαινομένων διακύμανσης τα οποία συγκεντρωτικά παρουσιάζονται από το [6]. Μεταξύ άλλων σ' αυτά περιλαμβάνονται φαινόμενα υψηλής τυχαιότητας όπως τυχαία διακύμανση των προσμίξεων, τραχύτητα γραμμής ακμής και πλάτους (*line edge/line width roughness*) και διακύμανση στο διηλεκτρικό πύλης. Με τη σειρά τους αυτές οι γενικές περιπτώσεις μπορούν να αναλυθούν περαιτέρω οδηγώντας έτσι στα φαινόμενα που τις προκαλούν :

- **Τυχαία διακύμανση προσμίξεων/Random Dopant Fluctuation (RDF)**

Διακύμανση στον αριθμό και τη θέση των ατόμων των προσμίξεων οδηγεί σε διακυμάνσεις στην τάση κατωφλίου των MOS transistors. Καθώς ο αριθμός των ατόμων στο κανάλι μειώνεται με την κλιμάκωση των διαστάσεων, η επίπτωση στη διακύμανση σχετιζόμενη με τα άτομα αυτά γίνεται εντονότερη. Το RDF θεωρείται ο κύριος παράγοντας που συμβάλει στην αναντιστοιχία πανομοιότυπων παρακείμενων συσκευών.



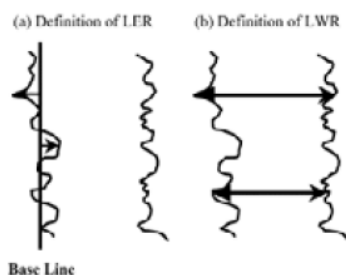
Σχήμα 1.9

αριστερά: Σχηματική αναπαράσταση του φαινομένου RDF, δεξιά: Μέσος όρος πλήθους ατόμων προσμίξεων συναρτήσει των τεχνολογικών κόμβων.

Πηγή : Intel® Technology Journal, "Intel's 45nm CMOS Technology"
Copyright © Intel Corporation. All rights reserved

- **Line – edge / Line – width Roughness (LER/LWR)**

Παρά το γεγονός ότι διακυμάνσεις στο σχήμα τησμό των γραμμών παρατηρούνται σε όλα τα στάδια της κατασκευαστικής διαδικασίας, τη μεγαλύτερη βαρύτητα όσον αφορά το φαινόμενο του LER/LWR παρουσιάζουν οι διαφοροποιήσεις στη σχηματομόρφωση του πολυυριπίου της πύλης. Οι τελευταίες αποτελούν αιτία αύξησης του ρεύματος υποκατωφλίου και της υποβάθμισης των χαρακτηριστικών της τάσης κατωφλίου.



Σχήμα 1.10

Ορισμοί των a) LER, b) LWR

Πηγή : Intel® Technology Journal, "Intel's 45nm CMOS Technology"
Copyright © Intel Corporation. All rights reserved

▪ **Διακύμανση στο Διηλεκτρικό Πύλης**

Οι συσκευές μετάλλου υψηλού k που χρησιμοποιούνται στη τεχνολογία των 45nm υπόκεινται σε φαινόμενα διακύμανσης του διηλεκτρικού της πύλης όπως διακύμανση στο πάχος οξειδίου, σταθερό φορτίο, και *interface traps*. Αυτά τα φαινόμενα έχουν άμεση επίπτωση στο ρεύμα οδήγησης, στο ρεύμα σύραγγας πύλης ή στη τάση κατωφλίου.

○ **Πάχος Οξειδίου (Oxide Thickness)**

Οι εγγενείς διακυμάνσεις της τάσης κατωφλίου που προκαλούνται από τοπικές διακυμάνσεις του πάχους οξειδίου γίνονται συγκρίσιμες με τις διακυμάνσεις της τάσης που προκαλούνται από το φαινόμενο RDF για συνηθισμένες συσκευές με διαστάσεις 30nm και κάτω. Επίσης διακυμάνσεις στη τάση V_{th} προκαλούνται από μια στατιστική κατανομή από το ρεύμα διαφυγής σύραγγας πύλης (*gate-tunnel leakage current*), όταν η αντίσταση της σύραγγας οξειδίου πύλης γίνεται συγκρίσιμη με την αντίσταση του πολυπυριτίου της πύλης.

○ **Σταθερό Φορτίο (Fixed Charge)**

Η παρουσία σταθερού φορτίου στο στρώμα υψηλού k μπορεί να επιρρεάσει την κινητικότητα των ηλεκτρονίων και την τάση κατωφλίου. Συνεπώς διακύμανση στο σταθερό φορτίο μπορεί να επιρρεάσει την ομοιομορφία των τάσεων κατωφλίου κάθε στοιχειώδους συσκευής.

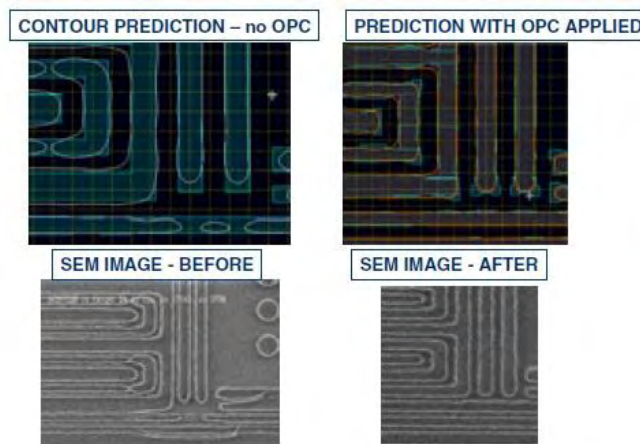
○ **Κατασκευαστικές Ατέλειες και Παγίδες Ηλεκτρονίων**

Στα διηλεκτρικά υψηλού k παρατηρείται υποβάθμιση της κινητικότητας των ηλεκτρονίων και αποσταθεροποίηση της τάσης κατωφλίου λόγω του φαινομένου της ταχέως μεταβατικού φορτίου (*fast transient charge- FTC*) στις παγίδες ηλεκτρονίων. Όσον αφορά τις κατασκευαστικές ατέλειες, δύο είδη έχουν προταθεί: αυτές που σχετίζονται με τα όρια του πλέγματος στο νανοκρυσταλλικό HfO_2 και αυτές που

σχετίζονται με διαφορετικές καταστάσεις φορτίου του κενού του ατόμου O.

- ο **Επιπτώσεις Προσέγγισης Σχηματομόρφωσης**

Μία από τις τεχνικές που χρησιμοποιούνται σε κρίσιμες περιχές για βελτίωση της λιθογραφικής σχηματομόρφωσης και μείωση της διακύμανσης είναι η τεχνική OPC (Optical Proximity Correction). Η τεχνική αυτή παραμορφώνει με συγκεκριμένο τρόπο τα δεδομένα σχηματισμού της μάσκας ώστε να επιτευχθεί σωστός σχηματισμός του επιθυμητού αποτελέσματος στο δισκίο. Η παραπάνω τεχνική παράγει μια οπτική συνάρτηση μεταφοράς από τη μάσκα στο δισκίο και ένας αλγόριθμος OPC γράφεται για να αντιστρέψει την συνάρτηση μεταφοράς. Η κατεργασία του OPC αναπτύσσεται χρησιμοποιώντας έναν επαναληπτικό αλγόριθμο που τροποποιεί την αρχική βάση δεδομένων ώστε να επιτευχθεί το επιθυμητό σχήμα στη μάσκα.



Σχήμα 1.11

Σχηματική επίδειξη της τεχνικής OPC

Πηγή : Intel® Technology Journal, "Intel's 45nm CMOS Technology"
Copyright © Intel Corporation. All rights reserved

- ο **Στίλβωση**

Η χημική μηχανική στίλβωση (Chemical Mechanical Polish - CMP) είναι μια κρίσιμη διαδικασία στη διαδικασία κατασκευής.

Διακυμάνσεις κατά τη διαδικασία της CMP μπορεί να προκαλέσουν διακυμάνσεις στα χαρακτηριστικά των αγωγών διασύνδεσης. Επίσης κατά το στάδιο gate-fill της διαδικασίας κατασκευής μπορεί να υπάρξει διαφοροποίηση στα ύψη των πυλών φαινόμενο που προκαλείται από την διακύμανση στη διαδικασία CMP για το πολυπυρίτιο της πύλης. Στα μετέπειτα βήματα της διαδικασίας κατασκευής, τόσο η διακύμανση του ύψους όσο και των εσοχών εξαρτώνται από τη διακύμανση του CMP στο πολυπυρίτιο και το μέταλλο της πύλης.

- **Strain**

Η συγκεκριμένη τεχνική ενίσχυσης της απόδοσης στις τεχνολογίες ημιαγωγών εισήγαγε νέες μορφές διακύμανσης συστηματικές και τυχαίες. Τεχνικές έχουν εφαρμοστεί για την μοντελοποίηση και πρόβλεψη της διακύμανσης της τάσης κατωφλίου συναρτήσει του μήκους καναλιού, πάχους στρώματος, χαρακτηριστικών πρόσμιξης και του Ge fraction.

- **Εμφύτευση και ανόπτωση**

Οι συνθήκες που επικρατούν στο εργαλείο εμφύτευσης αποτελούν σημαντική πηγή για την διακύμανση στα transistors. Επιπλέον η ενισχυμένη διάχυση, διαφοροποιήσεις στην ενεργοποίηση των προσμίξεων και η διοχέτευση προσμίξεων κατά μήκος των ορίων του πλέγματος μπορούν να προκαλέσουν αυξημένη διακύμανση.

2. Βασικό Πρόβλημα

Η τυχαία διακύμανση που προκαλείται στις ηλεκτρικές παραμέτρους του κυκλώματος λόγω των επιπτώσεων της κατασκευαστικής διαδικασίας έχει άμεσο αντίκτυπο στο χρονισμό των ψηφιακών κυκλωμάτων. Πιο συγκεκριμένα η διακύμανση στις παραμέτρους του κυκλώματος σε συνδυασμό με διακυμάνσεις στη τάση λειτουργίας, στη θερμοκρασία και τις τιμές εισόδου (PVTI – *Parameters/Voltage/Temperature/Input*), συμβάλει στη διαμόρφωση της μέγιστης καθυστέρησης του κρίσιμου μονοπατιού της σχεδίασης.

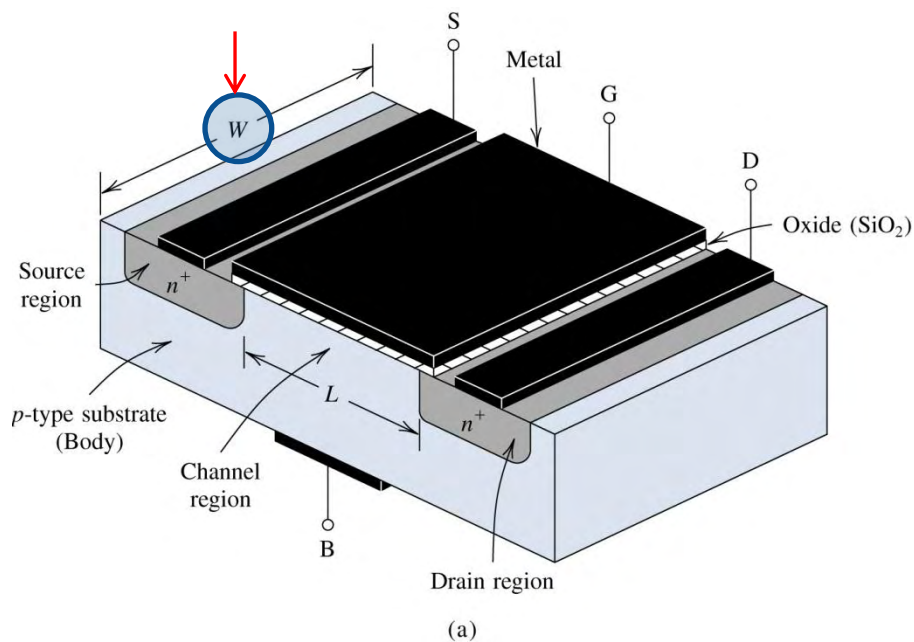
Για να υπάρχει εγγυημένη ορθότητα λειτουργίας της κάθε σχεδίασης, οι σχεδιαστές πρέπει να αθροίζουν την χειρότερη καθυστέρηση που σχετίζεται με το υπό σχεδίαση κύκλωμα με ένα επιπλέον ποσοστό καθυστέρησης για κάθε στοιχείο PVTI. Το νέο άθροισμα αυτό θεωρείται ως η πραγματική (ασφαλής) χειρότερη περίπτωση καθυστέρησης του υπό σχεδίαση κυκλώματος. Η παραπάνω διαδικασία είναι γνωστή και ως *guard banding* και το άθροισμα της επιπλέον καθυστέρησης που τίθεται για λόγους ασφάλειας ως *guard band*. Η διακύμανση που σχετίζεται με το PVTI αυξάνεται με την κλιμάκωση της τεχνολογίας. Για τεχνολογίες κάτω των 90nm τα παραπάνω όρια ασφαλείας έχουν εξελιχθεί σε σημαντικό παράγοντα διαμόρφωσης της καθυστέρησης των μονοπατιών. Συμπερασματικά, οι σχεδιαστές θα πρέπει να κάνουν τον κύκλο ρολογιού πολύ μεγαλύτερο από τις πραγματικές καθυστερήσεις του κυκλώματος, με σκοπό να εγγυηθούν την ορθότητα λειτουργίας του.

Άμεσα από τα προηγούμενα προκύπτει η ανάγκη για ελαχιστοποίηση της επιπρόσθετης αυτής καθυστέρησης ασφαλείας, καθώς πολλά από τα χαρακτηριστικά που προκαλούν τις διακυμάνσεις στη καθυστέρηση των μονοπατιών εξαρτώνται άμεσα από την τοπολογία του κυκλώματος υπό σχεδίαση, τις στοιχειώδεις συσκευές (*devices*) και τα τυποποιημένα κελιά (*standard cells*) που χρησιμοποιούνται.

Προηγούμενη έρευνα που έχει διεξαχθεί οδήγησε στη προσπάθεια στατιστικής ανάλυσης της διακύμανσης των ηλεκτρικών παραμέτρων και την μοντελοποίηση τους. Οι κυριότερες παράμετροι των όποιων η διακύμανση έχει μελετηθεί και μοντελοποιηθεί είναι το μήκος καναλιού L_{eff} , το πάχος οξειδίου t_{ox} καθώς και η τάση κατωφλίου V_{th} .

3. Στόχος της Εργασίας – Περιγραφή Πορείας

Βασικός στόχος της παρούσης εργασίας είναι η μελέτη των επιπτώσεων που έχει η τυχαία μεταβολή του πλάτους των transistor στη διαμόρφωση της μέγιστης καθυστέρησης και του κρίσιμου μονοπατιού του κυκλώματος υπό σχεδίαση.



Σχήμα 3.1

Τομή ενός NMOS transistor. Με κόκκινο βέλος υποδεικνύεται η παράμετρος του πλάτους w .

Για την μελέτη της επίπτωσης θα επιχειρηθεί μία στατιστική ανάλυση τύπου Monte Carlo πάνω σε ένα σύνολο από διαφοροποιήσεις του ίδιου κυκλώματος, θεωρώντας ως τυχαία μεταβλητή το πλάτος συσκευής (*device width - w*) όπως υποδεικνύεται από το σχήμα 3.1 .

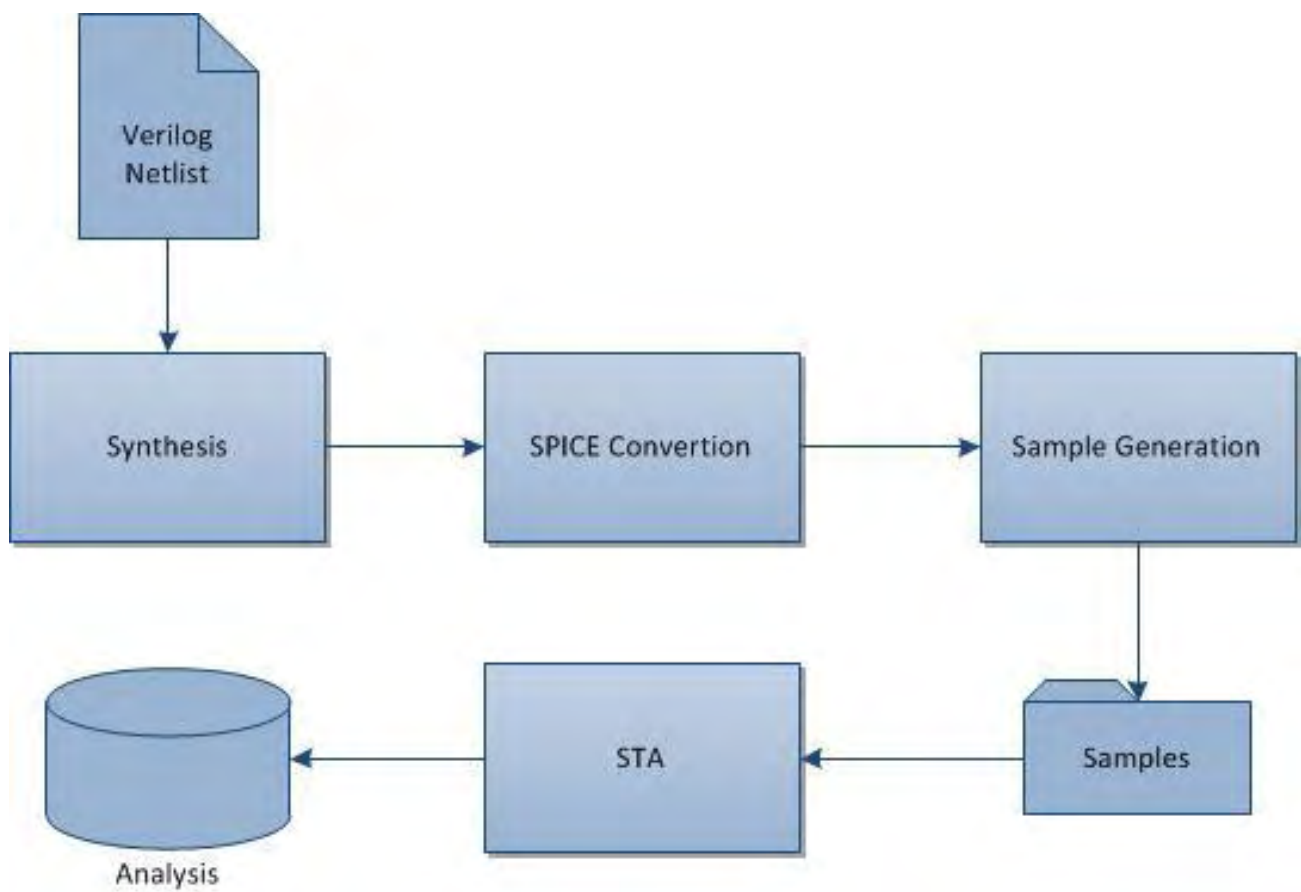
Περιγραφή Πορείας

Για την επίτευξη της παραπάνω ανάλυσης θα πρέπει αρχικά να γίνει σύνθεση των υπό μελέτη βασικών κυκλωμάτων σε επίπεδο μεταφοράς καταχωριτών. Ακολούθως θα πρέπει το παραγόμενα βασικά κυκλώματα να μετατραπούν σε μορφή SPICE netlists, ώστε να είναι δυνατή η εκτέλεση στατικής ανάλυσης χρονισμού σε επίπεδο transistor.

Για εισαγωγή της πληροφορίας της τυχαιότητας στην διαδικασία της μελέτης, θα πρέπει να παραχθούν πολλαπλά δείγματα κάθε αρχικού βασικού κυκλώματος στα οποία θα διαφοροποιείται η παράμετρος του πλάτους από κάθε transistor. Έτσι θα είναι δυνατή η δημιουργία του δειγματικού χώρου για την τυχαία μεταβλητή του πλάτους.

Τελευταίο βήμα αποτελεί η ανάλυση χρονισμού του κάθε παραγόμενου δείγματος με ένα εργαλείο στατικής ανάλυσης χρονισμού επιπέδου transistor και η συγκέντρωση και μελέτη των αποτελεσμάτων που προκύπτουν.

Στις ενότητες που ακολουθούν γίνεται αναλυτική περιγραφή του κάθε σταδίου της παραπάνω περιγραφόμενης μελέτης. Τα στάδια που ακολουθούνται παρουσιάζονται συνοπτικά στο παρακάτω σχήμα:



Σχήμα 3.2

Γενική πορεία ανάλυσης των επιπτώσεων της διακύμανσης της παραμέτρου του πλάτους

4. Σύνθεση Πειραματικών Κυκλωμάτων

Για τους σκοπούς της παρούσης μελέτης χρησιμοποιήθηκαν κυκλώματα από την ομάδα των δοκιμαστικών κυκλωμάτων ISCAS 85/89 benchmark circuits. Πρόκειται για μία ομάδα πειραματικών κυκλωμάτων που χρησιμοποιούνται ως κοινό μέτρο σύγκρισης και δοκιμής εργαλείων σχεδίασης και άλλων μελετών που αφορούν την αυτοματοποιημένη σχεδίαση κυκλωμάτων.

Η λογική σύνθεση κυκλωμάτων αναφέρεται στην διαδικασία κατά την οποία μία αφηρημένη μορφή λειτουργικότητας ενός κυκλώματος, συνήθως περιγραφόμενη σε επίπεδο μεταφοράς καταχωριτών, μετατρέπεται σε υλοποίηση σχεδίασης σε επίπεδο λογικών πυλών.

Η διαδικασία της σύνθεσης πραγματοποιήθηκε με το εργαλείο **Cadence Encounter® RTL Compiler**. Χρησιμοποιήθηκε η έκδοση v09.10-p104_1 (64 bit). Το συγκεκριμένο εργαλείο μπορεί εκτός από την υλοποίηση της βασικής σύνθεσης να πραγματοποιήσει και πλήθος βελτιστοποιήσεων πολλαπλών στόχων με σκοπό την ταυτόχρονη βελτίωση χαρακτηριστικών χρονισμού, ενέργειας και προσδοκώμενης έκτασης.

Για της ανάγκες της κάλυψης της τεχνολογίας CMOS στα 45nm χρησιμοποιήθηκε η βιβλιοθήκη τυποποιημένων κελιών **Nangate 45nm Open Cell Library** και συγκεκριμένα η έκδοση: NangateOpenCellLibrary_PDKv1_3_v2009_07. Η συγκεκριμένη βιβλιοθήκη είναι μία ανοιχτού κώδικα βιβλιοθήκη που αναπτύχθηκε με σκοπό την έρευνα και δοκιμή ροών αυτοματοποιημένης σχεδίασης κυκλωμάτων. Περιέχει όλα τα ευρέως χρησιμοποιούμενα τυποποιημένα κελία, τα οποία παρέχονται σε πολλαπλές παραλλαγές ισχύος οδήγησης. Επίσης παρέχει:

- Βιβλιοθήκες χρονισμού και ισχύος τύπου Liberty™ (.lib) με δεδομένα τύπου CCS, ECSM, NLDM/NLPM.

- Γεωμετρική βιβλιοθήκη σε μορφή Library Exchange Format (LEF)
- Βιβλιοθήκες προσομοίωσης σε μορφή Verilog και SPICE (pre/post parasitic extracted netlists)
- Υλοποίηση κελιών σε GDSII
- Παραστατικά (Schematic)

Η διαδικασία της σύνθεσης λαμβάνει ως είσοδο την περιγραφή του κυκλώματος σε μορφή Verilog netlist. Επίσης για την σωστή ρύθμιση του εργαλείου και την ορθή περάτωση της σύνθεσης αναγκαία είναι και μια σειρά από configuration scripts που γράφονται σε γλώσσα TCL. Αυτά περιέχουν πληροφορίες για ανάγνωση του Verilog netlist, καθορισμού περιορισμών χρονισμού, καθορισμό των κατάλληλων βιβλιοθηκών που είναι απαραίτητες κατά την διαδικασία της σύνθεσης, καθώς και πληθώρα εντολών ελέγχου παραμέτρων και βελτιστοποιήσεων.

```

7
8
9  module dff_d (clk, q, d);
10     output q;
11     input d, clk;
12     reg q;
13
14     always @(posedge(clk)) q=d;
15 endmodule
16
17
18 module s27 (CK,G0,G1,G17,G2,G3);
19 input CK,G0,G1,G2,G3;
20 output G17;
21
22     wire G5,G10,G6,G11,G7,G13,G14,G8,G15,G12,G16,G9;
23
24     dff_d DFF_0(CK,G5,G10);
25     dff_d DFF_1(CK,G6,G11);
26     dff_d DFF_2(CK,G7,G13);
27     not NOT_0(G14,G0);
28     not NOT_1(G17,G11);
29     and AND2_0(G8,G14,G6);
30     or OR2_0(G15,G12,G8);
31     or OR2_1(G16,G3,G8);
32     nand NAND2_0(G9,G16,G15);
33     nor NOR2_0(G10,G14,G11);
34     nor NOR2_1(G11,G5,G9);
35     nor NOR2_2(G12,G1,G7);
36     nor NOR2_3(G13,G2,G12);
37
38 endmodule
39

```

Σχήμα 4.1

s27 Verilog Netlist

Στην παρούσα έρευνα χρησιμοποιήθηκε ένα script για προρύθμιση του εργαλείου (φόρτωση βιβλιοθηκών, καθορισμός μεταβλητών απαραίτητων για τη σύνθεση και την ρύθμιση της συμπεριφοράς του εργαλείου), ένα για την ανάγνωση του netlist εισόδου, ένα για τον καθορισμό των περιορισμών της σχεδίασης και τέλος ένα για την εκτέλεση της επιθυμητής διαδικασίας σύνθεσης.

```
1
2 # Setup the libraries for the various VTH libraries, lef files and captables.
3 set_attribute lib_search_path "/home/engineer/VLSI/Nangate_45nm_Open_Cell_Library/NangateOpenCellLibrary_PDKv1_3_v2009_07/liberty /home/engineer/VLSI/Nangate_45nm_Open_Cell_Library/N
4 set_attribute library "NangateOpenCellLibrary_typical_conditional_ecsm.lib"
5 #"NangateOpenCellLibrary_typical_conditional_nldm.lib"
6
7 set_attribute interconnect_mode ple
8 set_attribute lef_library "NangateOpenCellLibrary.lef"
9 set_attribute cap_table_file "NCSU_FreePDK_45nm.capTbl"
10
11 # Configure metal layer usage if not using all of the metal layers
12 #set_attribute number_of_routing_layers 8
13
14 echo "WARNING: All area units will be in LEF units, not Liberty units!"
15 set_attr use_area_from_lef true
16
17
18 find /lib* -operating_condition *
19 #List the all the attributes of the operating conditions
20 #ls -attribute /libraries/techlib/operating_conditions/
21
22 #set_attribute operating_conditions WCCOM /
23 get_attribute operating_conditions /
24
25 set_att information_level 7
26 # flag errors for black boxes and latches...
27 set_attribute hdl_error_on_blackbox 1
28 #set_attribute hdl_error_on_latch 1
29
30 set_attribute hdl_track_filename_row_col 1
31 set_attribute source_verbos true
32 #set_attribute stdout_log date %Y%m%d-%H%M%S
33 |
34 # Load some additional procedures
35 #include load_etc.tcl
36 redirect include.log {source load_etc.tcl}
37
```

Σχήμα 4.2

Παράδειγμα script προρύθμισης του Cadence Encounter @ RTL Compiler

Ως έξοδο από το εργαλείο σύνθεσης λαμβάνεται ένα νέο structural Verilog Netlist το στο οποίο κάθε λογική πύλη έχει αντιστοιχηθεί με συγκεκριμένο τυποποιημένο κελί από την παρεχόμενη βιβλιοθήκη σύμφωνα με τις ρυθμίσεις, τον αλγόριθμο σύνθεσης και τις βελτιστοποιήσεις που εκτελεί το εργαλείο.

Συγκεκριμένα ως βασικά κυκλώματα επιλέχθηκαν τα s27 και c432. Το πρώτο είναι ένα ακολουθιακό κύκλωμα από την ομάδα ISCAS '89 benchmark circuits. Αποτελείται από 10 πύλες σε επίπεδο μεταφοράς καταχωριτών , 4 εισόδους και 1 έξοδο.

Το c432 είναι ένα συνδυαστικό κύκλωμα από την ομάδα ISCAS '85 benchmark circuits. Είναι ένας 27-κάναλος ελεγκτής διακοπών (27 channel interrupt controller). Το κύκλωμα αυτό αποτελείται από 160 λογικές πύλες σε επίπεδο μεταφοράς καταχωριτών, 36 εισόδους και 7 εξόδους. Χρησιμοποιήθηκε η ιεραρχική περιγραφή του κυκλώματος.

Ως συνθήκες λειτουργίας για το προφίλ χρονισμού και ισχύος επιλέχθηκαν typical και ως βιβλιοθήκη lib η *NangateOpenCellLibrary_typical_conditional_ecsm.lib*

Η *NangateOpenCellLibrary.lef* χρησιμοποιήθηκε ως γεωμετρική βιβλιοθήκη και ως πίνακας χωρητηκότητων ο *NCSU_FreePDK_45nm.capTbl*

Ως αποτέλεσμα της διαδικασίας προέκυψαν τα δύο παράγωγα structural Verilog Netlists καθώς και βοηθητικά αρχεία περιγραφής χρονικών περιορισμών, καθυστερήσεων και ισχύος που είναι χρήσιμα για τη μετέπειτα ροή της σχεδίασης.

Στην εικόνα που ακολουθεί παρατίθεται Structural Verilog Netlist του κυκλώματος s27 όπως προκύπτει μετά από τη λογική σύνθεση. Είναι εμφανείς οι μετατροπές της σύνθεσης, όπως η αντικατάσταση της behavioral Verilog (*always@posedge*) με flip-flop cell, καθώς και η χρήση κελιών τα οποία δεν περιγράφονταν στο αρχικό κύκλωμα αλλά η χρήση τους προέκυψε μετά την διαδικασία της σύνθεσης (AOI22_X1).

```

s27.final.v *
1
2 // Generated by Cadence Encounter(R) RTL Compiler v09.10-p104_1
3
4 module dff_d(clk, q, d);
5   input clk, d;
6   output q;
7   wire clk, d;
8   wire q;
9   DFF_X1 q_reg(.CK (clk), .D (d), .Q (q), .QN ()); ←
10 endmodule
11
12 module dff_d_4(clk, q, d);
13   input clk, d;
14   output q;
15   wire clk, d;
16   wire q;
17   DFF_X1 q_reg(.CK (clk), .D (d), .Q (q), .QN ()); ←
18 endmodule
19
20 module dff_d_3(clk, q, d);
21   input clk, d;
22   output q;
23   wire clk, d;
24   wire q;
25   DFF_X1 q_reg(.CK (clk), .D (d), .Q (q), .QN ()); ←
26 endmodule
27
28 module s27(CK, G0, G1, G17, G2, G3);
29   input CK, G0, G1, G2, G3;
30   output G17;
31   wire CK, G0, G1, G2, G3;
32   wire G17;
33   wire G5, G6, G7, G10, G11, G13, n_0, n_1;
34   wire n_2;
35   dff_d DFF_0(CK, G5, G10);
36   dff_d_4 DFF_1(CK, G6, G11);
37   dff_d_3 DFF_2(CK, G7, G13);
38   INV_X32 p1579A(.A (G11), .ZN (G17));
39   NOR2_X1 p5988A(.A1 (G11), .A2 (n_0), .ZN (G10));
40   NOR2_X1 p2151D(.A1 (n_2), .A2 (G5), .ZN (G11));
41   AOI22_X1 p2104A(.A1 (n_1), .A2 (G3), .B1 (n_0), .B2 (G6), .ZN (n_2)); ←
42   NOR2_X1 p6096A(.A1 (n_1), .A2 (G2), .ZN (G13));
43   NOR2_X1 p2096A(.A1 (G1), .A2 (G7), .ZN (n_1));
44   INV_X1 Fp2096A(.A (G0), .ZN (n_0));
45 endmodule
46

```

Σχήμα 4.3

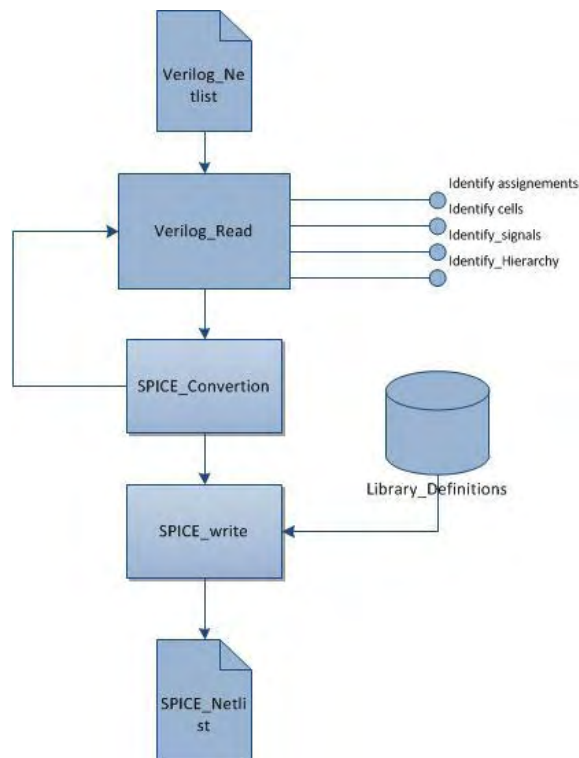
s27 Structural Verilog Netlist. Με βέλη υποδεικνύονται οι αλλαγές κατά την λογική σύνθεση.

5. Μετατροπή σε SPICE Netlist

Για να είναι δυνατή η εισαγωγή της πληροφορίας της διακύμανσης πλάτους στα εξεταζόμενα κυκλώματα καθώς και η ανάλυση χρονισμού των παραγόμενων κυκλωμάτων σε επίπεδο transistor είναι αναγκαία η μετατροπή των structural verilog netlists σε μορφή SPICE netlist.

Για το σκοπό αυτό αναπτύχθηκε πρόγραμμα σε γλώσσα Python το οποίο δέχεται ως είσοδο το παράγωγο verilog netlist από το στάδιο της σύνθεσης (*synthesized netlist*) και παράγει το ανάλογο SPICE netlist. Η εφαρμογή αυτή χρησιμοποιεί τις βιβλιοθήκες προσομοίωσης σε μορφή SPICE της βιβλιοθήκης Nangate OpenCell Library 45nm για να αντικαταστήσει τα περιγραφόμενα τυποποιημένα κελία με τα αντίστοιχα της μορφής SPICE.

Το πρόγραμμα προχωράει σε βασική αναγνώριση των σημάτων που δηλώνονται και της ιεραρχίας του κυκλώματος. Επίσης προχωράει σε παραδοχές για την σωστή κατασκευή της SPICE αναπαράστασης, όπως μετατροπή διανυσμάτων σε απλούς ακροδέκτες και διαχείριση των εντολών τύπου *assign*. Έπειτα προχωράει σε εισαγωγή των μοντέλων SPICE των τυποποιημένων κελιών από την βιβλιοθήκη και παράγει την τελική μορφή του αρχείου.



Σχήμα 5.1

Σχηματική αναπαράσταση λειτουργίας του εργαλείου μετατροπής verilog σε SPICE

```

161
162 def test():
163
164     vfile = open( 's27.mapped.v', 'r' )
165
166     lines = vfile.readlines()
167
168     #print lines
169
170     vfile.close()
171
172     import vl2sp_engine
173
174     modulelist = vl2sp_engine.isolateModules( lines )
175
176     #Print modules
177     #print "\n Overall: \n"
178     #print modulelist
179
180     mList = formatsubckt ( modulelist )
181
182
183     print vl2sp_engine.getLibCells()
184
185     print vl2sp_engine.getCustomPins()
186
187     writeSpice (modulelist, mList, 's27' )
188
189
190
191 if __name__ == '__main__': test()
192
  
```

Σχήμα 5.2

Κύρια συνάρτηση Εφαρμογής
Μετατροπής

Η συνάρτηση `isolateModules()` είναι υπεύθυνη για την αναγνώριση των δομών του κυκλώματος, η συνάρτηση `formatsubckt()` αναλαμβάνει την μετατροπή σε SPICE, η συνάρτηση `getLibCells()` εισάγει τα μοντέλα των τυποποιημένων κελιών από τη βιβλιοθήκη προσομοίωσης και η `writeSpice()` αναλαμβάνει την τελική εγγραφή του αρχείου SPICE.

6. Εισαγωγή τυχαίου Process Variation

Σύμφωνα με την σύνταξη του SPICE κάθε δήλωση transistor μπορεί να συνοδεύεται και από δήλωση των επιθυμητών διαστάσεων της συσκευής. Η γενική σύνταξη δήλωσης ενός transistor MOS στο SPICE είναι η ακόλουθη:

```
MXXXXXXX ND NG NS NB MNAME <L=VAL> <W=VAL> <AD=VAL> <AS=VAL>  
+<PD=VAL> <PS=VAL> <NRD=VAL> <NRS=VAL> <OFF> <IC=VDS,VGS,VBS>
```

Όπου <W=VAL> αποτελεί την δήλωση της επιθυμητής διάστασης πλάτους του transistor.

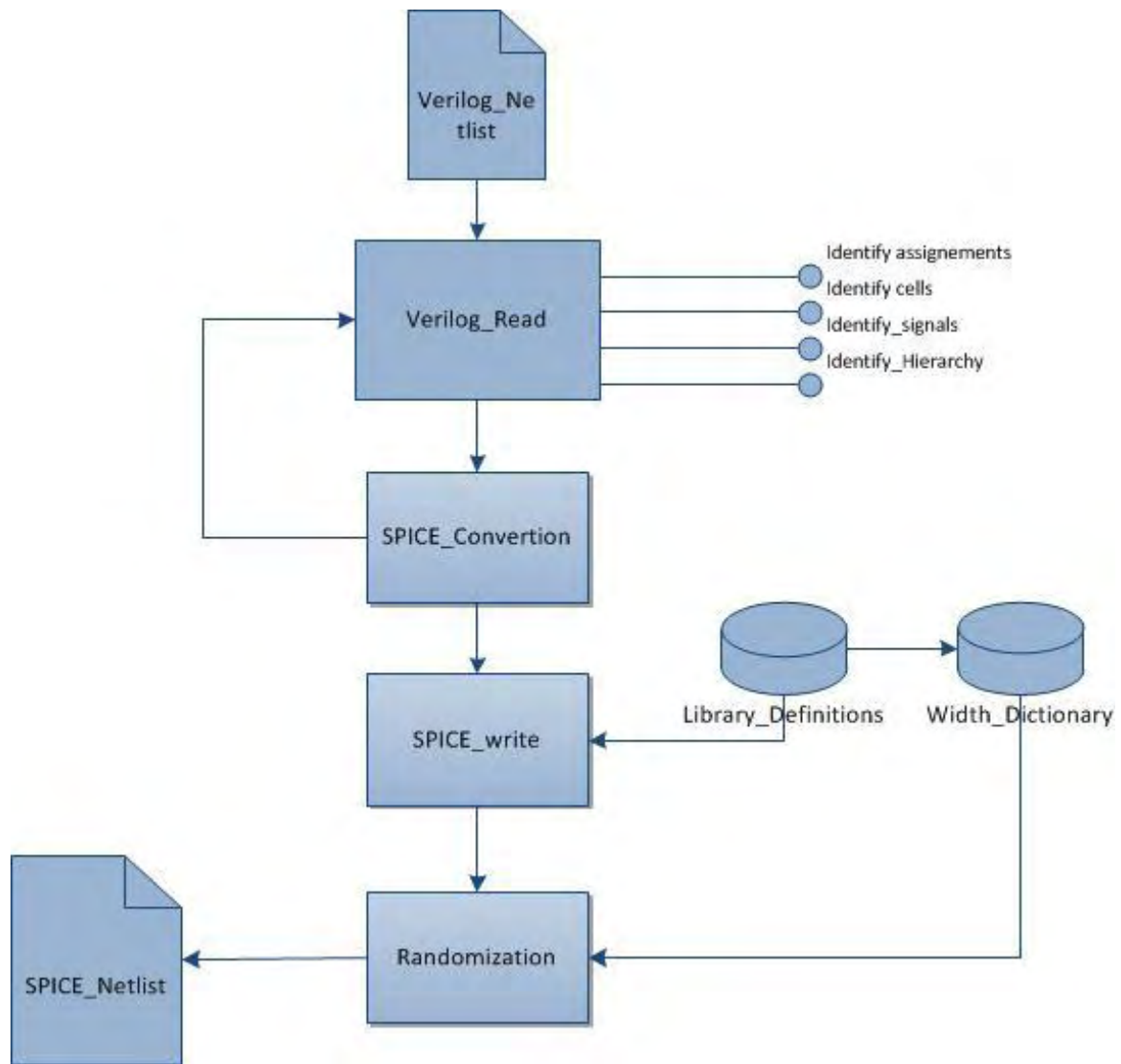
Για την επίτευξη της εισαγωγής της πληροφορίας της τυχαίας διακύμανσης μέσα σε ένα αρχείο τύπου SPICE netlist αρκεί να διαφοροποιηθεί η προκαθορισμένη από την βιβλιοθήκη τιμή του πλάτους του transistor κατά ένα ποσοστό αυτής για κάθε δήλωση transistor μέσα στο κύκλωμα.

Η αυτοματοποίηση της παραπάνω διαδικασίας επιτυγχάνεται με την επέκταση της εφαρμογής που περιγράφεται στο (5) έτσι ώστε να μπορεί να διαχειριστεί την εισαγωγή της πληροφορίας της διακύμανσης του πλάτους. Συγκεκριμένα, η επέκταση της παραπάνω εφαρμογής περιλαμβάνει την αναγνώριση όλων των καθορισμένων τιμών πλάτους των χρησιμοποιούμενων τυποποιημένων κελιών της βιβλιοθήκης και της κατάλληλης διαφοροποίησης τους σε κάθε περίπτωση χρήσης ενός τυποποιημένου κελιού μέσα στο περιγραφόμενο κύκλωμα ή υποκύκλωμα. Συντακτικά το πλάτος δηλώνεται ως παράμετρος στα μοντέλα τυποποιημένων κελιών ώστε να είναι δυνατή η δήλωση των κελιών μέσα στο κύκλωμα με διαφορετικές τιμές πλάτους κάθε φορά. Με τον τρόπο αυτό επιτυγχάνεται διαφορετική διακύμανση πλάτους για κάθε χρησιμοποιούμενο κελί μέσα στο κύκλωμα.

Η κατανομή που επιλέχθηκε είναι τυχαία, για να αναπαραστήσει την τυχαία διακύμανση του πλάτους των κελιών. Για την παραγωγή των τυχαίων διακυμάνσεων χρησιμοποιήθηκε η μηχανή παραγωγής τυχαίων αριθμών της Python η οποία αρχικοποιούταν κάθε φορά μέσω της εικονικής συσκευής /dev/urandom του UNIX για την εξασφάλιση ισχυρής τυχειότητας. Η εικονική συσκευή /dev/urandom είναι ένα πρόγραμμα που ανήκει στο πυρήνα των λειτουργικών συστημάτων τύπου UNIX και σκοπό έχει να συλλέγει τυχαίες τιμές από το περιβάλλον, όπως δειγματοληψία τυχαίου θορύβου, τιμών θερμοκρασίας κλπ. Για κάθε προκαθορισμένη τιμή πλάτους που χρησιμοποιείται από τη βιβλιοθήκη η νέα τυχαία τιμή παράγεται από ένα εύρος πιθανών τιμών που έχει σαν μέσο την παραπάνω τιμή και άκρα την τιμή μειωμένη ή αυξημένη κατά ένα ποσοστό της. Στη συγκεκριμένη περίπτωση επιλέχθηκε ποσοστό εύρους $\pm 15\%$.

Επιπλέον για την δημιουργία του δειγματικού χώρου της ανάλυσης η εφαρμογή επεκτάθηκε κατάλληλα ώστε να παράγει πολλαπλά αντίγραφα του κάθε αρχικού SPICE netlist, τα οποία όμως μεταξύ τους έχουν διαφορετική διακύμανση πλάτους στα transistor τυχαίο τρόπο όπως περιγράφεται παραπάνω.

Το παρακάτω σχήμα επιδεικνύει τις αλλαγές που έγιναν στην αρχική εφαρμογή για να υποστηριχθεί η ενσωμάτωση της τυχειότητας του πλάτους.



Σχήμα 6.1

Σχηματική αναπαράσταση της ροής της τροποποιημένης εφαρμογής.

```

width_generator.py ✖
360 def testmod():
361
362     import vl2sp_engine
363
364     #cell = customizeLibCell ( "/home/engineer/VLSI/Nangate_45nm_Open_Cell_Library/NangateOpenCellLibrary_PDKv1_3_v2009_07/pre_spice/DFF_X1.sp" )
365
366     #print cellParameters
367
368     #for item in cell :
369     #     print item
370
371
372     vfile = open( 's27.mapped.v', 'r' )
373     lines = vfile.readlines()
374     vfile.close()
375
376     moduleList = vl2sp_engine.isolateModules ( lines )
377     listLib = vl2sp_engine.getLibCells()
378
379     print "Importing/Customizing Library..."
380
381     #print listLib
382     cellsmod = importCustomizedCells ( listLib, "/home/engineer/VLSI/Nangate_45nm_Open_Cell_Library/NangateOpenCellLibrary_PDKv1_3_v2009_07/pre_spice/" )
383     #print cellsmod
384
385     print "Import/Customize library : DONE\n"
386
387     #print cellParameters
388
389     print "Customizing subcircuit definitions..."
390     customizeSubcktWidths ( moduleList )
391     print "Subcircuit Definitions Customization : DONE\n"
392
393     print "Writing customized SPICE file..."
394
395     import vl2sp_engine.spiceWrite
396     mList = vl2sp_engine.spiceWrite.formatsubckt ( moduleList )
397     #vl2sp_engine.spiceWrite.writeSpice ( moduleList, mList, 's27' )
398
399     writeCustomizedSpice ( moduleList, mList, 's27', 's27.mapped.sp' )
400
401
402     print "Writing SPICE file : DONE\n "
403
404
405     return
406
407
408
409 if __name__ == '__main__': testmod()

```

Σχήμα 6.2

Κύρια συνάρτηση παραγωγής των διαφοροποιημένων δειγμάτων του αρχικού κυκλώματος με εισαγωγή τυχαίας διακύμανσης του πλάτους.

Η συνάρτηση `importCustomizedCells()` όπως φαίνεται στο σχήμα 6.2 αναγνωρίζει τα προκαθορισμένα από τη βιβλιοθήκη πλάτη και τα αντικαθιστά με τις κατάλληλες δηλώσεις παραμέτρων. Η συνάρτηση `customizeSubcktWidths()` είναι υπεύθυνη για την εισαγωγή της τυχειότητας σε κάθε δήλωση των χρησιμοποιούμενων κελιών. Τέλος η συνάρτηση `writeCustomizedSpice()` αναλαμβάνει να γράψει την τελική μορφή του κάθε δείγματος του κυκλώματος. Όπως φαίνεται η διαδικασία

αυτή επαναλαμβάνεται για παραγωγή ενός ορισμένου επιθυμητού αριθμού δειγμάτων. Οι υπόλοιπες συναρτήσεις που φαίνονται έχουν επεξηγηθεί στο σχήμα 5.2 και χρησιμοποιούνται χωρίς καμία διαφοροποίηση στην εσωτερική τους υλοποίηση.

```

58
59 .SUBCKT INV_X32 A ZN VDD VSS W410 W615
60 M_i_0 ZN A VSS VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
61 M_i_7 VSS A ZN VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
62 M_i_13 ZN A VSS VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
63 M_i_19 VSS A ZN VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
64 M_i_25 ZN A VSS VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
65 M_i_31 VSS A ZN VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
66 M_i_37 ZN A VSS VSS NMOS_VTL W=W410 L=0.050000U AS=0.084050P AD=0.084050P PS=0.820000U PD=0.820000U
67 M_i_43 ZN A VDD VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
68 M_i_50 VDD A ZN VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
69 M_i_56 ZN A VDD VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
70 M_i_62 VDD A ZN VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
71 M_i_68 ZN A VDD VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
72 M_i_74 VDD A ZN VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
73 M_i_80 ZN A VDD VDD PMOS_VTL W=W615 L=0.050000U AS=0.189112P AD=0.189112P PS=1.230000U PD=1.230000U
74 .ENDS
75

```

Σχήμα 6.3

Παραγωγή του τυποποιημένου κελιού INV_X32 (inverter) από την εφαρμογή για να μπορεί να επιδεχθεί διαφοροποίηση. Διακρίνονται δύο διαφορετικές παράμετροι λόγω δύο διαφορετικών προκαθορισμένων τιμών που χρησιμοποιούνταν από τη βιβλιοθήκη.

Η δήλωση του τυποποιημένου κελιού του σχήματος 6.3 μέσα σε ένα από τα δείγματα των κυκλωμάτων είναι:

x_p1579A G11 G17 VDD VSS INV_X32 W410=0.466444U W615=0.555051U

Όπου αντί της προκαθορισμένης τιμής 0.410000U και 0.615000U χρησιμοποιούνται οι τυχαίες τιμές 0.466444U και 0.555051U που επιλέχθηκαν από ένα εύρος $\pm 15\%$ των αρχικών τιμών.

7. Ανάλυση χρονισμού

Για την ανάλυση των επιπτώσεων της διακύμανσης του πλάτους των transistors στη διαμόρφωση της μέγιστης καθυστέρησης και στην διαμόρφωση του κρίσιμου μονοπατιού είναι απαραίτητη η εκτέλεση στατικής ανάλυσης χρονισμού σε επίπεδο transistor.

Για τον σκοπό αυτό θα χρησιμοποιηθεί το εργαλείο Synopsys® Nanotime το οποίο είναι ένα point-to-point transistor level timing analysis εργαλείο. Το συγκεκριμένο εργαλείο μπορεί να προχωρήσει σε τοπολογική ανάλυση του κυκλώματος εισόδου και στη συνέχεια σε προσομοίωσή του ώστε να υπολογίσει τις καθυστερήσεις μεταξύ καθορισμένων σημείων της τοπολογίας του κυκλώματος που συνήθως ορίζονται από το χρήστη. Είναι πλέον κατάλληλο για την ανάλυση χρονισμού σε τεχνολογίες κάτω των 90nm καθώς λαμβάνει υπόψη πολλές επιπτώσεις που εμφανίζονται στη κλίμακα των νανομέτρων. Επίσης παρέχει και ανάλυση ορθότητας σήματος *signal integrity analysis* εκτελώντας *cross-talk delay analysis*. Επιπλέον παρέχει χαρακτηριστικά ανάλυσης *setup/hold/transparency check, slack analysis* και ελέγχους χρονισμού για σύνθετες σχεδιάσεις κυκλωμάτων (domino logic, gated clocks, pass gates).

Σαν είσοδο το εργαλείο Nanotime δέχεται το SPICE netlist της σχεδίασης καθώς και ένα configuration script στο οποίο καθορίζονται η σχεδίαση προς ανάλυση, οι χρονικοί περιορισμοί, οι χρησιμοποιούμενες βιβλιοθήκες, δηλώσεις τοπολογίας του κυκλώματος, οι παραγόμενες αναφορές καθώς και όποια άλλη εντολή είναι απαραίτητη για την περάτωση της ροής της ανάλυσης χρονισμού.

Για τις ανάγκες της παρούσας μελέτης έγινε ανάλυση χρονισμού σε κάθε ένα από τα δείγματα που παράχθηκαν από κάθε αρχικό κύκλωμα. Σαν αναφορά εξόδου ρυθμίστηκε η εύρεση της μέγιστης καθυστέρησης του κάθε κυκλώματος καθώς και το μονοπάτι που διαμορφωνόταν από αυτή

λαμβάνοντας υπόψη ως σημείο εκκίνησης τις εισόδους και ως σημείο τερματισμού της ανάλυσης, τις εξόδους του κυκλώματος (κρίσιμο μονοπάτι – critical path).

```

2191
2192 Startpoint:      C3 (in port)
2193 Endpoint:       Chan0 (out port)
2194 Path Type:      max
2195 Constraint:     set_output_delay check
2196
2197 Path      Incr      Adjust NT      Point      Net
2198 -----
2199          0.100          0.100 D      input external delay
2200          0.100          0.000          f C3 (in)          C3
2201          0.100          0.000          f x_M4.x_p214748365A322.M_i_21.g (AOI22_X1)
2202          0.100          0.000          C3
2203          1.093          0.993          r x_M4.x_p214748365A314.M_i_9.g (NAND3_X1)
2204          1.093          0.993          x_M4.n_10
2205          0.907          -0.186          f x_M5.x_p214748365A222.M_i_31.g (OAI22I_X1)
2206          0.907          -0.186          I3
2207          2.285          1.378          r x_M5.x_p214748365A221.M_i_0.g (AND2_X1)
2208          2.285          1.378          x_M5.n_16
2209          1.722          -0.563          f x_M5.x_p214748365A221.M_i_31.g (AND2_X1)
2210          1.722          -0.563          x_M5.x_p214748365A221.net_000
2211          2.083          0.361          r x_M5.x_p214748365A220.M_i_0.g (OR2_X1)
2212          2.083          0.361          x_M5.n_17
2213          2.084          0.001          f x_M5.x_p214748365A220.M_i_30.g (OR2_X1)
2214          2.084          0.001          x_M5.x_p214748365A220.net_000
2215          2.194          0.110          r x_M5.x_drc.M_i_0.g (BUF_X32)          x_M5.n_6
2216          2.300          0.106          f x_M5.x_drc.M_i_57.g (BUF_X32)          x_M5.x_drc.net_000
2217          2.431          0.131          0          r Chan0 (out)          Chan0
2218          2.431          0.131          data arrival time
2219          2.331          0.100          Total
2220
2221
2222 10.000      10.000          output external delay
2223 10.000      0.000          clock uncertainty
2224 10.000          data required time
2225 -----
2226 10.000          data required time
2227 -2.431          data arrival time
2228 -----
2229 7.569          slack (MET)
2230

```

Σχήμα 7.1

Αναφορά χειρότερης καθυστέρησης από το Nanotime™ για ένα δείγμα του κυκλώματος c432. Διακρίνονται οι επιμέρους καθυστερήσεις των τμημάτων που απαρτίζουν το κρίσιμο μονοπάτι.

8. Ανάλυση Αποτελεσμάτων

Για την συγκεκριμένη ανάλυση παράχθηκαν είκοσι (20) τυχαία δείγματα του κάθε αρχικού πειραματικού κυκλώματος (s27 και c432). Μετά και την περάτωση της διαδικασίας ανάλυσης χρονισμού τα αποτελέσματα που προκύπτουν διαμορφώνονται ως εξής:

- **S27**

Για το ακολουθιακό κύκλωμα s27 οι χειρότερες καθυστερήσεις καθώς και τα αντίστοιχα μονοπάτια φαίνονται συγκεντρωτικά παρακάτω:

Sample	Slack	Startpoint	Endpoint
0	4.264	CK	x_DFF_2.x_q_reg.M_MN10.g
1	4.232	CK	x_DFF_1.x_q_reg.M_MN14.g
2	4.146	CK	x_DFF_2.x_q_reg.M_MN10.g
3	4.210	CK	x_DFF_2.x_q_reg.M_MN10.g
4	4.195	CK	x_DFF_0.x_q_reg.M_MN14.g
5	4.255	CK	x_DFF_0.x_q_reg.M_MN14.g
6	4.217	CK	x_DFF_1.x_q_reg.M_MN14.g
7	4.163	CK	x_DFF_1.x_q_reg.M_MN14.g
8	4.196	CK	x_DFF_1.x_q_reg.M_MN14.g
9	4.176	CK	x_DFF_1.x_q_reg.M_MN14.g
10	4.260	CK	x_DFF_0.x_q_reg.M_MN14.g
11	4.127	CK	x_DFF_2.x_q_reg.M_MN10.g
12	4.220	CK	x_DFF_1.x_q_reg.M_MN14.g
13	4.178	CK	x_DFF_2.x_q_reg.M_MN10.g
14	4.129	CK	x_DFF_2.x_q_reg.M_MN10.g
15	4.255	CK	x_DFF_0.x_q_reg.M_MN14.g
16	4.184	CK	x_DFF_0.x_q_reg.M_MN14.g
17	4.245	CK	x_DFF_0.x_q_reg.M_MN14.g
18	4.141	CK	x_DFF_0.x_q_reg.M_MN14.g
19	4.153	CK	x_DFF_0.x_q_reg.M_MN14.g

Σχήμα 8.1

Συνοπτικός πίνακας αποτελεσμάτων για το s27

Από τα δεδομένα του σχήματος 8.1 προκύπτει ότι η μέση χαλαρότητα (slack) είναι 4.1973ns, η διακύμανση 2060 και η τυπική απόκλιση 0.0454ns. Το εύρος διαμορφώνεται σε 0.137ns και ο διάμεσος στα 4.1955ns.

- **C432**

Αναλόγως τα πειραματικά δεδομένα που προκύπτουν για το συνδυαστικό κύκλωμα c432 είναι:

Sample	Slack	Startpoint	Endpoint
0	7.590	C3	Chan0
1	7.569	C3	Chan0
2	7.510	C3	Chan0
3	7.512	C3	Chan0
4	7.587	C3	Chan0
5	7.453	C3	Chan0
6	7.588	C3	Chan0
7	7.258	C3	Chan0
8	7.431	C3	Chan0
9	7.602	C3	Chan0
10	7.523	C3	Chan0
11	7.560	C3	Chan0
12	7.455	C3	Chan0
13	7.665	C3	Chan0
14	7.612	C3	Chan0
15	7.572	C3	Chan0
16	7.368	C3	Chan0
17	7.508	C3	Chan0
18	7.546	C3	Chan0
19	7.468	C3	Chan0

Σχήμα 8.2

Συνοπτικός πίνακας αποτελεσμάτων για το c432

Εδώ ο μέση χαλαρότητα (slack) διαμορφώνεται σε 7.5189ns η διακύμανση σε 8.8939, η τυπική απόκλιση σε 0.0943ns το εύρος σε 0.407ns και ο διάμεσος σε 7.5345ns

Παρατηρήσεις

Πρώτον, το required time τέθηκε αυθαίρετα, αρκετά μεγάλο ώστε να προκύπτει πάντα θετικό slack, ώστε να είναι ευκολότερη η συγκέντρωση και παρατήρηση των αποτελεσμάτων.

Από τα παραπάνω πειραματικά δεδομένα που προέκυψαν παρατηρείται ότι τυχαία διακύμανση στο πλάτος των transistors είναι ικανή να προκαλέσει διακύμανση στην τελική διαμόρφωση της μέγιστης καθυστέρησης του κυκλώματος.

Επιπλέον μία πολύ σημαντική παρατήρηση που προκύπτει από τα δεδομένα του σχήματος 8.1 είναι ότι η διακύμανση στο πλάτος ήταν ικανή να μεταβάλει το κρίσιμο μονοπάτι για το κύκλωμα s27. Αυτή είναι μια πολύ σοβαρή επίπτωση καθώς πολλές διαδικασίες και βελτιστοποιήσεις εξαρτώνται από τη διαμόρφωση του κρίσιμου μονοπατιού στα επόμενα στάδια της σχεδίασης.

Επιπλέον παρατηρείται ότι το εύρος των παραγόμενων καθυστερήσεων διαφέρει από το ένα βασικό κύκλωμα στο άλλο. Αυτό είναι αναμενόμενο, καθώς το c432 περιέχει μεγαλύτερο αριθμό πυλών στην υλοποίησή του. Αυτό έχει ως άμεση συνέπεια την αύξηση του πιθανού αριθμού πυλών που παρεμβάλλονται στη διαμόρφωση του κρίσιμου μονοπατιού. Κάτι τέτοιο όμως αυξάνει αντίστοιχα και την συνολική τυχαιότητα που εισάγεται στα διάφορα στάδια που απαρτίζουν το κρίσιμο μονοπάτι με αποτέλεσμα να διαμορφώνουν διαφορετικά και την μέγιστη καθυστέρηση.

Από τη προηγούμενη ανάλυση των δεδομένων που προέκυψαν, παρατηρείται ότι το εύρος της διακύμανσης του slack, άρα και της

μέγιστης καθυστέρησης διαφέρει κατά πολύ ανάμεσα στις δύο αρχικές σχεδιάσεις. Αυτό σημαίνει ότι το ποσοστό συμμετοχής της διακύμανσης του πλάτους σαν παράμετρος διακύμανσης στη διαμόρφωση της ζώνης ασφαλείας (guard band) για τη μέγιστη καθυστέρηση μπορεί να μεταβάλλεται δυναμικά ανάλογα με τη σχεδίαση.

9. Μελλοντική Εργασία

Περεταιίρω ανάλυση μπορεί να εφαρμοστεί σε μεγαλύτερο αριθμό δειγμάτων από τις προηγούμενες βασικές σχεδιάσεις. Επίσης θα μπορούσαν να μελετηθούν περισσότερες και μεγαλύτερες σχεδιάσεις (πιο σύνθετες σχεδιάσεις με μεγαλύτερο αριθμό πυλών και περιορισμών χρονισμού). Έτσι θα μπορούσε να διερευνηθεί η κλιμάκωση του φαινομένου και η συμπεριφορά του για μεγάλο αριθμό δειγμάτων και για κρίσιμα μονοπάτια με μεγάλο αριθμό ενδιάμεσων σταδίων, δηλαδή για εισαγωγή μεγάλης τυχαιότητας πάνω στο κρίσιμο μονοπάτι.

Επιπλέον μια πολύ σημαντική κατεύθυνση έρευνας αποτελεί η διερεύνηση του φαινομένου της μεταβολής του κρίσιμου μονοπατιού και οι επιπτώσεις που αυτό μπορεί να έχει στην όλη ροή σχεδίασης.

Ακόμα με τη βοήθεια ανάλυσης μεγάλου αριθμού δειγμάτων για κάθε βασική σχεδίαση θα μπορούσε να γίνει χρήση της θεωρίας ακραίων τιμών (*extreme value theory*) για την εύρεση της ολικής μέγιστης πιθανής καθυστέρησης. Αυτό είναι ιδιαίτερα σημαντικό γιατί μπορεί ανάλογα με τη σχεδίαση να θέσει δυναμικά ένα άνω όριο στη διαδικασία του *guard banding* όσον αφορά τη διακύμανση της παραμέτρου του πλάτους, οδηγώντας σε ακριβέστερη ανάλυση χρονισμού, σε ορισμό ακριβέστερων περιορισμών χρονισμού και γενικά σε διευκόλυνση μιας ακριβέστερης διαδικασίας σχεδίασης.

Τέλος, από τα αποτελέσματα των παραπάνω αναλύσεων θα μπορούσε να γίνει κατασκευή κάποιας αλγοριθμικής διαδικασίας η οποία θα μπορεί να ενσωματωθεί στη ροή σχεδίασης των ψηφιακών κυκλωμάτων και η οποία θα είναι υπεύθυνη για ακριβέστερη ανάλυση χρονισμού, λαμβάνοντας υπ όψιν διακυμάνσεις των κυκλωματικών παραμέτρων και θα παράγει δυναμικά ακριβέστερες ζώνες ασφαλείας ανάλογα με τα χαρακτηριστικά της εκάστοτε σχεδίασης.

10.Βιβλιογραφία

- [1]. Neil H.E Weste, David Harris, “CMOS VLSI Design : a circuits and system perspective”, 3rd ed., Pearson Education Inc, 2005
- [2]. Sachin Sapatnekar, “Timing”, Kluwer Academic Publishers, Boston, 2004
- [3]. Osman Unsal, James w. Tcshanz, Keitsh Browman, Vivek De, Xavier Vera, Antonio Gonzalez, Ogun Ergin, “Impact of parameter Variations on circuits and microarchitecture”, IEEE, 2006
- [4]. Paul S. Zukowsky, Peter Habitz, Jerry Hayes, Jeffery H. Oppold, “Process and Environmental Variation Impacts on ASIC Timing”, IEEE, 2004
- [5]. Swarup Bhunia, Saibal Mukhopadhyay, Kaushik Roy, “Process Variations and Process-Tolerant Design”, 20th International Conference on VLSI Design, IEEE, 2007
- [6]. Kelin Kuhn, Chris Kenyon, Avner Kornfeld, Mark Liu, Atul Maheshwari, Wei-kai Shih, Sam Sivakumar, Greg Taylor, Peter VenDerVoorn, Keith Zawadzki, “Managing Process Variation in Intel’s 45 nm CMOS Technology”, Intel’s Technology journal, 2008
- [7]. Brendan Hargreaves, Henrik Hult, Sherief Reda, “Within-die Process Variations : How Accurately Can They Be Statistically Modeled?”, IEEE, 2008
- [8]. Ayhan A. Mutlu, Mahmud Rahman, “Statistical Methods for the Estimation of Process Variation Effects on Circuit Operation”, IEEE, 2005
- [9]. “HSPICE® Simulation and Analysis User Guide”, Synopsys®, 2006
- [10]. “NanoTime and NanoTime UltraUser Guide”, Synopsys®, 2008
- [11]. “SoC Encounter User Guide”, Cadence®, 2009
- [12]. www.si2.org

[13].www.itrs.net

[14].www.wikipedia.org

[15].<http://www.semi1source.com/glossary/>