



**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ**

**ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ**

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ**

**ΤΟΠΙΚΗ ΑΝΑΔΟΜΗΣΗ ΤΟΠΟΛΟΓΙΑΣ**

Διπλωματική Εργασία

Ζαχαρούλη Θεανώ

Επιβλέπων: Σταμούλης Γεώργιος

Βόλος 2022





**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ**

**ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ**

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ**

## **ΤΟΠΙΚΗ ΑΝΑΔΟΜΗΣΗ ΤΟΠΟΛΟΓΙΑΣ**

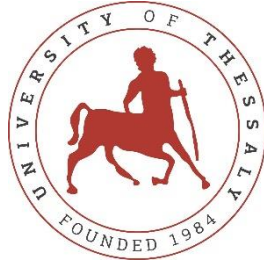
Διπλωματική Εργασία

Ζαχαρούλη Θεανώ

Επιβλέπων: Σταμούλης Γεώργιος

Βόλος 2022





**UNIVERSITY OF THESSALY**

**SCHOOL OF ENGINEERING**

**DEPARTMENT OF ELECTRICAL AND COMPUTER ENGINEERING**

## **LOCAL TOPOLOGY RECONSTRUCTION**

Diploma Thesis

Zacharouli Theano

Supervisor: Stamoulis Georgios

Volos 2022



Εγκρίνεται από την Επιτροπή Εξέτασης:

Επιβλέπων	<b>Σταμούλης Γεώργιος</b> Καθηγητής, Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών, Πανεπιστήμιο Θεσσαλίας
Μέλος	<b>Ευμορφόπουλος Νέστωρ</b> Αναπληρωτής Καθηγητής, Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών, Πανεπιστήμιο Θεσσαλίας
Μέλος	<b>Δαδαλιάρης Αντώνιος</b> Επίκουρος Καθηγητής, Τμήμα Πληροφορικής και Τηλεπικοινωνιών, Πανεπιστήμιο Θεσσαλίας

Ημερομηνία έγκρισης: 25-02-2022





## ΕΥΧΑΡΙΣΤΙΕΣ

Με την ολοκλήρωση της διπλωματικής μου εργασίας θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή κ. Σταμούλη Γεώργιο για την ανάθεση του συγκεκριμένου θέματος, τις συμβουλές, τις παρατηρήσεις του και την αμέριστη στήριξη και συνδρομή του καθ' όλη τη διάρκεια εκπόνησης της.

Επίσης θα ήθελα να ευχαριστήσω τους συνεπιβλέποντες καθηγητές κ. Ευμορφόπουλο Νέστωρ, Αναπληρωτής Καθηγητής του Τμήματος Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών, Πανεπιστημίου Θεσσαλίας και κ. Δαδαλιάρη Αντώνιο, Επίκουρος Καθηγητής του Τμήματος Πληροφορικής και Τηλεπικοινωνιών, Πανεπιστημίου Θεσσαλίας.

Τέλος, θα ήθελα να ευχαριστήσω τη μητέρα μου για την κατανόηση και την στήριξή της όλα αυτά τα χρόνια.



## ΥΠΕΥΘΥΝΗ ΔΗΛΩΣΗ ΠΕΡΙ ΑΚΑΔΗΜΑΪΚΗΣ ΔΕΟΝΤΟΛΟΓΙΑΣ ΚΑΙ ΠΝΕΥΜΑΤΙΚΩΝ ΔΙΚΑΙΩΜΑΤΩΝ

Με πλήρη επίγνωση των συνεπειών του νόμου περί πνευματικών δικαιωμάτων, δηλώνω ρητά ότι η παρούσα διπλωματική εργασία, καθώς και τα ηλεκτρονικά αρχεία και πηγαίοι κώδικες που αναπτύχθηκαν ή τροποποιήθηκαν στα πλαίσια αυτής της εργασίας, αποτελεί αποκλειστικά προϊόν προσωπικής μου εργασίας, δεν προσβάλλει κάθε μορφής δικαιώματα διανοητικής ιδιοκτησίας, προσωπικότητας και προσωπικών δεδομένων τρίτων, δεν περιέχει έργα/εισφορές τρίτων για τα οποία απαιτείται άδεια των δημιουργών/δικαιούχων και δεν είναι προϊόν μερικής ή ολικής αντιγραφής, οι πηγές δε που χρησιμοποιήθηκαν περιορίζονται στις βιβλιογραφικές αναφορές και μόνον και πληρούν τους κανόνες της επιστημονικής παράθεσης. Τα σημεία όπου έχω χρησιμοποιήσει ιδέες, κείμενο, αρχεία ή/και πηγές άλλων συγγραφέων, αναφέρονται ευδιάκριτα στο κείμενο με την κατάλληλη παραπομπή και η σχετική αναφορά περιλαμβάνεται στο τμήμα των βιβλιογραφικών αναφορών με πλήρη περιγραφή. Αναλαμβάνω πλήρως, ατομικά και προσωπικά, όλες τις νομικές και διοικητικές συνέπειες που δύναται να προκύψουν στην περίπτωση κατά την οποία αποδειχθεί, διαχρονικά, ότι η εργασία αυτή ή τμήμα της δεν μου ανήκει διότι είναι προϊόν λογοκλοπής.

Η Δηλούσα

Ζαχαρούλη Θεανώ  
25/02/2022

Στη Μνήμη του Παππού μου...

## ΠΕΡΙΛΗΨΗ

Λόγω των συνεχόμενων αλλαγών στην τεχνολογία κατασκευής των ψηφιακών ολοκληρωμένων κυκλωμάτων το ενδιαφέρον συγκεντρώνονταν στην ταχύτητα και στο μέγεθος του ψηφιακού ολοκληρωμένου κυκλώματος και κανείς δεν ασχολούνταν με την κατανάλωση ισχύος. Αυτό όμως είχε ως αποτέλεσμα η κατανάλωση ισχύος να έχει αυξηθεί πολύ και να δημιουργεί προβλήματα τα οποία έπρεπε να αντιμετωπιστούν γρήγορα.

Στην παρούσα διπλωματική προτείνεται μία διαδικασία βελτιστοποίησης ενός ψηφιακού ολοκληρωμένου κυκλώματος ώστε να επανασχεδιαστεί το κύκλωμα και να μπορέσει να ελαχιστοποιηθεί ο παράγοντας της στατικής κατανάλωσης ισχύος χωρίς όμως να μειωθεί η απόδοση της ταχύτητας. Για την επίτευξη των προαναφερθέντων χρησιμοποιήσαμε διάφορες μεθόδους για την εξαγωγή της λογικής συνάρτησης και την εύρεση της ισοδύναμης συνάρτησης και κατά επέκταση του βέλτιστου κυκλώματος και επίσης χρησιμοποιήσαμε ένα εργαλείο για την εκτίμηση της στατικής κατανάλωσης ισχύος.



## **ABSTRACT**

Due to the continuous changes in the technology of a digital integrated circuits design, the focus was on the speed and size of the digital integrated circuit and no one was engaged in power consumption. As a result, however, power consumption has increased considerably and created problems that needed to be addressed quickly.

In this thesis we propose a process of a digital integrated circuit optimization in order to redesign the circuit and to minimize the parameter of static power consumption without reducing the performance of the speed. To achieve the above we used various methods to extract the logical function and find the equivalent function and by extension the optimal circuit, and also we used a tool to estimate the static power consumption.





## ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

ΠΕΡΙΛΗΨΗ.....	xii
ABSTRACT.....	xv
ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ.....	xvii
ΕΥΡΕΤΗΡΙΟ ΕΙΚΟΝΩΝ.....	xix
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ.....	xx
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ.....	xxii
ΚΕΦΑΛΑΙΟ 1.....	1
ΕΙΣΑΓΩΓΗ .....	1
1.1 Ιστορική Αναδρομή.....	1
1.2 Στόχοι Διπλωματικής.....	8
1.3 Δομή Διπλωματικής.....	9
ΚΕΦΑΛΑΙΟ 2.....	11
ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ ΣΕ ΨΗΦΙΑΚΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ.....	11
2.1 Ισχύς.....	11
2.2 Στατική Κατανάλωση.....	15
2.3 Δυναμική Κατανάλωση.....	20
2.4 Κατανάλωση Βραχυκυκλώματος.....	24
ΚΕΦΑΛΑΙΟ 3.....	29
ΜΕΙΩΣΗ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΣΕ ΨΗΦΙΑΚΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ.....	29
3.1 Ανάλυση και Χαρακτηριστικά των Ρευμάτων Διαρροής.....	29
3.2 Τεχνικές Μείωσης της Στατικής Κατανάλωσης με Εναλλακτική Χρήση Πολλαπλών $V_t$ .....	31
3.3 Τεχνικές Μείωσης της Στατικής Κατανάλωσης με Χρήση Τρανζίστορ με Παχύ Οξειδίο.....	35
3.4 Τεχνικές Μείωσης της Στατικής Κατανάλωσης με Αυτο-Ανάστροφη Πόλωση....	36
3.5 Τεχνικές Μείωσης της Στατικής Κατανάλωσης μέσω του Φαινομένου της Στοιβάς Τρανζίστορ.....	38
3.6 Τεχνικές πολλαπλών καταστάσεων ύπνου.....	48
3.7 Τεχνικές με Χρήση Μιας Ενδιάμεσης Κατάστασης Ύπνου.....	50
3.8 Τεχνικές με Χρήση Δυο Ενδιάμεσων Καταστάσεων Ύπνου.....	53
ΚΕΦΑΛΑΙΟ 4.....	58
ΔΟΜΗΜΕΝΟ STANDARD CELL.....	58
4.1 Standard Cell.....	58
4.2 Βιβλιοθήκη από standard cell.....	62
ΚΕΦΑΛΑΙΟ 5.....	64
Η ΜΕΘΟΔΟΣ ΤΟΥ LOGICAL EFFORT.....	64
5.1 Η Μέθοδος του Logical Effort.....	64
5.2 Το Μοντέλο Καθυστέρησης.....	65
5.3 Εξαγωγή του Μοντέλου Καθυστέρησης.....	68

5.4 Η Μέθοδος Βελτιστοποίησης Μονοπατιού.....	69
5.5 Επιλογή του Μήκους μιας Διαδρομής.....	72
5.6 Παραδείγματα.....	75
<b>ΚΕΦΑΛΑΙΟ 6 .....</b>	<b>80</b>
<b>ΕΞΑΓΩΓΗ ΚΑΙ ΕΛΑΧΙΣΤΟΠΟΙΗΣΗ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ.....</b>	<b>80</b>
6.1 Άλγεβρα Boole.....	80
6.2 Μέθοδος Quine McCluskey.....	82
6.3 Αλγόριθμος Αναζήτησης σε Βάθος DFS.....	85
<b>ΚΕΦΑΛΑΙΟ 7.....</b>	<b>89</b>
<b>ΕΡΓΑΛΕΙΑ ΣΧΕΔΙΑΣΗΣ ΚΑΙ ΑΞΙΟΛΟΓΗΣΗΣ ΤΩΝ ΠΕΙΡΑΜΑΤΩΝ.....</b>	<b>89</b>
7.1 Το Πρόγραμμα Σχεδίασης Vivado Design Suite της Xilinx.....	89
7.1.1 Vivado High-Level Synthesis.....	94
7.2 Verilog.....	94
7.3 Αποτελέσματα των πειραμάτων.....	95
<b>ΒΙΒΛΙΟΓΡΑΦΙΑ.....</b>	<b>100</b>

## ΕΥΡΕΤΗΡΙΟ ΕΙΚΟΝΩΝ

<b>Εικόνα 1.1</b> : Το Πρώτο Τρανζίστορ που Δημιουργήθηκε το 1947.....	1
<b>Εικόνα 1.2</b> : Τρανζίστορ και Ολοκληρωμένα Κυκλώματα.....	2
<b>Εικόνα 1.3</b> : Ψηφιακό Ολοκληρωμένο Κύκλωμα VLSI.....	4
<b>Εικόνα 1.4</b> : Ο Νόμος του Moore.....	6
<b>Εικόνα 2.1</b> : Ιεραρχίες Σχεδίασης.....	11
<b>Εικόνα 2.2</b> : Μοντελοποίηση Υποσυστημάτων.....	12
<b>Εικόνα 2.3</b> : Σχεδιαστικά Επίπεδα Αφαίρεσης.....	12
<b>Εικόνα 7.1</b> : Αρχική Οθόνη του Vivado Design Suite.....	90
<b>Εικόνα 7.2</b> : Δημιουργία Νέου Project.....	90
<b>Εικόνα 7.3</b> : Επιλογή Project Name και Project Location.....	91
<b>Εικόνα 7.4</b> : Επιλογή του Τύπου Project.....	91
<b>Εικόνα 7.5</b> : Επιλογή του Τύπου Πλακέτας.....	92
<b>Εικόνα 7.6</b> : Σύνοψη Επιλογών.....	92
<b>Εικόνα 7.7</b> : Το Αρχικό Παράθυρο του Προγράμματος.....	93
<b>Εικόνα 7.8</b> : Προσθήκη ή Δημιουργία Αρχείου.....	93
<b>Εικόνα 7.9</b> : Ο Κώδικας σε Verilog.....	95
<b>Εικόνα 7.10</b> : Ο Κώδικας του Testbench σε Verilog.....	96
<b>Εικόνα 7.11</b> : Αποτελέσματα Μετρήσεων της Στατικής Κατανάλωσης.....	97
<b>Εικόνα 7.12</b> : Κώδικας Verilog της Δεύτερης Συνάρτησης.....	97
<b>Εικόνα 7.13</b> : Αποτελέσματα Μετρήσεων της Στατικής Κατανάλωσης της Δεύτερης Συνάρτησης.....	98

## ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

Σχήμα 1.1 : Κυκλωματικά Σύμβολα των Τρανζίστορ MOS.....	2
Σχήμα 1.2 : Εγκάρσια Τομή Σύγχρονης Διεργασίας MOS (CMOS) Διπλού Πηγαδιού.....	3
Σχήμα 2.1 : Μηχανισμοί Δημιουργίας Ρευμάτων Διαρροής.....	16
Σχήμα 2.2 : Το Ρεύμα στην Περιοχή Υποκατωφλίου.....	17
Σχήμα 2.3 : Εξάρτηση του Ρεύματος Ασθενούς Αναστροφής από τη Τάση Κατωφλίου $V_t$ και την Τάση Πηγής $V_{GS}$ .....	18
Σχήμα 2.4 : Τα Ρεύματα DIBL και GIDL.....	19
Σχήμα 2.5 : Μία Πύλη CMOS που Οδηγεί ένα Ισοδύναμο Πυκνωτή.....	20
Σχήμα 2.6 : Κύκλωμα Μέσης Δυναμικής Ισχύς με Τετραγωνικό Παλμό Εισόδου.....	23
Σχήμα 2.7 : Είσοδος και Ρεύμα Εξόδου για έναν Αντιστροφέα CMOS.....	25
Σχήμα 2.8 : Τα Ρεύματα Βραχυκυκλώματος που Παράγονται από Δύο Διαδοχικούς Αντιστροφέες.....	27
Σχήμα 3.1 : Ρεύμα Διαρροής Φαινομένου Οξειδίου Πύλης Τρανζίστορ σε Αντιστροφέα.....	29
Σχήμα 3.2 : Ρεύμα Διαρροής του Φαινομένου Σήραγγας Οξειδίου Πύλης.....	30
Σχήμα 3.3 : Ρεύμα Υποκατωφλίου.....	30
Σχήμα 3.4 : Πύλη NAND 2 Εισόδων.....	31
Σχήμα 3.5 : Πύλη NAND Τριών Εισόδων.....	34
Σχήμα 3.6 : Κύκλωμα αυτό-ανάστροφης πόλωσης πολλαπλών τάσεων κατωφλίου.....	36
Σχήμα 3.7 : Κρίσιμο Μονοπάτι και Τρανζίστορ με Υψηλό και Χαμηλό $V_t$ .....	38
Σχήμα 3.8 : Μία Απλή Στατική Πύλη NAND.....	39
Σχήμα 3.9 : Σχηματική απεικόνιση του φαινομένου της στοίβας τρανζίστορ.....	40
Σχήμα 3.10 : Μία Πύλη NAND Τριών Εισόδων.....	43
Σχήμα 3.11 : Τρανζίστορ που Επηρεάζουν τον Εσωτερικό Κόμβο $i$ .....	44
Σχήμα 3.12 : Χωρητικότητες Εσωτερικών Κόμβων.....	46
Σχήμα 3.13 : Κύκλωμα σε Κατάσταση RUN / IDLE.....	50
Σχήμα 3.14 : Κύκλωμα σε Κατάσταση GOLD.....	51
Σχήμα 3.15 : Κύκλωμα σε Κατάσταση PARK.....	52
Σχήμα 3.16 : Κύκλωμα Γεννήτριας Τάσεων.....	53
Σχήμα 3.17 : Διάγραμμα του Χρόνου Αφύπνισης ως Συνάρτηση του Ρεύματος Διαρροής σε Τέσσερις Διαφορετικές Λειτουργίες.....	55
Σχήμα 4.1 : Standard Cell για πύλη NAND.....	58
Σχήμα 4.2 : Αριστερά Τα Standard Cells του Προγράμματος που Δημιουργήσαμε.....	61
Σχήμα 5.1 : Ισοδύναμο Κύκλωμα Λογικής Πύλης σε Κλίμακα $s$ .....	68
Σχήμα 5.2 : Σχέδια ενός Αντιστροφέα, μίας Πύλης NAND και μίας Πύλης NOR με Όμοια Χαρακτηριστικά Κίνησης.....	68
Σχήμα 5.3 : Δίκτυο Πολλαπλών Σταδίων με Εσωτερικό fan-out.....	76
Σχήμα 5.4 : Διάγραμμα Μνήμης Cache.....	77

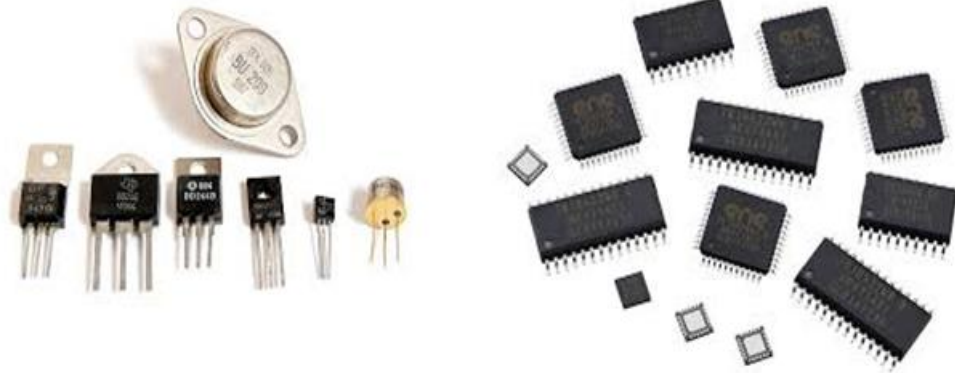
<b>Σχήμα 6.1</b> : Λογικές Πύλες.....	80
<b>Σχήμα 6.2</b> : Το Αρχικό Κύκλωμα.....	83
<b>Σχήμα 6.3</b> : Το Ελαχιστοποιημένο Κύκλωμα.....	85
<b>Σχήμα 6.4</b> : Εκτέλεση Αλγορίθμου σε Βάθος.....	86
<b>Σχήμα 7.1</b> : Το Κύκλωμα της Εξίσωσης $y = f(a, b, c) = a'b'c + a'bc' + ab'c' + abc' + abc$ .....	96
<b>Σχήμα 7.2</b> : Το Κύκλωμα της Εξίσωσης $y = f(a, b, c) = b'c + bc' + a$ .....	97

## ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

Πίνακας 1.1 : Κατηγοριοποίηση των Ψηφιακών Ολοκληρωμένων Κυκλωμάτων.....	7
Πίνακας 3.1 : Ρεύμα Απόδοσης και Διαρροής για Τρανζίστορ Υψηλού και Χαμηλού $V_t$ ..	32
Πίνακας 5.1 : Logical Effort για Εισόδους Στατικών Πυλών CMOS.....	66
Πίνακας 5.2 : Εκτιμήσεις Παρασιτικής Καθυστέρησης για Διάφορους Τύπους Πυλών....	67
Πίνακας 5.3 : Επιλογή του N με Βάση το Path Effort, F.....	75
Πίνακας 5.4 : Καθυστέρηση ενός Δικτύου σε Συνάρτηση Σφάλματος.....	75
Πίνακας 6.1 : Τιμές Τελεστών στην Άλγεβρα Boole.....	81
Πίνακας 6.2 : Θεωρήματα της Άλγεβρας Boole.....	81
Πίνακας 6.3 : Ομαδοποίηση των Όρων.....	83
Πίνακας 6.4 : Απλοποιημένοι Όροι.....	84
Πίνακας 6.5 : Συγχωνευμένοι Όροι.....	84
Πίνακας 6.6 : Τελική μορφή απλοποίησης.....	84
Πίνακας 6.7 : Πίνακας Πρωταρχικών Όρων.....	85

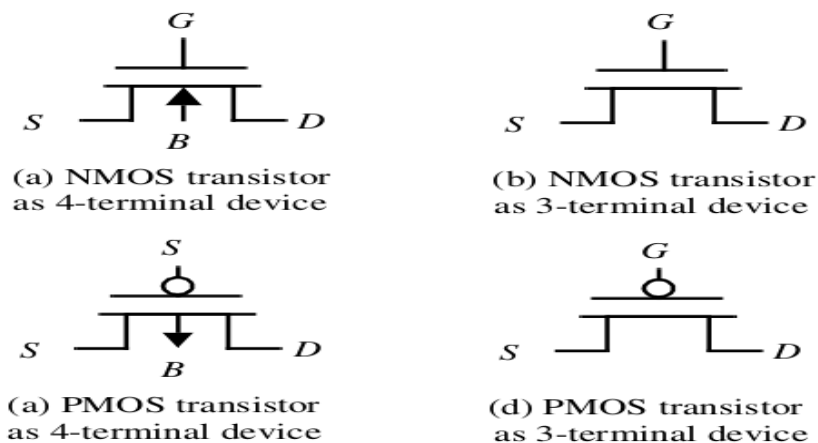


αφαίρεσε λίγο από αυτό σχηματίζοντας έτσι τα σύρματα που έπρεπε να ενώσουν τα διάφορα στοιχεία. Αυτή η αλλαγή, κατέστησε την μαζική παραγωγή των ολοκληρωμένων κυκλωμάτων δυνατή.



Εικόνα 1.2: Τρανζίστορ και Ολοκληρωμένα Κυκλώματα

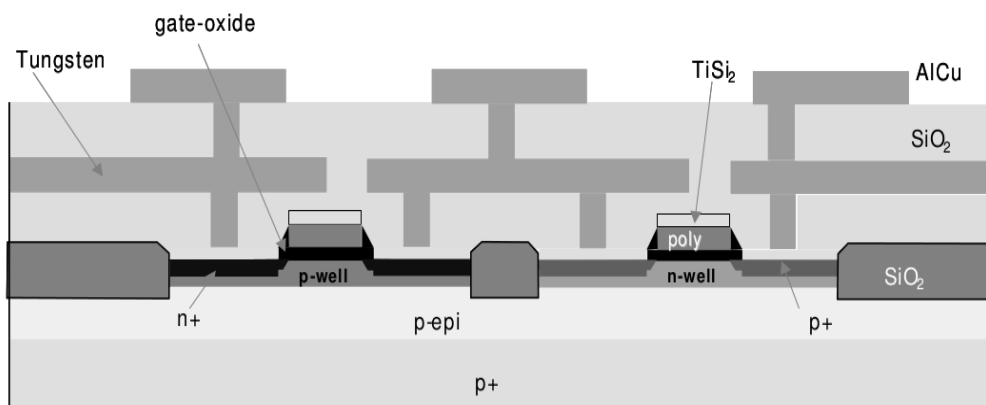
Μετά τη δημιουργία των ολοκληρωμένων κυκλωμάτων επικράτησε η προσέγγιση των ψηφιακών ολοκληρωμένων κυκλωμάτων MOS. Το MOSFET ή MOS εν συντομία αποτελεί ειδικό τύπο τρανζίστορ φαινομένου πεδίου (FET- Field Effect Transistor). Τα τρανζίστορ φαινομένου πεδίου MOSFET είναι ηλεκτρονικές διατάξεις τεσσάρων ακροδεκτών, στις οποίες η τάση που εφαρμόζεται στον ακροδέκτη πύλης (gate) καθορίζει εάν και πόσο ρεύμα θα ρέει μεταξύ των ακροδεκτών πηγής (source) και υποδοχής (drain). Το υπόστρωμα (substrate) αναπαριστά τον τέταρτο ακροδέκτη του τρανζίστορ. Η λειτουργία του οποίου είναι δευτερεύουσα επειδή εξυπηρετεί μονάχα στη διαμόρφωση των χαρακτηριστικών και των παραμέτρων του στοιχείου. Παρόλο που η ιδέα για την κατασκευή ενός τρανζίστορ φαινομένου πεδίου ήταν ώριμη από τη δεκαετία του 1920 από τον Lilienfeld, τα πρώτα πρακτικά FET έγινε δυνατό να κατασκευαστούν στη δεκαετία του 1960 από τους Atalla, Khang , όταν και ξεπεράστηκαν οι σχετικοί τεχνολογικοί περιορισμοί. Η ονομασία MOS αποτελεί ακρωνύμιο των λέξεων Metal-Oxide-Semiconductor που σημαίνει ότι το τρανζίστορ είναι μετάλλου οξειδίου ημιαγωγού και σχετίζεται με την κατασκευή των τρανζίστορ αυτού του τύπου.



Σχήμα 1.1: Κυκλωματικά Σύμβολα των Τρανζίστορ MOS

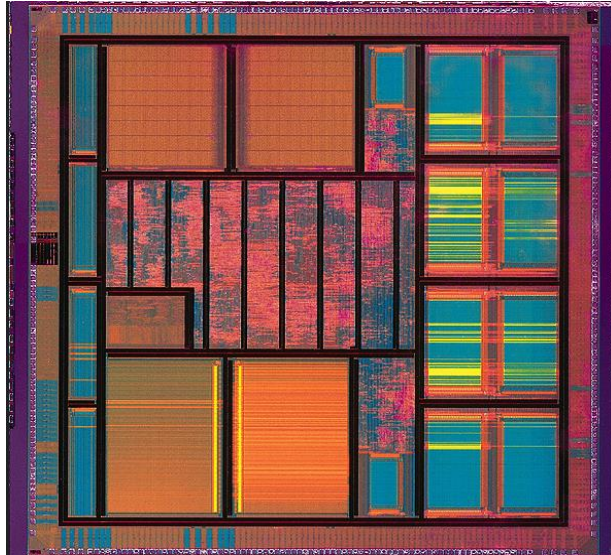


Σε σύγκριση με το διπολικό τρανζίστορ ένα τρανζίστορ MOS κατασκευάζεται πολύ πιο εύκολα, ενώ καταλαμβάνει πολύ μικρότερο μέρος της επιφάνειας ενός ολοκληρωμένου κυκλώματος. Υπάρχουν δύο τύποι τρανζίστορ MOS οι οποίοι είναι το τρανζίστορ NMOS που αποτελείται από περιοχές υποδοχής (drain) και πηγής (source) με νόθευση τύπου n+ που ενσωματώνονται σε υπόστρωμα (substrate) τύπου p. Το ρεύμα του μεταφέρεται από ηλεκτρόνια που κινούνται μέσω του καναλιού τύπου n μεταξύ της πηγής και της υποδοχής. Το τρανζίστορ PMOS αποτελείται από περιοχές υποδοχής (drain) και πηγής (source) τύπου p+ που κατασκευάζονται σε υπόστρωμα (substrate) τύπου n. Σε αυτό το τρανζίστορ το ρεύμα μεταφέρεται από οπές που κινούνται διαμέσου ενός καναλιού τύπου p.



Σχήμα 1.2: Εγκάρσια Τομή Σύγχρονης Διεργασίας MOS (CMOS) Διπλού Πηγαδιού

Επιπλέον, εξαιτίας της δομής τους, τα MOS είναι ηλεκτρικά απομονωμένα από το υπόστρωμα πάνω στο οποίο αναπτύσσονται εξαιτίας των ανάστροφα πολωμένων επαφών p-n που σχηματίζουν και άρα είναι και μεταξύ τους απομονωμένα. Μπορούν, επομένως, να τοποθετηθούν πολύ κοντά το ένα στο άλλο, χωρίς πρόβλημα αλληλεπίδρασης. Κάτι ανάλογο δεν συμβαίνει με τα διπολικά τρανζίστορ η τοποθέτηση των οποίων είναι λιγότερο πυκνή και τα οποία, επιπλέον, απαιτούν την ανάπτυξη ειδικών περιοχών απομόνωσης, οι οποίες καλύπτουν ένα μεγάλο ποσοστό της επιφάνειας του ολοκληρωμένου κυκλώματος στο οποίο περιέχονται. Ένα ακόμα πλεονέκτημα των διατάξεων MOS είναι πως μπορούν να συνδεθούν σαν αντιστάσεις ή πυκνωτές, γεγονός που επιτρέπει την κατασκευή κυκλωμάτων που αποτελούνται αποκλειστικά από τρανζίστορ MOS. Οι παραπάνω ιδιότητες καθιστούν τα MOSFET κυρίαρχες διατάξεις στα συστήματα πολύ μεγάλης κλίμακας ολοκλήρωσης (VLSI).



Εικόνα 1.3: Ψηφιακό Ολοκληρωμένο Κύκλωμα VLSI

Στην αρχή των κυκλωμάτων VLSI κατά τη δεκαετία του 1970 χρησιμοποιούνταν η τεχνολογία NMOS η οποία όμως πολύ γρήγορα αντικαταστάθηκε από την τεχνολογία CMOS διότι έχει πολύ χαμηλότερη κατανάλωση ισχύος, ταχύτερη λειτουργία και αξιόπιστη απόδοση. Επιπλέον, η τεχνολογία CMOS είναι προτιμότερη από τα διπολικά στοιχεία για τη σχεδίαση ψηφιακών συστημάτων και έχει καταστήσει εφικτά επίπεδα ολοκλήρωσης και εφαρμογές που δεν θα μπορούσαν να επιτευχθούν με τη διπολική τεχνολογία.

Μερικοί λόγοι για τους οποίους επικράτησε η τεχνολογία CMOS έναντι της διπολικής στις ψηφιακές εφαρμογές είναι οι ακόλουθοι:

1. Τα λογικά κυκλώματα CMOS καταναλώνουν πολύ λιγότερη ισχύ από τα διπολικά λογικά κυκλώματα και, ως εκ τούτου, μπορεί κάποιος να «συσκευάσει» περισσότερα κυκλώματα CMOS στο ίδιο ολοκληρωμένο chip απ' ό,τι είναι εφικτό με διπολικά κυκλώματα.

2. Η υψηλή σύνθετη αντίσταση εισόδου του MOS τρανζίστορ επιτρέπει στο σχεδιαστή να χρησιμοποιεί την αποθήκευση φορτίου ως μέσο για την προσωρινή αποθήκευση πληροφορίας στα λογικά κυκλώματα και στα κυκλώματα μνήμης. Αυτή η τεχνική δεν μπορεί να χρησιμοποιείται σε διπολικά κυκλώματα.

3. Οι διαστάσεις δηλαδή, το ελάχιστο μήκος καναλιού των MOS τρανζίστορ έχουν μειωθεί θεαματικά με την πάροδο του χρόνου - ορισμένες από τις πρόσφατες σχεδιάσεις χρησιμοποιούν στοιχεία με μήκος καναλιού τόσο μικρό όσο τα 0.06 μm. Αυτό επιτρέπει την πολύ πυκνή «συσκευασία» κυκλωμάτων στο ίδιο ολοκληρωμένο και, αντιστοίχως, πολύ υψηλά επίπεδα ολοκλήρωσης.

Στα διπολικά στοιχεία υπάρχουν δύο οικογένειες λογικών κυκλωμάτων που βασίζονται στο διπολικό τρανζίστορ ένωσης και χρησιμοποιούνται έως και σήμερα. Η πρώτη οικογένεια λογικών κυκλωμάτων είναι η λογική τρανζίστορ-τρανζίστορ ή αλλιώς TTL(Transistor-Transistor Logic) η οποία ήταν για πολλά χρόνια η ευρύτερα χρησιμοποιούμενη οικογένεια λογικών κυκλωμάτων σε εφαρμογές όπως υπολογιστές και άλλα. Το TTL έγινε το θεμέλιο των υπολογιστών και άλλων ψηφιακών ηλεκτρονικών. Όταν όμως δημιουργήθηκε η τεχνολογία VLSI ήταν αναμενόμενη η πτώση της, ωστόσο οι

κατασκευαστές κυκλωμάτων TTL παρουσίασαν εκδόσεις αυτών των κυκλωμάτων με χαμηλή κατανάλωση ισχύος και υψηλή ταχύτητα λειτουργίας. Στις νέες αυτές εκδόσεις οι υψηλότερες ταχύτητες λειτουργίας καθίστανται εφικτές αποτρέποντας τα Διπολικά Στοιχεία να φτάσουν στον κορεσμό και ,ως εκ τούτου, αποφεύγοντας την αργή διαδικασία αποκοπής ενός κορεσμένου τρανζίστορ.

Η δεύτερη οικογένεια λογικών κυκλωμάτων είναι η λογική συζευγμένου εκπομπού ή αλλιώς ECL(Emitter-Coupled Logic) η οποία είναι στην ουσία μία λογική οδήγησης ρεύματος για να αποφεύγεται ο κορεσμός σε μια πλήρως ενεργοποιημένη περιοχή λειτουργίας και επίσης να είναι εφικτές πολύ υψηλές ταχύτητες λειτουργίας. Επιπλέον, η λογική ECL για κάθε πύλη αντλεί συνεχώς ρεύμα πράγμα που σημαίνει ότι απαιτεί σημαντικά περισσότερη ισχύ από εκείνη άλλων οικογενειών λογικών κυκλωμάτων. Για το λόγο αυτό, η ECL χρησιμοποιείται στη σχεδίαση κυκλωμάτων VLSI όταν απαιτούνται πολύ υψηλές ταχύτητες λειτουργίας και δεν υπάρχει πρόβλημα με την μεγάλη κατανάλωση ισχύος και την αυξημένη επιφάνεια πυριτίου που χρειάζεται.

Τα ολοκληρωμένα κυκλώματα VLSI αποτελούν το κύριο λειτουργικό στοιχείο των ηλεκτρονικών υπολογιστών και των περισσότερων σύγχρονων ηλεκτρονικών εξαρτημάτων. Κάθε ένα σχεδιάζεται και κατασκευάζεται για κάποιον συγκεκριμένο σκοπό, προσπαθώντας να λύσει ένα συγκεκριμένο πρόβλημα. Καθημερινά τα συναντάμε στη ζωή μας και κάποια από αυτά τα προϊόντα είναι τα ψηφιακά ρολόγια, διάφορες οικιακές συσκευές, CD-DVD players, ηλεκτρονικά παιχνίδια, κινητά τηλέφωνα καθώς και σε μεγάλα συστήματα όπως είναι ο εξοπλισμός των δικτύων τηλεφωνίας και τηλεόρασης.

Η τεχνολογία που χρησιμοποιείται για τη δόμηση των παραπάνω συστημάτων έχει εξελιχθεί θεαματικά τις τελευταίες δεκαετίες. Έως το 1960 τα λογικά κυκλώματα κατασκευάζονταν από ογκώδη τεμάχια, όπως είναι τα τρανζίστορ και οι αντιστάσεις, τα οποία συνδέονταν ως χωριστά κομμάτια. Η ανάπτυξη των ολοκληρωμένων κυκλωμάτων κατέστησε δυνατή την τοποθέτηση πολλών τρανζίστορ μέσα σε ένα τεμάχιο που ονομάζεται τσιπ. Στην αρχή τα κυκλώματα αυτά περιείχαν λίγα τρανζίστορ αλλά με την εξέλιξη της τεχνολογίας μπορούμε πλέον να τοποθετήσουμε στην ίδια μικρή επιφάνεια εκατοντάδες χιλιάδες από αυτά. Και έτσι έγινε δυνατή η κατασκευή υπολογιστών μικρότερων , γρηγορότερων και φθηνότερων από τις προηγούμενες χρονιές. Επίσης οι υπολογιστές χρησιμοποιούνταν πλέον με πολύ διαφορετικό τρόπο από τους μεγάλους. Τα ολοκληρωμένα κυκλώματα κατασκευάζονταν και συνεχίζουν να κατασκευάζονται πάνω σε δίσκους πυριτίου.

Από το 1970 ήταν δυνατή η τοποθέτηση όλων των στοιχείων κυκλώματος που ήταν αναγκαία για τη δημιουργία ενός ολοκληρωμένου κυκλώματος μικροεπεξεργαστή σε ένα ενιαίο τεμάχιο. Πριν από περίπου 40 χρόνια ο Gordon Moore, πρόεδρος της εταιρίας Intel παρατήρησε ότι η τεχνολογία των κυκλωμάτων εξελισσόταν με καταπληκτικούς ρυθμούς, με αποτέλεσμα να διπλασιάζει τον αριθμό των τρανζίστορ που μπορούσαν να χωρέσουν μέσα σε ένα ολοκληρωμένο κύκλωμα κάθε 1,5 με 2 χρόνια. Το φαινόμενο αυτό που είναι γνωστό ως νόμος του Moore επιβεβαιώνεται μέχρι και σήμερα ότι τοποθετούνται



σημερινοί μικροεπεξεργαστές αποτελούνται από εκατομμύρια πυλών ή εκατοντάδες εκατομμύρια διαφορετικών τρανζίστορ. Πλέον είναι πραγματικότητα επεξεργαστές του ενός δισεκατομμυρίου τρανζίστορ οπότε και μιλάμε για VLSI (πολύ μεγάλης κλίμακας ολοκλήρωση).

Πίνακας 1.1	
Μικρής Κλίμακας Ολοκλήρωσης (Small Scale Integration, SSI)	Περιέχουν μερικές (5-10) ανεξάρτητες πύλες σε κάθε συσκευασία.
Μεσαίας Κλίμακας Ολοκλήρωσης (Medium Scale Integration, MSI)	Περιέχουν 10 έως 100 πύλες κατάλληλα συνδεδεμένες σε κάθε συσκευασία, ώστε να σχηματίζουν ένα ψηφιακό κύκλωμα.
Μεγάλης Κλίμακας Ολοκλήρωσης (Large Scale Integration, LSI)	Περιέχουν 100 έως 1000 πύλες σε κάθε συσκευασία, όπως για παράδειγμα είναι οι απλοί μικροεπεξεργαστές.
Πολύ Μεγάλης Κλίμακας Ολοκλήρωσης (Very Large Scale Integration, VLSI)	Περιέχουν κυκλώματα με εκατοντάδες χιλιάδες πύλες μέσα σε κάθε συσκευασία, όπως για παράδειγμα είναι οι μικροεπεξεργαστές.

Πίνακας 1.1: Κατηγοριοποίηση των Ψηφιακών Ολοκληρωμένων Κυκλωμάτων

Στην αρχή ο σχεδιασμός αυτών των ψηφιακών ολοκληρωμένων κυκλωμάτων πραγματοποιούνταν χειρωνακτικά. Όμως, με τη δια χειρός σχεδίαση των κυκλωμάτων υπήρχε η πιθανότητα το τελικό κύκλωμα να μην είναι λειτουργικό και να εκτελεί λανθασμένες εργασίες. Έτσι στη δεκαετία του 1970 οι προγραμματιστές άρχισαν να αυτοματοποιούν το σχεδιασμό ψηφιακών ολοκληρωμένων κυκλωμάτων και δημιούργησαν τα πρώτα εργαλεία χωροθέτησης, καθώς συνέβη αυτό, τα εργαλεία του σχεδιασμού μέσω υπολογιστή (Computer-Aided Design, CAD) τα οποία χρησιμοποιούνται για τη σύνθεση, τη τοποθέτηση, τη δρομολόγηση, την εξαγωγή, τη προσομοίωση, την ανάλυση και τον χρονισμό. Τα εργαλεία συνεργάζονται σε μια ροή σχεδιασμού που χρησιμοποιούν οι σχεδιαστές chip για να σχεδιάσουν και να αναλύσουν ολόκληρα chip ημιαγωγών. Δεδομένου ότι ένα σύγχρονο chip ημιαγωγών μπορεί να έχει δισεκατομμύρια εξαρτήματα, τα εργαλεία EDA είναι απαραίτητα για το σχεδιασμό τους.

Τα πρώτα EDA tools δημιουργήθηκαν εντός ακαδημαϊκού περιβάλλοντος. Ένα από τα πιο γνωστά ήταν το Berkeley VLSI Tools Tarball το οποίο ήταν μία συλλογή εφαρμογών σε περιβάλλον UNIX για το σχεδιασμό συστημάτων VLSI. Μέχρι τις αρχές της δεκαετίας του 1980 οι εταιρίες ανέπτυσαν εργαλεία αυτής της κατηγορίας για δικούς τους χρήση χωρίς να παρέχεται η χρήση και η απόκτηση από άλλους φορείς. Ωστόσο, τα επόμενα χρόνια πολλοί σχεδιαστές αναλογιζόμενοι το τεχνολογικό και οικονομικό ενδιαφέρον αποφάσισαν να ασχοληθούν με την παραγωγή EDA σε βιομηχανική κλίμακα. Από το 1981 και μετά ιδρύθηκαν μερικές από τις σημαντικότερες εταιρίες όπως η Mentor Graphics και η Valid Logic Systems. Επίσης, έχουμε και την ανάπτυξη δύο υψηλού επιπέδου γλωσσών περιγραφής υλικού την VHDL και την Verilog, με την βοήθεια των οποίων υπήρξε η δημιουργία των πρώτων εργαλείων λογικής σύνθεσης.

## 1.2 Στόχοι Διπλωματικής

Οι περισσότερες ερευνητικές και βιομηχανικές προσπάθειες στον τομέα των ψηφιακών ολοκληρωμένων κυκλωμάτων είχαν επικεντρώσει το ενδιαφέρον τους στο να αυξηθεί η ταχύτητα και η πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων. Η προσπάθεια αυτή είχε ως κατάληξη να δημιουργηθεί σε μία δυνατή αλλά ταυτόχρονα δαπανηρή ενεργειακά σχεδιαστική τεχνολογία η οποία άνοιξε τον δρόμο για την κατασκευή και ανάπτυξη των προσωπικών υπολογιστών, των υπολογιστικών συστημάτων πολυμέσων με δυνατότητες αναγνώρισης φωνής σε πραγματικό χρόνο και video σε πραγματικό χρόνο. Η προσοχή επικεντρώνονταν στην ταχύτητα και το μέγεθος του ολοκληρωμένου κυκλώματος και όχι στην κατανάλωση ισχύος.

Η κατανάλωση ισχύος ενός ολοκληρωμένου κυκλώματος αγγίζει τα όρια των δυνατοτήτων που προσφέρουν οι τεχνολογίες με αποτέλεσμα να μειώνεται η αξιοπιστία της συσκευής και να περιορίζεται η ταχύτητα λειτουργίας ίσως και οι εφαρμογές του ολοκληρωμένου κυκλώματος. Η ανάγκη να αντιμετωπιστούν τα προβλήματα κατανάλωσης ισχύος γρήγορα και αποτελεσματικά είναι ένα από τα πιο κύρια θέματα στον σχεδιασμό ψηφιακών ηλεκτρονικών συστημάτων. Η αυξανόμενη ζήτηση φορητών συσκευών, οικολογικές λύσεις, θέματα αξιοπιστίας και λειτουργικότητας ορίζουν διαρκώς πιο απαιτητικές προδιαγραφές για κατασκευές χαμηλής κατανάλωσης ισχύος.

Το σημαντικότερο πλεονέκτημα της τεχνολογίας των ημιαγωγών μετάλλων οξειδίου δηλαδή των CMOS είναι η εγγενής μείωση της κατανάλωσης ισχύος χωρίς να υποβαθμίζεται η ταχύτητα λειτουργίας και η υπολογιστική απόδοση των ολοκληρωμένων κυκλωμάτων. Η κατανόηση των μηχανισμών κατανάλωσης ισχύος είναι κρίσιμη για την ανάπτυξη τεχνικών χαμηλής κατανάλωσης τόσο στο επίπεδο του κυκλώματος όσο και στο επίπεδο της αρχιτεκτονικής.

Υπάρχουν τρεις τύποι κατανάλωσης ισχύος στα κυκλώματα CMOS, η στατική κατανάλωση, η δυναμική κατανάλωση και η κατανάλωση βραχυκυκλώματος. Η στατική κατανάλωση υπάρχει εξαιτίας ρευμάτων διαρροής στα τρανζίστορ, η οποία υφίσταται ακόμα και όταν το κύκλωμα λειτουργεί στην περιοχή της αποκοπής δηλαδή είναι σε κατάσταση αδράνειας. Από την άλλη πλευρά η δυναμική κατανάλωση οφείλεται στη φόρτιση και αποφόρτιση των παρασιτικών χωρητικότητων κατά τη διάρκεια μεταβάσεων της τάσης στους κόμβους ενός κυκλώματος CMOS. Τέλος, το ρεύμα βραχυκυκλώματος είναι το ρεύμα που διαρρέει ένα CMOS κύκλωμα κατά τη διάρκεια των μεταβάσεων των σημάτων από μια κατάσταση σε άλλη με μη μηδενικούς χρόνους ανόδου και καθόδου των σημάτων.

Στην παρούσα διπλωματική εργασία ασχολούμαστε με την βελτιστοποίηση ενός ψηφιακού ολοκληρωμένου κυκλώματος και με την μείωση της στατικής κατανάλωσης ισχύος του συγκεκριμένου κυκλώματος. Προσπαθούμε να αντικαταστήσουμε το κύκλωμα μας με ένα ισοδύναμο κύκλωμα το οποίο όμως να έχει μικρότερη κατανάλωση αλλά την ίδια ή και καλύτερη απόδοση ως προς την ταχύτητα.

Για την μείωση της στατικής κατανάλωσης ισχύος υπάρχουν πολλές τεχνικές όπως η τεχνική πολλαπλών τάσεων  $V_t$ , η τεχνική του φαινομένου της στοίβας τρανζίστορ, η τεχνική αυτό-ανάστροφης πόλωσης, η ανάλυση του ρεύματος διαρροής, η τεχνική του

παχύ οξειδίου και οι τεχνικές της κατάστασης ύπνου. Όλες αυτές τις τεχνικές της αναλύουμε εκτενέστερα στο κεφάλαιο 3.

### **1.3 Δομή Διπλωματικής**

Η διπλωματική περιέχει τα εξής επτά κεφάλαια:

Στο Πρώτο Κεφάλαιο γίνεται αναφορά σε μία ιστορική αναδρομή και επίσης παρουσιάζονται οι στόχοι της εργασίας καθώς και η δομή της.

Στο Δεύτερο Κεφάλαιο παρουσιάζονται η κατανάλωση ισχύος σε ολοκληρωμένα κυκλώματα και οι τρεις κατηγορίες κατανάλωσης η στατική , η δυναμική και η κατανάλωση βραχυκυκλώματος.

Στο Τρίτο Κεφάλαιο παρουσιάζονται οι τεχνικές για τη μείωση της στατικής κατανάλωσης ισχύος .

Στο Τέταρτο Κεφάλαιο παρουσιάζονται κάποιες πληροφορίες για τα Standard Cells και τις βιβλιοθήκες τους .

Στο Πέμπτο Κεφάλαιο παρουσιάζουμε και αναλύουμε τη μέθοδο Logical Effort .

Στο Έκτο Κεφάλαιο παρουσιάζονται τα θεωρήματα της Άλγεβρας Boole, η μέθοδος Quine-McCluskey και η αναζήτηση κατα βάθος (DFS) τα οποία μπορούν να χρησιμοποιηθούν για την ελαχιστοποίηση και εξαγωγή της λογικής συνάρτησης.

Στο Έβδομο Κεφάλαιο παρουσιάζονται η γλώσσα περιγραφής υλικού Verilog μαζί με κάποια αποτελέσματα από τα πειράματα που πραγματοποιήθηκαν και το αναπτυξιακό πρόγραμμα σχεδίασης ψηφιακών ολοκληρωμένων κυκλωμάτων Vivado Design Suite της Xilinx.



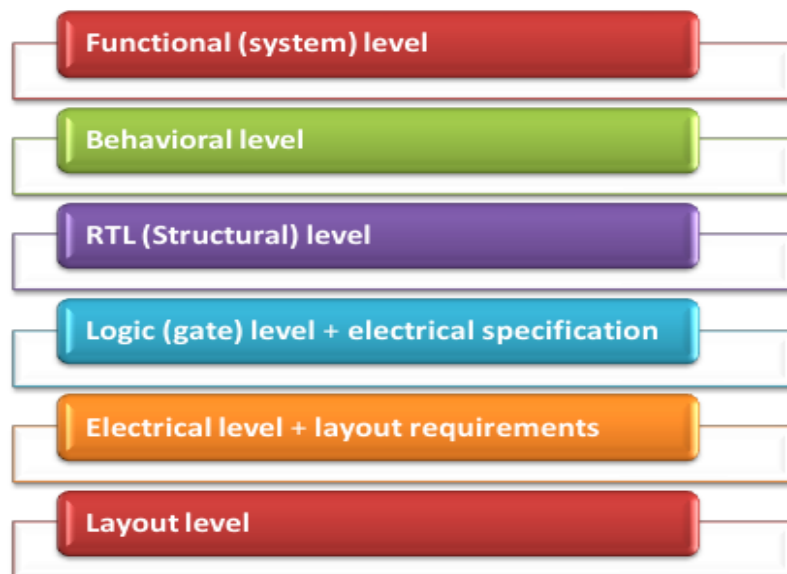


## ΚΕΦΑΛΑΙΟ 2

### ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ ΣΕ ΨΗΦΙΑΚΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

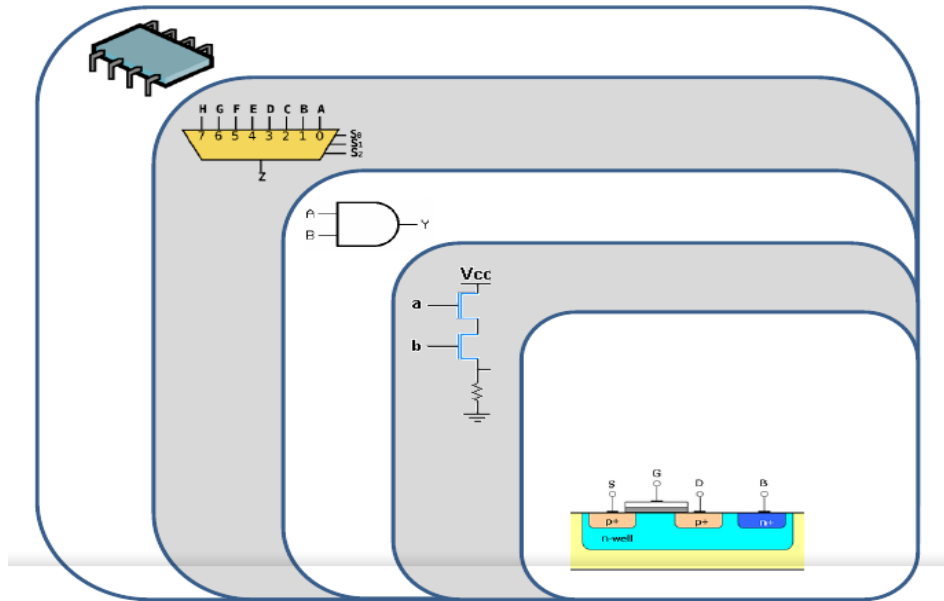
#### 2.1 Ισχύς

Η σχεδίαση ενός ψηφιακού ολοκληρωμένου κυκλώματος μπορεί να πραγματοποιηθεί σε διάφορα σχεδιαστικά επίπεδα αφαίρεσης, από τα οποία είναι το επίπεδο αρχιτεκτονικής ή καταχωρητή των προδιαγραφών λειτουργίας (Functional/system level), το επίπεδο περιγραφής ή μοντελοποίησης με ανάθεση δομών και πόρων επί του ολοκληρωμένου κυκλώματος (Behavioral level), το επίπεδο λογικής σχεδίασης λειτουργικών μονάδων (RTL/Structural level), το επίπεδο της σχεδίασης του λογικού κυκλώματος με επιλογή συγκεκριμένης τεχνολογίας και ηλεκτρικών προδιαγραφών (Logic/gate level + electrical specification), το επίπεδο σχεδίασης κυκλώματος με την συνδεσμολογία των επιμέρους μονάδων (Electrical level + layout requirements) και το επίπεδο φυσικού σχεδίου των δομών επί των ημιαγωγών (Layout level) που θα χρησιμοποιηθούν για την κατασκευή του τελικού ολοκληρωμένου κυκλώματος (chip).



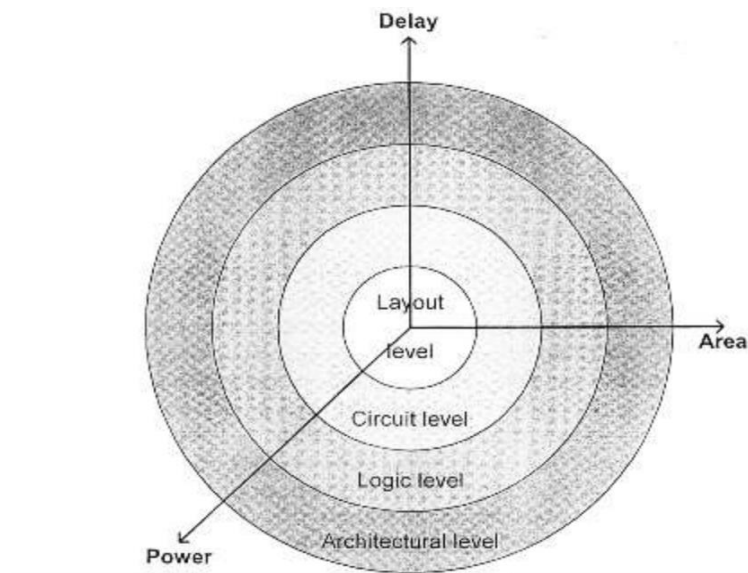
Εικόνα 2.1 : Ιεραρχίες Σχεδίασης

Για ένα ψηφιακό ολοκληρωμένο κύκλωμα μιας συγκεκριμένης λειτουργικής συμπεριφοράς η διαδικασία σχεδίασης στα επίπεδα που προαναφέραμε έχει ως σκοπό τη βέλτιστη λύση ως προς τις εξής τρεις παραμέτρους την καθυστέρηση, την επιφάνεια που καταλαμβάνει το κύκλωμα και την κατανάλωση ισχύος, κάτω από ορισμένους περιορισμούς για κάθε παράμετρο οι οποίοι δίνονται υπό τη μορφή προδιαγραφών.



Εικόνα 2.2 : Μοντελοποίηση Υποσυστημάτων

Ας δούμε την πρώτη παράμετρο η οποία είναι η καθυστέρηση που έχει σχέση με την απόδοση του κυκλώματος, καθώς μέσω αυτής καθορίζεται η συχνότητα ρολογιού και άρα η ταχύτητα λειτουργίας, ενώ η επιφάνεια που καταλαμβάνει το κύκλωμα και η κατανάλωση ισχύος αντιστοιχούν στην απαίτηση για εκμετάλλευση όσο το δυνατόν λιγότερων φυσικών πόρων. Επομένως, το πρόβλημα της σχεδίασης ψηφιακών ολοκληρωμένων κυκλωμάτων VLSI μπορεί να θεωρηθεί κατά μία έννοια ως ένα πρόβλημα βελτιστοποίησης υπό περιορισμούς σε ένα χώρο τρισδιάστατο, όπως στη παρακάτω εικόνα 2.3.



Εικόνα 2.3: Σχεδιαστικά Επίπεδα Αφαίρεσης.

Η βελτιστοποίηση της σχεδίασης του ψηφιακού ολοκληρωμένου κυκλώματος σύμφωνα με τον παραπάνω τρισδιάστατο χώρο μπορεί να πραγματοποιηθεί και να ελεγχθεί με βάση τις προδιαγραφές που έχουν τεθεί. Απαιτούνται ακριβείς εκτιμήσεις των

τριών παραμέτρων που προαναφέρθηκαν σε καθένα από τα σχεδιαστικά επίπεδα αφαίρεσης, οι οποίες να είναι διαθέσιμες κατά τη φάση της σχεδίασης και πριν το κύκλωμα φτάσει στο κατασκευαστικό στάδιο.

Για την παράμετρο της καθυστέρησης λαμβάνουμε υπόψιν το άθροισμα των καθυστερήσεων διάδοσης των μεμονωμένων πυλών που ανήκουν στο κρίσιμο μονοπάτι του ψηφιακού κυκλώματος το οποίο καταλαμβάνει το μέγιστο αριθμό λογικών επιπέδων. Ενώ για την παράμετρο της επιφάνειας μπορούν να εξαχθούν πολύ ακριβείς εκτιμήσεις από την χωροθέτηση του ψηφιακού κυκλώματος και την επιφάνεια κάθε μεμονωμένου στοιχείου. Από την άλλη, η παράμετρος της ισχύος είναι εξαιρετικά δύσκολη στην εκτίμησή της επειδή εξαρτάται από τα συγκεκριμένα διανύσματα εισόδου του ψηφιακού κυκλώματος που επιφέρουν μια αλλαγή στη λογική του κατάσταση.

Επιπρόσθετα, πρέπει να έχουμε εις γνώση μας ότι οι παράμετροι της καθυστέρησης και της επιφάνειας είναι μονοσήμαντα ορισμένες, ενώ η παράμετρος της κατανάλωσης ισχύος έχει τουλάχιστον δύο διαφορετικούς ορισμούς που ενδιαφέρουν κατά τη σχεδίαση ψηφιακών ολοκληρωμένων κυκλωμάτων και οι οποίες είναι η μέση και η μέγιστη ισχύς. Σε προγενέστερο χρόνο η παράμετρος της ισχύος δεν θεωρούνταν σημαντική παράμετρος σε σχέση με τις άλλες δύο παραμέτρους, κυρίως λόγω του ανταγωνισμού που επικρατούσε για την επίτευξη ολοένα και υψηλότερων ταχυτήτων με ταυτόχρονη αύξηση της πυκνότητας ολοκλήρωσης, αλλά και σε ένα βαθμό λόγω της προαναφερθείσας δυσκολίας που παρουσίαζε ο χαρακτηρισμός της. Τα τελευταία χρόνια όμως αυτό έχει αλλάξει δραματικά και η παράμετρος της ισχύος θεωρείται πλέον ως ίσης τουλάχιστον σημασίας για τη σχεδίαση ολοκληρωμένων κυκλωμάτων, γεγονός το οποίο καθιστά την ανάγκη ανάλυσης και εκτίμησής της εντονότερη από ποτέ.

Για να μπορέσουμε να αναλύσουμε και να κάνουμε μία εκτίμηση της ισχύος, η οποία ισχύος είναι ο ρυθμός που μία ενέργεια μετατρέπεται σε κάποια άλλη, θα πρέπει πρώτα από όλα να εξετάσουμε και να κατανοήσουμε την προέλευση της κατανάλωσης ισχύος στα ψηφιακά ολοκληρωμένα κυκλώματα CMOS VLSI.

Στα ψηφιακά ολοκληρωμένα κυκλώματα VLSI η ισχύος αναφέρεται στο ρυθμό με τον οποίο η ηλεκτρική ενέργεια μετατρέπεται σε θερμότητα ή στο ρυθμό με τον οποίο διοχετεύεται ενέργεια στο κύκλωμα από μια πηγή. Αν υποθέσουμε ότι η πηγή τροφοδοσίας του κυκλώματος είναι ιδανική πηγή τάσης, δηλαδή μπορεί να δώσει ανά πάσα στιγμή όλο το ρεύμα που χρειάζεται το κύκλωμα για τη λειτουργία του διατηρώντας σταθερή την τάση τροφοδοσίας  $V_{DD}$ , η στιγμιαία ισχύς του κυκλώματος για κάθε χρονική στιγμή  $t$  θα δίνεται από το γινόμενο της τάσης  $V_{DD}$  με το συνολικό ρεύμα  $I(t)$  που εισέρχεται στους ακροδέκτες τροφοδοσίας:

$$P(t) = V_{DD} I(t) \quad [2.1]$$

Με αυτό τον τρόπο προκύπτει ότι η κατανάλωση ισχύος του κυκλώματος θα είναι ανάλογη του ρεύματος εισόδου, που αυτό σημαίνει ότι οι δύο αυτές ποσότητες θα μπορούν στο εξής να χρησιμοποιούνται εκ περιτροπής η μία μετά την άλλη. Το κύριο μέρος της ανάλυσης και εκτίμησης ισχύος διεξάγεται συνήθως στα δύο ενδιάμεσα αφαιρετικά επίπεδα της λογικής και του κυκλώματος, καθώς στο ανώτερο επίπεδο της

αρχιτεκτονικής η ανάλυση δεν είναι δυνατό να έχει την απαιτούμενη ακρίβεια και χρησιμοποιείται μόνο για μια αρχική αποτίμηση της κατάστασης, ενώ στο κατώτερο φυσικό επίπεδο οι περισσότερες σχεδιαστικές παράμετροι έχουν ήδη εδραιωθεί και η εκτίμηση θα πρέπει να υπάρχει από τα προηγούμενα επίπεδα πριν η σχεδίαση καταλήξει εδώ.

Βασιζόμενοι σε αυτά τα δύο ενδιάμεσα επίπεδα, και επειδή εκεί η φυσική διάταξη των αγωγών τροφοδοσίας μέσα στο ολοκληρωμένο κύκλωμα δεν έχει ακόμα σχηματιστεί, μπορούμε να θεωρήσουμε ότι όλες οι πύλες του κυκλώματος τροφοδοτούνται από την ίδια σταθερή τάση η οποία είναι ίση με  $V_{DD}$  στην πραγματικότητα όμως υπάρχει μια πτώση τάσης πάνω στους αγωγούς τροφοδοσίας που σχηματίζονται στο φυσικό επίπεδο. Καθώς επιπλέον οι πύλες αυτές συνδέονται με παράλληλο τρόπο πάνω στους αγωγούς τροφοδοσίας και γείωσης, το συνολικό ρεύμα του κυκλώματος θα λαμβάνεται από την επαλληλία των ρευμάτων κάθε μεμονωμένης πύλης ξεχωριστά και επομένως η στιγμιαία ισχύς του εάν το κύκλωμα αποτελείται από  $q$  πύλες θα είναι:

$$P(t) = V_{DD} \sum_{i=1}^q I_i(t)$$

[2.2]

Εκτός από τη στιγμιαία κατανάλωση ισχύος, ένας άλλος σημαντικός τύπος ισχύος είναι η μέση ισχύς που καταναλώνεται σε ένα χρονικό διάστημα  $T$ , η οποία θα λαμβάνεται από το χρονικό μέσο της στιγμιαίας ισχύος για το διάστημα αυτό:

$$P(t) = \frac{1}{T} \int_0^T P(t) dt = \frac{V_{DD}}{T} \int_0^T I(t) dt$$

[2.3]

Εύκολα μπορεί κανείς να διαπιστώσει ότι και η μέση ισχύς του κυκλώματος δύναται να γραφεί ως η επαλληλία των επιμέρους τιμών της για κάθε μεμονωμένη πύλη ξεχωριστά, ως εξής:

$$P(t) = V_{DD} \sum_{i=1}^q \frac{1}{T} \int_0^T I_i(t) dt$$

[2.4]

Η κατανάλωση ισχύος σε ένα κύκλωμα CMOS γενικά μπορεί να αναλυθεί σε άθροισμα τριών συνιστωσών οι οποίες είναι η ισχύς μεταγωγής  $P_{sw}$ , η ισχύς βραχυκυκλώματος  $P_{sc}$  και η ισχύς διαρροής  $P_{lk}$ . Οι δύο πρώτες είναι οι δυναμικές συνιστώσες της συνολικής ισχύος καθώς, εμφανίζονται μόνο κατά τη μετάβαση μεταξύ δύο λογικών καταστάσεων, ενώ η τρίτη είναι η στατική συνιστώσα η οποία αντιπροσωπεύει μια μόνιμη πηγή κατανάλωσης. Για τον υπολογισμό της συνολικής ισχύς διαρροής χρησιμοποιείται ο εξής τύπος:

$$P_{LeakageTotal} = \sum_{\forall cells(i)} P_{CellLeakagei} \quad [2.5]$$

Για την ανάπτυξη τεχνικών χαμηλής κατανάλωσης κατά την εργοστασιακή κατασκευή είναι απαραίτητος ο εντοπισμός των πηγών κατανάλωσης ισχύος τόσο στο επίπεδο του κυκλώματος όσο και στο επίπεδο της αρχιτεκτονικής. Στα ολοκληρωμένα κυκλώματα CMOS υπάρχουν τρεις πηγές κατανάλωσης ισχύος, η δυναμική κατανάλωση, η στατική κατανάλωση και η κατανάλωση βραχυκυκλώματος. Η συνολική κατανάλωση ισχύος ενός κυκλώματος CMOS είναι το άθροισμα των τριών αυτών συνιστωσών της κατανάλωσης ισχύος:

$$P_{total} = P_{dynamic} + P_{leakage} + P_{short-circuit} \quad [2.6]$$

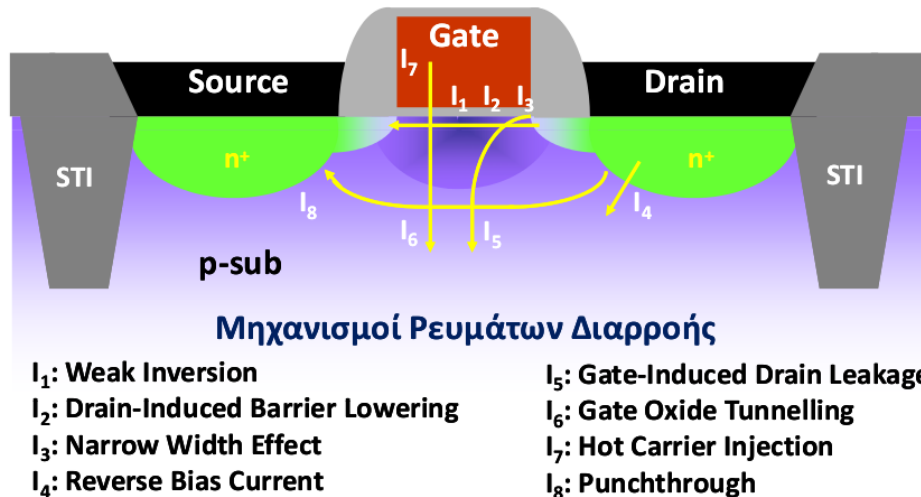
Όπου  $P_{dynamic} = C_{tot} * a * F * V_{dd}^2$  είναι η δυναμική κατανάλωση που οφείλεται στη δραστηριότητα του κυκλώματος κατά την οποία φορτίζονται και αποφορτίζονται οι παρασιτικές χωρητικότητες κατά τη διάρκεια των μεταβάσεων σήματος στους εσωτερικούς κόμβους. Η  $P_{leakage} = N_{ON} * I_{leak} * V_{dd}$  οφείλεται σε διαρροές ρεύματος και εξακολουθεί να υφίσταται ακόμη και όταν δεν υπάρχει δραστηριότητα στο κύκλωμα. Η  $P_{short-circuit} = N_{tot} * a * F * V_{dd} * I_{sc}$  είναι η ισχύς που καταναλώνεται κατά τη μετάβαση ενός σήματος εισόδου όπου και το PMOS και το NMOS δικτύωμα μιας πύλης CMOS μπορεί να άγουν ταυτόχρονα.

Στα τυπικά κυκλώματα CMOS η χωρητική κατανάλωση είναι με διαφορά ο κυρίαρχος παράγοντας. Η κατανάλωση συνεχούς διαδρομής μπορεί με προσεκτικό σχεδιασμό να διατηρηθεί εντός κάποιων ορίων και έτσι δεν αποτελεί σημαντικό ζήτημα. Η διαρροή ρεύματος είναι αμελητέα προς το παρόν αλλά αυτό μπορεί να αλλάξει.

## 2.2 Στατική Κατανάλωση

Η στατική κατανάλωση είναι ένα είδος κατανάλωσης ισχύος που συναντάμε στα σύγχρονα ολοκληρωμένα κυκλώματα. Με την εξέλιξη της τεχνολογίας στην νανομετρική εποχή επήλθε και μείωση της τάσης τροφοδοσίας  $V_{DD}$ . Για να μην προκληθεί μείωση στις επιδόσεις του κυκλώματος, έγινε μείωση και στην τάση κατωφλίου  $V_{th}$  των τρανζίστορ.

Συνεπώς η διαρροή ρεύματος υποκατωφλίου αυξήθηκε εκθετικά επειδή εξαρτάται από την τάση κατωφλίου με εκθετικό τρόπο. Η στατική κατανάλωση εξαρτάται κατά βάση από τις διαρροές ανάστροφης πόλωσης μεταξύ των περιοχών διάχυσης και υποστρώματος καθώς και από την αγωγιμότητα στην περιοχή υποκατωφλίου. Πιο αναλυτικά τα ρεύματα που συνεισφέρουν στην στατική κατανάλωση φαίνονται στο σχήμα 2.1 που ακολουθεί:



Σχήμα 2.1 : Μηχανισμοί Δημιουργίας Ρευμάτων Διαρροής

Τα ρεύματα που είναι περισσότερο υπεύθυνα για την στατική κατανάλωση είναι: το ρεύμα Ασθενούς Αντιστροφής ή ρεύμα στην περιοχή υποκατωφλίου και τα ρεύματα DIBL (Drain-Induced Barrier Lowering) και GIDL (Gate-Induced Drain Leakage). Στις τεχνολογίες 90nm το μέγεθος του ρεύματος διαρροής λόγω φαινομένου σήραγγας στην πύλη  $I_{gate}$ , σε ένα τρανζίστορ είναι συγκρίσιμο με το ρεύμα υποκατωφλίου  $I_{sub}$ , στη θερμοκρασία δωματίου. Το απλό μοντέλο του αντιστροφέα CMOS το οποίο περιλαμβάνει τις παρασιτικές διόδους, οι διόδοι αυτές δημιουργούνται από τις διαχύσεις πηγής-υποδοχής και τις διαχύσεις που βρίσκονται στο η πηγάδι.

Επειδή όλες οι παρασιτικές διόδους είναι ανάστροφα πολωμένες μόνο το ρεύμα διαρροής συνεισφέρει στην στατική κατανάλωση. Στον αναστροφέα CMOS στην ηρεμία δεν υπάρχει χρονική στιγμή κατά την οποία και τα δύο τρανζίστορ να άγουν. Έτσι δεν υπάρχει μονοπάτι ρεύματος dc από την τροφοδοσία  $V_{DD}$  στη γείωση. Δηλαδή το ρεύμα ηρεμίας είναι θεωρητικά μηδέν και επομένως η αντίστοιχη ισχύς θα πρέπει να είναι μηδέν.

Η εξίσωση που περιγράφει το ρεύμα διαρροής της διόδου είναι η εξής :

$$I_0 = I_s \left[ e^{\frac{qV}{kT}} - 1 \right]$$

[2.7]

Η εξίσωση που περιγράφει το ρεύμα διαρροής ανάστροφης πόλωσης των pn επαφών είναι η εξής:

$$I_0 = I_s \left[ e^{\frac{V}{V_T}} - 1 \right]$$

[2.8]

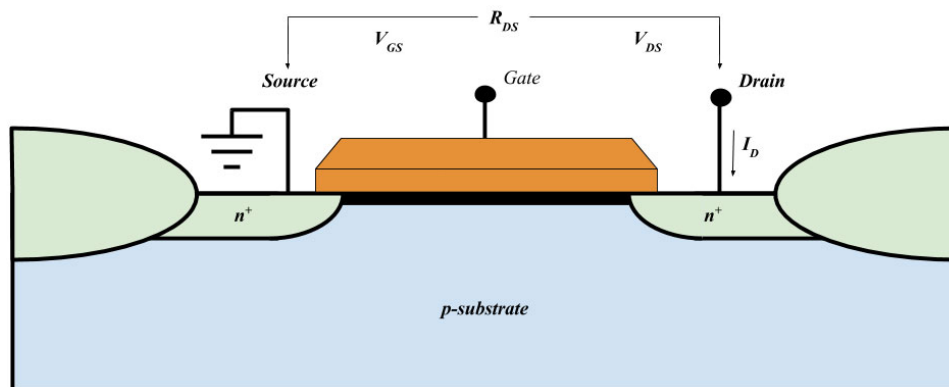
Όπου  $I_s$  είναι το ανάστροφο ρεύμα στη pn επαφή και αυξάνει με την θερμοκρασία,  $V$  η τάση διόδου στα άκρα της pn επαφής,  $V_T$  το θερμοκίνητο δυναμικό,  $q$  το φορτίο ηλεκτρονίου,  $k$  η σταθερά του Boltzman,  $T$  η θερμοκρασία.

Η συνολική στατική κατανάλωση ενός κυκλώματος το οποίο αποτελείται από  $n$  στοιχεία δίνεται από την σχέση:

$$P_s = \sum_1^n \text{ρεύμα διαρροής} * \text{τάση τροφοδοσίας} = I_{off} \cdot V_{DD}$$

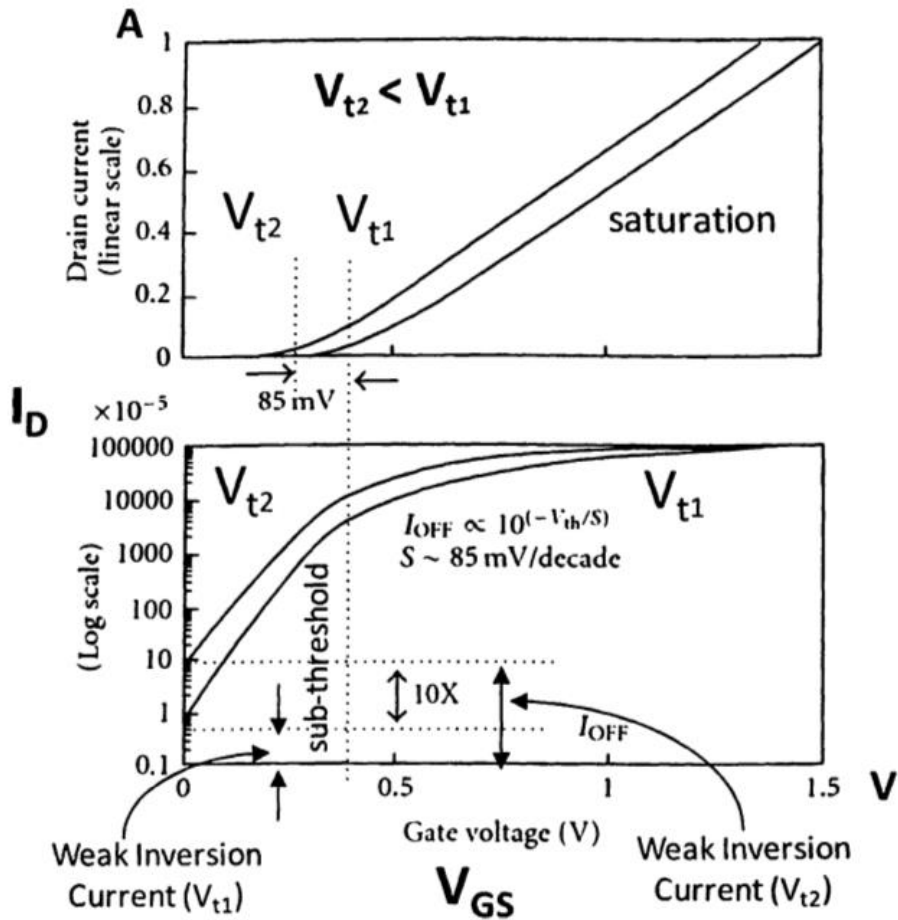
[2.9]

Όπου το  $I_{off}$  είναι το ρεύμα που ρέει μεταξύ των γραμμών τροφοδοσίας όταν δεν υπάρχει μεταβατική δραστηριότητα. Στις σημερινές τεχνολογίες η στατική κατανάλωση παίζει όλο και πιο σημαντικό ρόλο ως ποσοστό στην συνολική κατανάλωση ισχύος ενός κυκλώματος.



Σχήμα 2.2 : Το Ρεύμα στην Περιοχή Υποκατωφλίου

Στο τρανζίστορ MOS μπορεί να ρέει ένα μικρό ρεύμα υποδοχής - πηγής ακόμα και όταν η τάση  $V_{GS}$  είναι μικρότερη από την τάση κατωφλίου. Όσο πιο κοντά στο μηδέν είναι η τάση κατωφλίου τόσο μεγαλύτερο είναι το ρεύμα διαρροής για  $V_{GS} = 0 \text{ V}$  και τόσο μεγαλύτερη είναι η στατική κατανάλωση ισχύος. Επίσης, στην περιοχή λειτουργίας υποκατωφλίου, το ρεύμα υποδοχής εξαρτάται εκθετικά από την τάση  $V_{GS}$  και την τάση κατωφλίου του τρανζίστορ (σχήμα 2.3 και εξίσωση 2.10).



Σχήμα 2.3 : Εξάρτηση του Ρεύματος Ασθενούς Αναστροφής από τη Τάση Κατωφλιού  $V_t$  και την Τάση Πηγής  $V_{GS}$ .

Συγκεκριμένα όταν η τάση της πύλης πέσει κάτω από την τάση κατωφλιού, στην λεγόμενη περιοχή ασθενούς αναστροφής, η πυκνότητα των ηλεκτρονίων είναι μια μικρή αλλά υπάρχουσα ποσότητα η οποία εξαρτάται από τη διαφορά  $V_{GS} - V_t$ . Συνεπώς, ακόμα και όταν το τρανζίστορ είναι σε μη αγώγιμη κατάσταση, ένα μικρό ρεύμα  $I_{off}$ , που ουσιαστικά είναι ένα ρεύμα διάχυσης, ρέει από την υποδοχή προς την πηγή όταν  $V_{DS} \neq 0$ .

Το ρεύμα αυτό είναι το ρεύμα υποκατωφλιού  $I_{sub}$  και δίνεται από την παρακάτω σχέση:

$$I_{off} = \mu C_{ox} \frac{W_{eff}}{L_{eff}} e^{\frac{V_{GS} - V_t}{\eta V_T}}$$

[2.10]

Όπου  $\mu$  είναι η κινητικότητα των φορέων μειοψηφίας,  $C_{ox}$  είναι η χωρητικότητα στο οξείδιο της πύλης,  $W_{eff}$ ,  $L_{eff}$  είναι οι διαστάσεις του τρανζίστορ,  $V_T$  είναι το θερμικό δυναμικό και  $\eta$  είναι ο συντελεστής ιδανικότητας της κλίσης υποκατωφλιού που δηλώνει

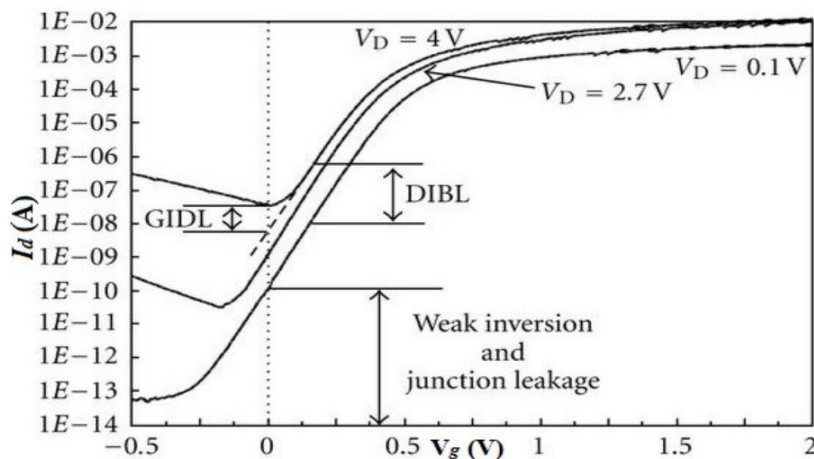


την ταχύτητα μεταβολής του ρεύματος στην υποδοχή, με τη μείωση της διαφοράς δυναμικού μεταξύ πύλης και υποδοχής  $V_{GS}$ .

Το ρεύμα DIBL που αναφέρεται και ως φαινόμενο μείωση φράγματος επαγόμενης υποδοχής εμφανίζεται με την αύξηση της τάσης στην υποδοχή - πηγή αυξάνεται το πλάτος της περιοχής αραίωσης της υποδοχής και το ηλεκτρικό πεδίο της υποδοχής εισχωρεί στην περιοχή αραίωσης της πηγής, υποβοηθώντας έτσι την έναρξη της ισχυρής αντιστροφής δηλαδή, μειώνοντας το φράγμα δυναμικού στην πηγή. Αυτό έχει ως αποτέλεσμα, όταν αυξάνεται η  $V_{DS}$ , να προκαλείται μείωση της τάσης κατωφλίου  $V_{th}$  και αύξηση του ρεύματος του τρανζίστορ, λόγω της αύξησης των φορέων που εγχέονται από την περιοχή πηγής.

$$V_{th} = V_{th,0} - mV_{DS} \quad [2.11]$$

Το ρεύμα GIDL οφείλεται στο υψηλό ηλεκτρικό πεδίο κάτω από την περιοχή επικάλυψης πύλης-υποδοχής κατά το πλάτος του καναλιού. Στο Σχήμα 2.4 φαίνονται τα ρεύματα DIBL και GIDL όταν μεταβάλλεται το ρεύμα υποδοχής  $I_D$  συναρτήσει της  $V_{GS}$ .



Σχήμα 2.4 : Τα Ρεύματα DIBL και GIDL

Τέλος ο μηχανισμός καναλισμού τείνει να γίνει ο κύριος παράγοντας εμφάνισης ρευμάτων διαρροής στις τεχνολογίες κάτω από τα 100nm ( $t_{ox} < 2.5\text{nm}$ ). Η σχετική εξίσωση δίνεται στη συνέχεια:

$$I_{ox} = A \cdot E_{ox}^2 e^{-\frac{B}{E_{ox}}}$$

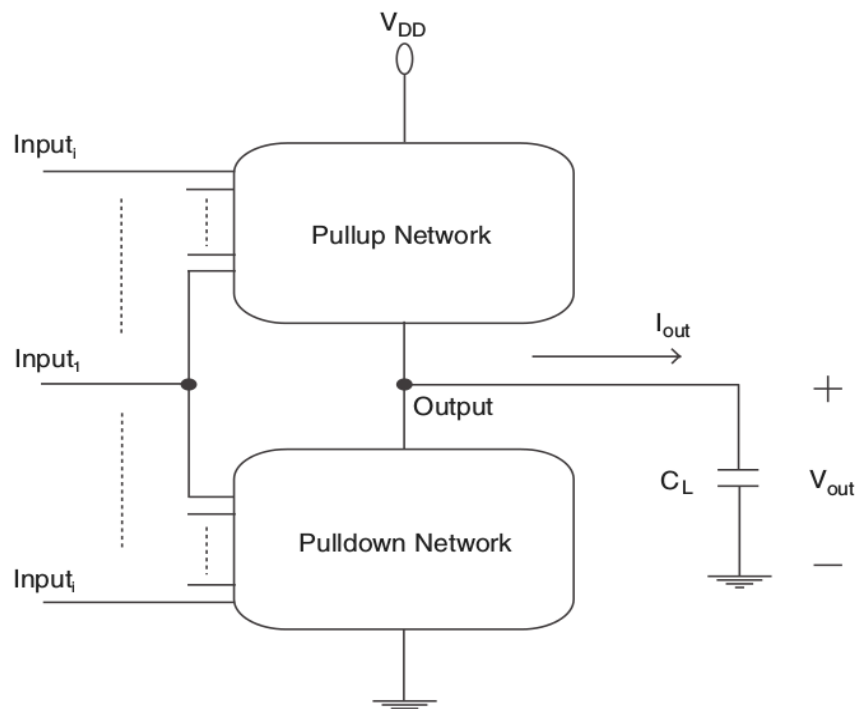
$$[2.12]$$

όπου  $I_{ox}$  είναι το ρεύμα διαρροής στο οξειδίο της πύλης,  $E_{ox}$  είναι το ηλεκτρικό πεδίο.

### 2.3 Δυναμική Κατανάλωση

Η δυναμική κατανάλωση είναι μία σημαντική πηγή κατανάλωσης ισχύος σε ένα κύκλωμα CMOS και οφείτεται στη φόρτιση και στην αποφόρτιση των παρασιτικών χωρητικότητων κατά τη διάρκεια μεταβάσεων της τάσης στους κόμβους ενός κυκλώματος CMOS. Οι χωρητικότητες ζεύξης υποδοχής υποστρώματος στην πύλη, η χωρητικότητα της γραμμής διασύνδεσης της πύλης με τις πύλες και η χωρητικότητα του οξειδίου της πύλης στις πύλες που οδηγούνται από τη fan-out πύλη αποτελούν μία συνολική ισοδύναμη χωρητικότητα  $C_L$  στην έξοδο της πύλης.

Η δυναμική κατανάλωση ισχύος είναι ανεξάρτητη από τον τύπο της πύλης όπου γίνεται η μετάβαση και του σχήματος της κυματομορφής εισόδου, δηλαδή οι χρόνοι ανόδου και καθόδου του σήματος εισόδου. Εξαρτάται όμως από την τάση τροφοδοσίας, τη συχνότητα μετάβασης, την ταλάντευση της τάσης στην έξοδο και την ισοδύναμη χωρητικότητα στον κόμβο μετάβασης. Από την στιγμή που η ισχύς μετάβασης δεν εξαρτάται από τον τύπο της πύλης μετάβασης, ένα διάγραμμα τύπου μπλοκ χρησιμοποιείται για την αναπαράσταση μίας τυπικής πύλης CMOS για να εξηγήσει τη δυναμική κατανάλωση ισχύος μετάβασης στα κυκλώματα CMOS.



Σχήμα 2.5 : Μία Πύλη CMOS που Οδηγεί ένα Ισοδύναμο Πυκνωτή

Για μια μετάβαση του κόμβου εξόδου από το χαμηλό στο υψηλό επίπεδο, το πάνω δικτύωμα ενεργοποιείται και το κάτω απενεργοποιείται. Το επιμέρους ρεύμα της πηγής τροφοδοσίας που διαρρέει τα τρανζίστορ του πάνω δικτυώματος για να φορτίσει τον πυκνωτή εξόδου δίνεται ως  $I_{out}(t)$ . Η στιγμιαία ισχύς που καταναλώνεται από την τροφοδοσία για να φορτίσει τον εξωτερικό πυκνωτή είναι:

$$P(t) = V_{DD} I_{OUT}(t) \quad [2.13]$$

$$I_{OUT}(t) = C_L \frac{dV_{OUT}(t)}{dt} \quad [2.14]$$

όπου  $V_{DD}$  είναι η τάση τροφοδοσίας και  $V_{out}(t)$  είναι η στιγμιαία τάση στον πυκνωτή εξόδου.

Η απαιτούμενη ενέργεια από την πηγή τροφοδοσίας για μετάβαση  $V_1 \rightarrow V_2$  στην τάση του κόμβου εξόδου είναι:

$$E_{V_1 \rightarrow V_2} = \int_{t_1}^{t_2} P(t) dt = V_{DD} \int_{t_1}^{t_2} I_{out}(t) dt = C_L V_{DD} \int_{V_1}^{V_2} dV_{out}(t) = C_L V_{DD} (V_2 - V_1) \quad [2.15]$$

$$V_{swing} = V_2 - V_1 \quad [2.16]$$

$$E_{V_1 \rightarrow V_2} = C_L V_{DD} V_{swing} \quad [2.17]$$

όπου  $E_{V_1 \rightarrow V_2}$  είναι η απαιτούμενη ενέργεια από την πηγή τροφοδοσίας για να φορτίσει τον πυκνωτή εξόδου από μια αρχική τάση  $V_1$  σε μία τελική τάση  $V_2$  και  $t_1$  και  $t_2$  είναι οι χρόνοι για να φτάσει η τάση στις τιμές  $V_1$  και  $V_2$  αντίστοιχα. Αφού ολοκληρωθεί η μετάβαση  $V_1 \rightarrow V_2$  του κόμβου εξόδου, η ενέργεια που αποθηκεύεται στον πυκνωτή εξόδου είναι:

$$E_{CL} = \int_{t_1}^{t_2} P_{CL}(t) dt = \int_{t_1}^{t_2} V_{out}(t) I_{out}(t) dt = C_L \int_{V_1}^{V_2} V_{out}(t) dV_{out}(t) = \frac{1}{2} C_L dV_{out}(t) = \frac{1}{2} C_L (V_2^2 - V_1^2) \quad [2.18]$$

Όπου  $P_{CL}$  είναι η στιγμιαία ισχύς που αποθηκεύεται στον πυκνωτή εξόδου. Η υπόλοιπη ενέργεια από την πηγή τροφοδοσίας καταναλώνεται στις παρασιτικές αντιστάσεις των τρανζίστορ του άνω δικτύωματος κατά τη διάρκεια της μετάβασης  $V_1 \rightarrow V_2$  στην έξοδο. Για τη μετάβαση από υψηλή σε χαμηλή τάση στον κόμβο εξόδου, το πάνω δίκτυωμα απενεργοποιείται και ενεργοποιείται το κάτω δίκτυωμα. Το μέρος του στιγμιαίου ρεύματος που διαρρέει το κάτω δίκτυωμα και αποφορτίζει τον πυκνωτή στον κόμβο εξόδου είναι  $I_{out}(t)$ . Η ενέργεια που καταναλώνεται στις παρασιτικές αντιστάσεις του κάτω δικτύωματος για την αποφόρτιση του πυκνωτή εξόδου είναι :

$$E_{V_1 \rightarrow V_2} = \int_{t_1}^{t_2} P_{\text{pulldown}}(t) dt = - \int_{t_1}^{t_2} V_{\text{out}}(t) I_{\text{out}}(t) dt = -C_L \int_{V_1}^{V_2} V_{\text{out}}(t) dV_{\text{out}}(t) \quad [2.19]$$

$$E_{V_1 \rightarrow V_2} = \frac{1}{2} C_L (V_2^2 - V_1^2) = E_{CL} \quad [2.20]$$

Όπου  $E_{V_2-V_1}$  είναι η ενέργεια που καταναλώνεται στο κάτω δικτύωμα καθώς αποφορτίζει το πυκνωτή εξόδου από μία αρχική τάση  $V_2$  σε μία τελική τάση  $V_1$  και  $t_1$  και  $t_2$  είναι οι χρόνοι για την τάση εξόδου να φτάσει  $V_1$  και  $V_2$  αντίστοιχα. Όπως δίνεται στις εξισώσεις [2.18] και [2.20], όλη η ενέργεια που αποθηκεύεται στον πυκνωτή εξόδου κατά τη διάρκεια μίας μετάβασης  $V_1 \rightarrow V_2$  καταναλώνεται στις αντιστάσεις των τρανζίστορ του κάτω δικτυώματος κατά τη διάρκεια της ακόλουθης μετάβασης  $V_2 \rightarrow V_1$ .

Η ισχύς είναι η ενέργεια που αποθηκεύεται ή καταναλώνεται στη μονάδα του χρόνου. Υποθέτοντας ότι η τάση σε ένα κόμβο μεταβαίνει από  $V_1$  σε  $V_2$  μέσα σε μια περίοδο  $T_s$  ή ισοδύναμα συχνότητα λειτουργίας  $f_s$ , η μέση δυναμική ισχύς που καταναλώνεται σε μια πύλη CMOS που οδηγεί τον κόμβο με τη μεταβατική δραστηριότητα είναι:

$$P = \frac{E_{V_1-V_2}}{T_s} = f_s C_L V_{DD} V_{\text{swing}} \quad [2.21]$$

Σε ένα CMOS IC, όλοι οι εσωτερικοί κόμβοι δεν αλλάζουν απαραίτητα κατάσταση σε κάθε κύκλο ρολογιού. Σε ένα σύγχρονο CMOS IC, εάν υπάρχουν διαθέσιμα στατιστικά δεδομένα για το μέσο αριθμό μεταβάσεων ενός κόμβου κατά τη διάρκεια της εκτέλεσης μίας συγκεκριμένης λειτουργίας, ένας παράγοντας  $a_i$  που σχετίζεται με τη μέση δραστηριότητα μπορεί να εισαχθεί στις εκφράσεις ενέργειας και ισχύος. Η μέση ισχύς που καταναλώνεται για μετάβαση σε ένα κόμβο  $i$  σε ένα κύκλωμα CMOS είναι:

$$P_i = a_i f_s C_L V_{DD} V_{\text{swing}} \quad [2.22]$$

όπου  $P_i$  είναι η μέση δυναμική ισχύς που καταναλώνεται σε μια πύλη που οδηγεί τον  $i^{\text{οστό}}$  κόμβο και  $a_i$  είναι η πιθανότητα μία αλλαγή τάσης να συμβεί στον  $i^{\text{οστό}}$  κόμβο σε έναν κύκλο ρολογιού.

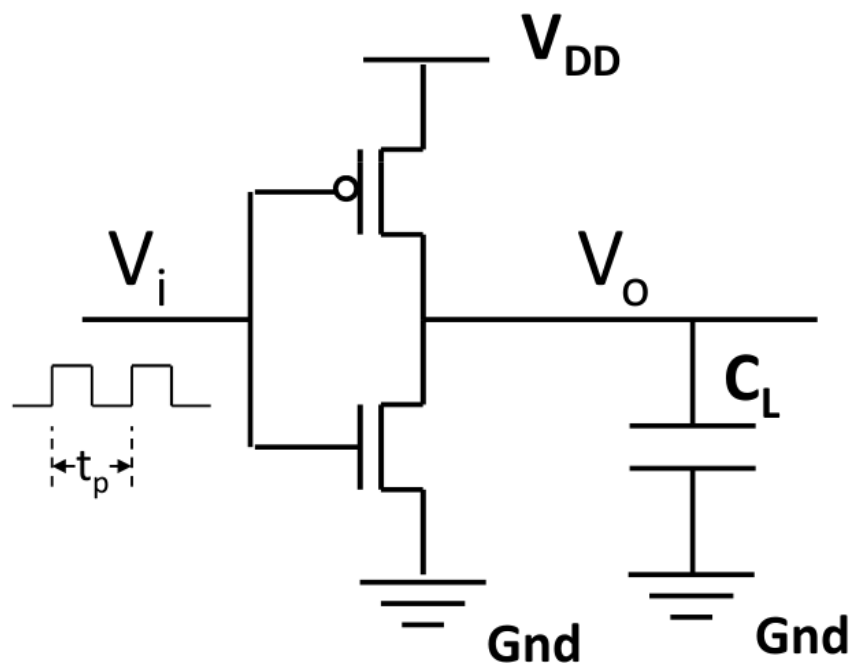
Με βάση τη σχέση [2.22], η μέση δυναμική ισχύς που καταναλώνεται για τη μετάβαση όλων των κόμβων σε ένα κύκλωμα, δηλαδή η συνολική δυναμική κατανάλωση σε ένα IC είναι:

$$P_{total} = f_s V_{DD} \sum_{i=1}^N a_i C_{L_i} V_{swing_i} \quad [2.23]$$

Όπου  $N$  είναι ο συνολικός αριθμός κόμβων σε ένα κύκλωμα CMOS,  $C_{L_i}$  είναι η ισοδύναμη παρασιτική χωρητικότητα του  $i^{\text{οστού}}$  κόμβου και  $V_{swing_i}$  είναι η ταλάντευση της τάσης στον  $i^{\text{οστό}}$  κόμβο.

Στα κυκλώματα CMOS οι τάσεις στους κόμβους ταλαντεύονται πλήρως μεταξύ γείωσης και  $V_{DD}$ . Η μέση ισχύς μετάβασης που καταναλώνεται από μία πλήρη ταλάντευση σε μία πύλη CMOS είναι (από την εξίσωση [2.22])

$$P_i = a_i f_s C_L V_{DD}^2 \quad [2.24]$$



Σχήμα 2.6 : Κύκλωμα Μέσης Δυναμικής Ισχύς με Τετραγωνικό Παλμό Εισόδου

Επιπλέον, η μέση δυναμική ισχύς που καταναλώνεται στον αναστροφέα κατά την διάρκεια των μεταβάσεων, εάν θεωρηθεί ότι στην είσοδο του κυκλώματος υπάρχει τετραγωνική κυματομορφή συχνότητας  $f_p = 1/t_p$ , δίνεται από την παρακάτω σχέση:

$$P_d = \frac{1}{t_p} \int_0^{\frac{t_p}{2}} I_{D_n}(t) V_{out} dt + \frac{1}{t_p} \int_{\frac{t_p}{2}}^{t_p} I_{D_n}(t) (V_{DD} - V_{out}) dt$$

[2.25]

Όπου  $I_{Dn}$  και  $I_{Dp}$  τα μεταβατικά ρεύματα των τρανζίστορ τύπου n και p αντίστοιχα. Θεωρώντας ότι το ρεύμα προέρχεται από την διαδικασία φόρτισης και αποφόρτισης του χωρητικού φορτίου  $C_L$ , ισχύει:

$$I_{D_n}(t) = C_L \frac{dV_{out}}{dt}$$

[2.26]

Από τις δύο προηγούμενες εξισώσεις προκύπτει η ακόλουθη εξίσωση:

$$P_D = \frac{C_L}{t_p} \left[ \int_0^{V_{DD}} V_{out} dV_{out} + \int_{V_{DD}}^0 (V_{DD} - V_{out}) d(V_{DD} - V_{out}) \right] = \frac{C_L V_{DD}^2}{t_p}$$

[2.27]

Στην οποία φαίνεται ότι η δυναμική κατανάλωση ισχύος είναι ανάλογη της ενέργειας που απαιτείται για την φόρτιση και αποφόρτιση των χωρητικότητων του κυκλώματος αλλά και ανάλογη της συχνότητας του εφαρμοζόμενου σήματος.

## 2.4 Κατανάλωση Βραχυκυκλώματος

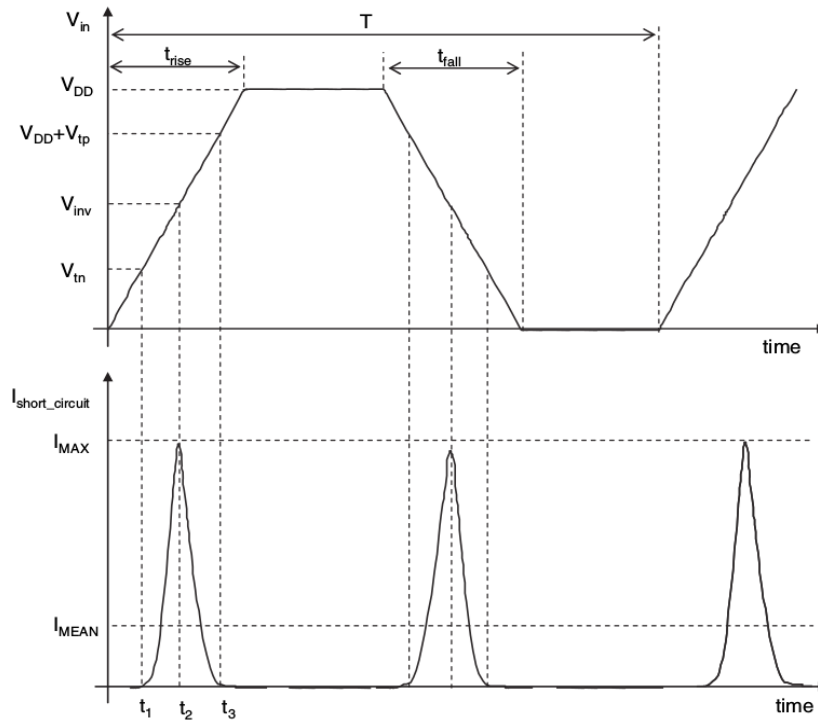
Το φαινόμενο που συμβάλλει στην δυναμική κατανάλωση, είναι ο παλμός ρεύματος που εμφανίζεται στο σύντομο χρονικό διάστημα όπου και τα δύο τρανζίστορ του αναστροφέα άγουν κατά τη διάρκεια των μεταβάσεων του σήματος εισόδου της πύλης. Οπότε σχηματίζεται ένα μονοπάτι ρεύματος συνεχούς διαδρομής DC μεταξύ της τροφοδοσίας  $V_{DD}$  και της γείωσης  $G_{nd}$ . Το ρεύμα συνεχούς διαδρομής DC που διαρρέει ένα CMOS κύκλωμα κατά τη διάρκεια μιας μετάβασης του σήματος εισόδου δηλαδή κατά τη διάρκεια μη μηδενικών χρόνων ανόδου και καθόδου των σημάτων εισόδου λέγεται ρεύμα βραχυκυκλώματος. Η κατανάλωση ισχύος που οφείλεται στο ρεύμα βραχυκυκλώματος ελαχιστοποιείται εάν ταιριάξουμε τους χρόνους ανόδου και καθόδου των σημάτων εισόδου και εξόδου. Σε επίπεδο συνολικού κυκλώματος αυτό σημαίνει ότι οι χρόνοι ανόδου και καθόδου όλων των σημάτων θα πρέπει να διατηρούνται σταθεροί εντός κάποιων ορίων. Το ρεύμα βραχυκυκλώματος παρατηρείται προσωρινά κατά τη διάρκεια της μετάβασης του σήματος εισόδου:

$$V_{in} \leq V_i \leq V_{DD} + V_{tp}$$

[2.28]

Το ρεύμα αυτό εξαρτάται τόσο από το χωρητικό φορτίο όσο και από τις γεωμετρικές διαστάσεις της πύλης. Το φαινόμενο αυτό μπορεί να αγνοηθεί σε σχέση με την κατανάλωση που προκύπτει από το ρεύμα φόρτισης-αποφόρτισης. Κατά την διάρκεια της αλλαγής της τάσης της εξόδου του λογικού αναστροφέα από λογικό "1" σε λογικό "0" ή και αντίστροφα, υπάρχει μια πολύ μικρή χρονική περίοδος κατά την οποία τόσο το PMOS όσο και το NMOS τρανζίστορ είναι ταυτόχρονα ενεργοποιημένα.

Για να γίνει πιο κατανοητή η κατανάλωση βραχυκυκλώματος θα αναλύσουμε το παρακάτω σχήμα 2.6.



Σχήμα 2.7 : Είσοδος και Ρεύμα Εξόδου για έναν Αντιστροφέα CMOS

Παρατηρούμε ότι το ρεύμα που ρέει από την τροφοδοσία  $V_{DD}$  προς την γείωση καθώς το PMOS τρανζίστορ και το NMOS τρανζίστορ είναι ταυτόχρονα σε αγωγή κατάσταση για ένα πολύ σύντομο χρονικό διάστημα. Για μια μετάβαση από χαμηλό σε υψηλό δυναμικό στην είσοδο του αντιστροφέα το NMOS θα αρχίσει να άγει όταν η τάση στην πύλη του γίνει ίση με την τάση κατωφλίου του  $V_i = V_{th}$  και το PMOS θα σταματήσει να άγει όταν η τάση στην πύλη του γίνει ίση με την τάση τροφοδοσίας μείον την απόλυτη τιμή της τάσης κατωφλίου του  $V_i = V_{DD} - V_{tp}$ . Το ρεύμα βραχυκυκλώματος δίνεται από την εξής έκφραση:

$$I_{mean} = 2 * \left[ \frac{1}{T} \int_1^2 I(t) dt + \frac{1}{T} \int_{t_2}^{t_3} I(t) dt \right]$$

[2.29]

Θεωρώντας ότι το  $V_{tn} = -V_{tp}$ ,  $\beta_n = \beta_p$  και ότι η συμπεριφορά είναι συμμετρική γύρω από το σημείο  $t_2$  ο παραπάνω τύπος γράφεται ως εξής:

$$I_{mean} = 2 * \left[ \frac{2}{T} \int_1^2 \frac{\beta}{2} (V_i(t) - V_t)^2 \right] \quad [2.30]$$

Εάν συνδυάσουμε τα ακόλουθα δεδομένα :

$$V_i(t) = \frac{V_{DD}}{t_r} t \quad [2.31]$$

$$t_1 = \frac{V_t}{V_{DD}} t_r \quad [2.32]$$

$$t_2 = \frac{t_r}{2} \quad [2.33]$$

Προκύπτει ότι η ισχύς βραχυκυκλώματος ενός αντιστροφέα χωρίς φορτίο δίνεται από την σχέση :

$$P_{SC} = \frac{\beta}{12} (V_{DD} - 2V_t)^{\frac{tef}{t_p}} \quad [2.34]$$

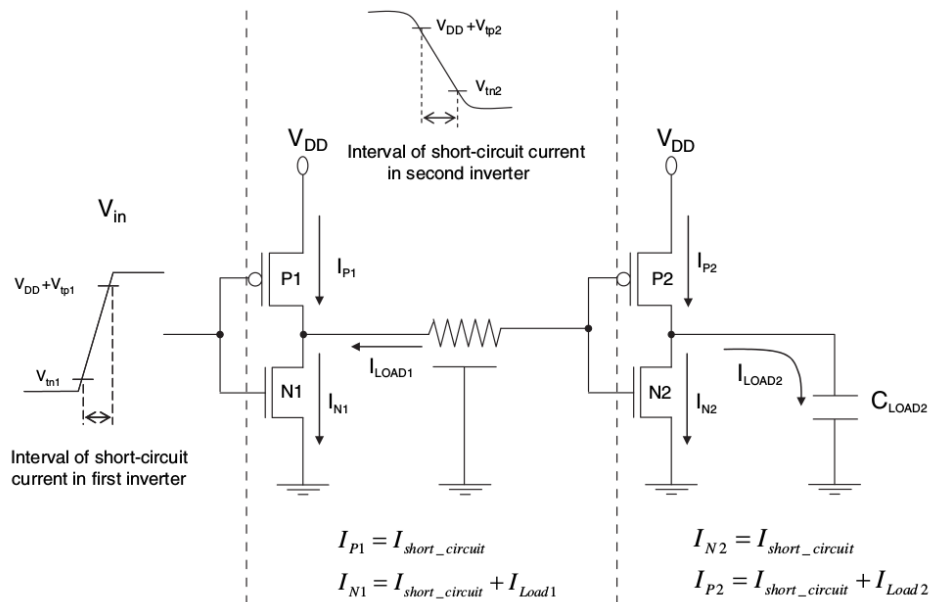
Παρατήρουμε ότι το ρεύμα βραχυκυκλώματος εξαρτάται από το

$$\beta \left( \beta = k_p \frac{W_{eff}}{L_{eff}} \right) \quad [2.35]$$

και από τους χρόνους ανόδου και καθόδου της κυματομορφής εισόδου. Αυτές είναι και οι μόνες παράμετροι που μπορούν να ελεγχθούν κατά την σχεδίαση, για μια δεδομένη συχνότητα λειτουργίας. Επίσης βλέπουμε ότι υπάρχει έντονη εξάρτηση της ισχύος βραχυκυκλώματος από την τάση τροφοδοσίας του κυκλώματος. Όσο πιο απότομες είναι οι ακμές τόσο πιο χαμηλή είναι η κατανάλωση βραχυκυκλώματος. Αν όμως μία πύλη έχει



φορτίο στην έξοδο της και με δεδομένο ότι τα σήματα εισόδου και εξόδου έχουν ίσους χρόνους ανόδου και καθόδου, η κατανάλωση βραχυκυκλώματος θα είναι μικρότερη από το 20% της συνολικής κατανάλωσης ισχύος.



Σχήμα 2.8 : Τα Ρεύματα Βραχυκυκλώματος που Παράγονται από Δύο Διαδοχικούς Αντιστροφείς.



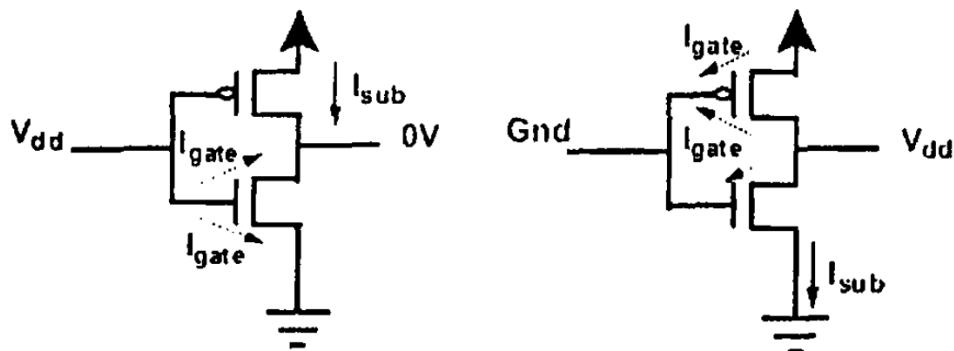
## ΚΕΦΑΛΑΙΟ 3

### ΜΕΙΩΣΗ ΣΤΑΤΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΣΕ ΨΗΦΙΑΚΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

Για να μπορέσουμε να μελετήσουμε σε βάθος την στατική κατανάλωση σε αυτό το κεφάλαιο θα δούμε αναλυτικά τα μοντέλα και τα χαρακτηριστικά των ρευμάτων διαρροής στις λογικές πύλες CMOS και τις τεχνικές μείωσης της στατικής κατανάλωσης που υπάρχουν.

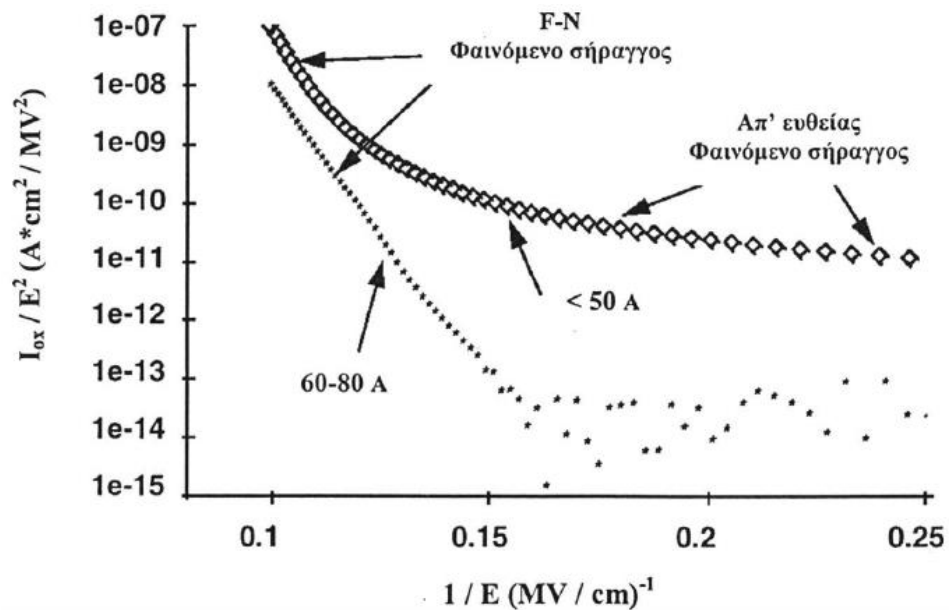
#### 3.1 Ανάλυση και Χαρακτηριστικά των Ρευμάτων Διαρροής

Το ρεύμα διαρροής του φαινομένου σήραγγας οξειδίου πύλης των τρανζίστορ είναι η συνολική διαρροή ρεύματος πύλης των τρανζίστορ ενός λογικού κυκλώματος που καθορίζεται με βάση τις τιμές στις εισόδους της πύλης, όπως φαίνεται και στο σχήμα 3.1 παρακάτω. Η κλιμάκωση του τρανζίστορ αναγκάζει το πάχος του οξειδίου της πύλης να μειώνεται σχεδόν ανάλογα με το μήκος και όσο προσπαθεί να προσεγγίσει τις διαστάσεις τόσο να μην μπορεί να συμπεριφέρεται σαν μονωτής αλλά να εμφανίζει αγωγιμότητα λόγω κβαντομηχανικών φαινομένων.



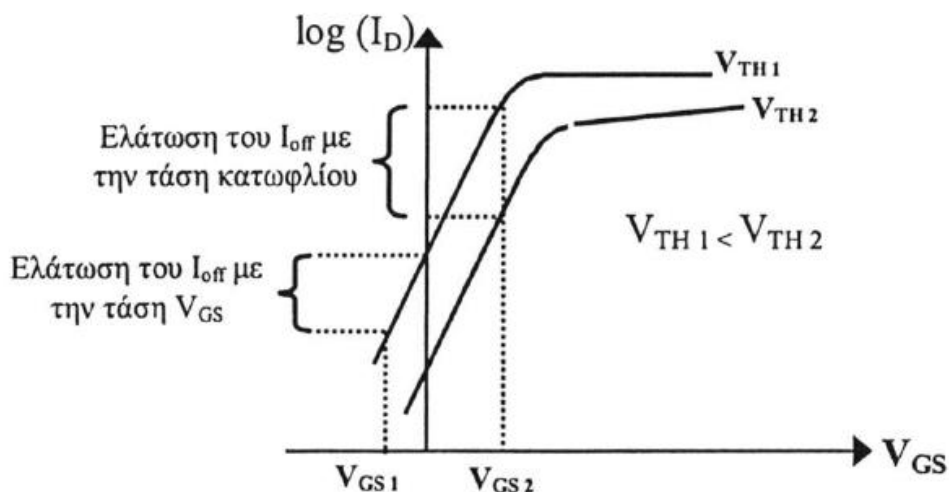
Σχήμα 3.1 : Ρεύμα Διαρροής Φαινομένου Οξειδίου Πύλης Τρανζίστορ σε Αντίστροφέα

Το μέγιστο ρεύμα του φαινομένου σήραγγας οξειδίου πύλης εμφανίζεται όταν η είσοδος είναι σε τάση  $V_{DD}$  και  $V_S = V_D = 0V$  για το NMOS τρανζίστορ. Σε αυτή την περίπτωση  $V_{GS} = V_{GD} = V_{DD}$  και το ρεύμα  $I_{gate}$  έχει την μέγιστη τιμή του. Από την άλλη, το PMOS τρανζίστορ παρουσιάζει ρεύμα διαρροής υποκατωφλίου. Όταν η είσοδος είναι στη γείωση  $V_{GND}$ , η έξοδος πάει σε τάση  $V_{DD}$  και η τάση  $V_{GS} = 0V$ , ενώ η τάση  $V_{GD} = -V_{DD}$  για το NMOS τρανζίστορ με αποτέλεσμα την εμφάνιση ενός αντίστροφου ρεύματος σήραγγας από την υποδοχή στον κόμβο της πύλης. Σε αυτή την περίπτωση το φαινόμενο σήραγγας οξειδίου πύλης περιορίζεται στην περιοχή ανάμεσα στην πύλη και στην υποδοχή η οποία είναι πολύ μικρότερη από την περιοχή καναλιού. Οπότε το αντίστροφο ρεύμα του φαινομένου σήραγγας οξειδίου πύλης είναι πολύ μικρότερο σε σχέση με το κανονικό ρεύμα σήραγγας.



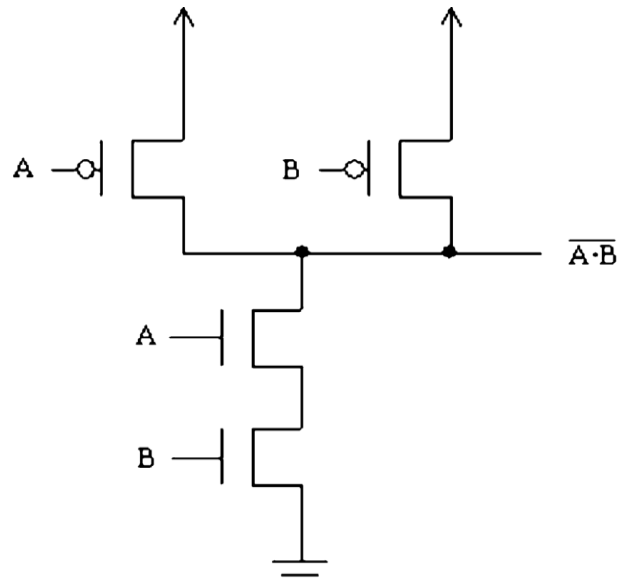
Σχήμα 3.2 : Ρεύμα Διαρροής του Φαινομένου Σήραγγας Οξειδίου Πύλης

Όταν η τάση εισόδου είναι  $V_{GND}$ , το PMOS τρανζίστορ διαρρέεται από ένα ρεύμα από το κανάλι προς την πύλη του αφού ισχύει  $V_{GS} = V_{GD} = -V_{DD}$ . Η σχετική αύξηση του ρεύματος πύλης του PMOS τρανζίστορ σε σύγκριση με το ρεύμα πύλης του NMOS τρανζίστορ διαφέρει για τις διαφορετικές τεχνολογίες κατασκευής. Εάν χρησιμοποιείται τυποποιημένο διοξείδιο του πυριτίου ως οξείδιο πύλης τότε το ρεύμα πύλης  $I_{gate}$  του PMOS τρανζίστορ είναι μία τάξη μεγέθους μικρότερο από το ρεύμα του NMOS τρανζίστορ για όμοια  $T_{OX}$  και  $V_{DD}$ . Αυτό οφείλεται στην πολύ υψηλότερη ενέργεια που απαιτείται για το φαινόμενο σήραγγας οξειδίου πύλης για τις σπές μέσω του διοξειδίου του πυριτίου σε σύγκριση με το αντίστοιχο φαινόμενο για τα ηλεκτρόνια. Όμως σε εναλλακτικά διηλεκτρικά υλικά η ενέργεια που απαιτείται για το ηλεκτρόνιο και για τις σπές μπορούν να είναι εντελώς διαφορετική. Στην περίπτωση των νιτρικών οξειδίων για την πύλη που χρησιμοποιούνται σήμερα σε μερικές διαδικασίες παραγωγής, το  $I_{gate}$  του PMOS τρανζίστορ μπορεί να υπερβεί το  $I_{gate}$  του NMOS τρανζίστορ για υψηλότερες συγκεντρώσεις αζώτου.



Σχήμα 3.3 : Ρεύμα Υποκατωφλίου

Στο ρεύμα διαρροής υποκατωφλίου από την άλλη είναι δεδομένη η εξάρτηση του ρεύματος διαρροής υποκατωφλίου από την τάση κατωφλίου . Ας δούμε την διαρροή και τις επιδόσεις μιας απλής πύλης NAND δύο εισόδων, όπως φαίνεται στο σχήμα 3.4.



Σχήμα 3.4 : Πύλη NAND 2 Εισόδων

Για μια δεδομένη είσοδο μόνο τα τρανζίστορ που είναι σε μη αγώγιμη κατάσταση χρειάζεται να έχουν υψηλή τάση κατωφλίου καθώς τα τρανζίστορ που είναι σε αγώγιμη κατάσταση δεν έχουν διαρροές. Για παράδειγμα για μία είσοδο  $AB=01$  μόνο το πρώτο τρανζίστορ χρειάζεται να είναι υψηλού- $V_t$ . Αν κάνουμε όλα τα τρανζίστορ υψηλού- $V_t$  το μόνο αποτέλεσμα που θα έχουμε είναι η συνολική μείωση της απόδοσης της πύλης με καμία μείωση του ρεύματος διαρροής. Σε άλλη περίπτωση αν η είσοδος είναι 11 τότε πρέπει και το πρώτο τρανζίστορ και το δεύτερο τρανζίστορ να έχουν υψηλό-  $V_t$ .

Μπορούμε να χωρίσουμε τα τρανζίστορ στις αποκαλούμενες  $V_t$  -ομάδες που αντιστοιχούν στα ελάχιστα σύνολα τρανζίστορ που πρέπει να τεθούν σε υψηλό-  $V_t$  για να μειωθεί η διαρροή για μια συγκεκριμένη κατάσταση του κυκλώματος. Για τη NAND πύλη 2-εισόδων οι  $V_t$  -ομάδες που μπορούν να υπάρχουν είναι συνολικά τρεις  $V_t$  -ομάδες. Η έννοια των  $V_t$ -ομάδων μπορεί εύκολα να εφαρμοστεί και σε πιο περίπλοκες δομές όπου σ'αυτή την περίπτωση μπορεί να είναι δυνατόν ένα τρανζίστορ να ανήκει σε περισσότερες της μιας  $V_t$  -ομάδας. Είναι σαφές ότι μπορούμε να περιοριστούμε με το να ρυθμίζουμε μόνο ολόκληρες  $V_t$  -ομάδες είτε σε υψηλό είτε σε χαμηλό-  $V_t$ .

Με την θεώρηση μόνο των  $V_t$  -ομάδων , αντί των μεμονωμένων τρανζίστορ, μειώνεται σημαντικά ο αριθμός των πιθανών αναθέσεων τιμών τάσης κατωφλίου σε τρανζίστορ καθώς και η πολυπλοκότητα της βελτιστοποίησης.

### 3.2 Τεχνικές Μείωσης της Στατικής Κατανάλωσης με Εναλλακτική Χρήση Πολλαπλών $V_t$

Υπάρχει μια αυξανόμενη ανάγκη για ανάλυση και βελτιστοποίηση της αναμονής της ισχύος σε ψηφιακά κυκλώματα σχεδιασμένα για φορητές συσκευές και μπαταρίες. Δεδομένου ότι αυτά τα κυκλώματα παραμένουν σε κατάσταση αναμονής ή κατάσταση ύπνου σημαντικά περισσότερο από ό, τι στην ενεργή λειτουργία, το ρεύμα αναμονής και όχι το ενεργό ρεύμα μεταγωγής τους, καθορίζει τη διάρκεια ζωής της μπαταρίας. Εξαιτίας αυτού, αυστηρές προδιαγραφές τοποθετούνται στο ρεύμα αναμονής ή στο ρεύμα διαρροής που αντλούνται από τέτοιες συσκευές. Κυκλώματα πολύ υψηλής απόδοσης, όπως μικροεπεξεργαστές και μικροελεγκτές, έχουν σχεδιαστεί με πρωταρχική σχέση την ισχύ μεταγωγής τους. Τα κυκλώματα για χρήση σε φορητές εφαρμογές περιορίζονται επίσης από την ισχύ διαρροής τους. Οι μειώσεις της τάσης λειτουργίας έχουν εντείνει το πρόβλημα του ρεύματος διαρροής. Καθώς η τάση τροφοδοσίας μειώνεται, η τάση κατωφλίου των τρανζίστορ μειώνεται για να διατηρείται μια σταθερή ταχύτητα μεταγωγής. Δεδομένου ότι η μείωση της τάσης κατωφλίου αυξάνει τη διαρροή μιας συσκευής εκθετικά, τα κυκλώματα που λειτουργούν με τάσεις χαμηλής τροφοδοσίας, όπως 1V ή χαμηλότερη, έχουν πολύ χαμηλή ισχύ μεταγωγής αλλά από την άλλη έχουν υψηλή ισχύ διαρροής.

Για να αντιμετωπιστούν οι ταυτόχρονοι περιορισμοί στην απόδοση του κυκλώματος και στο ρεύμα διαρροής για φορητές εφαρμογές, πρέπει να γίνει προσεκτική αντιστάθμιση στην επιλογή της τάσης κατωφλίου  $V_t$ . Για σχέδια όπου οι περιορισμοί απόδοσης και ρεύματος διαρροής δεν μπορούν να ικανοποιηθούν ταυτόχρονα με ένα μόνο  $V_t$  για όλες τις συσκευές, έχουν χρησιμοποιηθεί διεργασίες διπλού κατωφλίου επιτρέποντας στον σχεδιαστή κυκλωμάτων να επιλέξει το κατάλληλο  $V_t$  υψηλό ή χαμηλό για κάθε συσκευή. Σε μια διαδικασία διπλού κατωφλίου (dual-  $V_t$ ), χρησιμοποιείται ένα πρόσθετο στρώμα για την εκχώρηση είτε υψηλού είτε χαμηλού  $V_t$  σε κάθε τρανζίστορ. Έχουν επίσης προταθεί και άλλες προσεγγίσεις για τη μείωση της διαρροής, όπως η διαχείριση πόλωσης υποστρώματος και η εισαγωγή ειδικών τρανζίστορ διακοπής της λειτουργίας αναμονής. Ωστόσο, αυτές οι μέθοδοι αυξάνουν σημαντικά την πολυπλοκότητα του σχεδιασμού.

Ο Πίνακας 3.1 παρακάτω δείχνει την απόδοση και το ρεύμα διαρροής για τρανζίστορ υψηλού και χαμηλού  $V_t$  σε διαδικασία διπλού  $V_t$  0,25 $\mu$ m στα 0,9 V. Λαμβάνοντας υπόψη το ρεύμα υψηλής διαρροής των τρανζίστορ χαμηλής  $V_t$ , πρέπει να γίνει μια πολύ προσεκτική ανάλυση για να καθοριστεί σε ποια τρανζίστορ έχει χαμηλή τιμή  $V_t$ , έτσι ώστε το συνολικό ρεύμα διαρροής να μην αυξάνεται αδικαιολόγητα. Η γρήγορη ρύθμιση πάρα πολλών συσκευών σε χαμηλό  $V_t$  οδηγεί σε σημαντική αύξηση της συνολικής διαρροής του κυκλώματος.

Τύπος Τρανζίστορ	Καθυστέρηση	Ρεύμα Διαρροής
Υψηλού- $V_t$	1.0	1.0
Χαμηλού- $V_t$	0.53	33.2

Πίνακας 3.1 : Ρεύμα Απόδοσης και Διαρροής για Τρανζίστορ Υψηλού και Χαμηλού  $V_t$

Η παραδοσιακή προσέγγιση στην επιλογή  $V_t$  για ένα κύκλωμα βασίζεται στην παρατήρηση ότι η συνολική απόδοση ενός κυκλώματος περιορίζεται συχνά από μερικά

κρίσιμα μονοπάτια. Τα τρανζίστορ και οι πύλες κατά μήκος αυτών των κρίσιμων μονοπατιών ρυθμίζονται σε χαμηλό  $V_t$  ενώ τα μεγέθη των τρανζίστορ διατηρούνται σταθερά. Αναθέτοντας μερικά τρανζίστορ στα κρίσιμα μονοπάτια του κυκλώματος σε χαμηλό  $V_t$ , η συνολική απόδοση του κυκλώματος μπορεί να βελτιωθεί σημαντικά, ενώ το ρεύμα διαρροής διατηρείται εντός ορίων.

Επίσης, αξιοποιείται το trade-off μεταξύ των τρανζίστορ υψηλού- $V_t$ , τα οποία έχουν χαμηλή κατανάλωση αλλά και χαμηλές επιδόσεις, και των τρανζίστορ με χαμηλή τάση κατωφλίου και αντίστοιχα υψηλές επιδόσεις και υψηλή κατανάλωση. Στα μη κρίσιμα μονοπάτια τοποθετούνται τρανζίστορ υψηλού- $V_t$ , ενώ στα κρίσιμα μονοπάτια των κυκλωμάτων μπαίνουν τα τρανζίστορ που έχουν χαμηλό- $V_t$ . Η μέθοδος επομένως παρέχει ένα trade-off μεταξύ της μείωσης της απόδοσης και της διαρροής του κυκλώματος.

Προκειμένου να επιτευχθεί καλύτερα το trade-off μεταξύ της απόδοσης και της διαρροής ενός σχεδιασμού, η εκχώρηση τρανζίστορ χαμηλής και υψηλής  $V_t$  πρέπει να εκτελείται ενώ ταυτόχρονα προσαρμόζεται το μέγεθος των τρανζίστορ. Εάν, σε ένα καλά ισορροπημένο κύκλωμα, το  $V_t$  ενός τρανζίστορ στο κρίσιμο μονοπάτι μειώνεται ενώ διατηρείται σταθερό το μέγεθος του τρανζίστορ, το μονοπάτι θα γίνει άσκοπα γρήγορο, κάνοντας τα μεγέθη μη βέλτιστα. Επίσης, ένα χαμηλότερο  $V_t$  προκαλεί το σχηματισμό του καναλιού νωρίτερα κατά τη μετάβαση εισόδου λόγω της πρώιμης έναρξης της ισχυρής αντιστροφής με μειωμένο  $V_t$ . Αυτό έχει ως αποτέλεσμα μια αύξηση περίπου 8-10% της μέσης χωρητικότητας της πύλης του τρανζίστορ όπως φαίνεται από το πρόγραμμα εισόδου. Επομένως, όταν ένα τρανζίστορ αποδίδεται με χαμηλό  $V_t$ , η αύξηση της χωρητικότητας της πύλης του μπορεί να επηρεάσει αρνητικά την απόδοση άλλων μονοπατιών που φορτώνονται από τον κόμβο πύλης αυτού του τρανζίστορ. Ως εκ τούτου, η ρύθμιση ενός τρανζίστορ σε χαμηλό  $V_t$  χωρίς τη μεταγενέστερη ρύθμιση των μεγεθών των τρανζίστορ στο κύκλωμα μπορεί στην πραγματικότητα να υποβαθμίσει την απόδοση του κυκλώματος αυξάνοντας παράλληλα τη διαρροή. Τα μεγέθη τρανζίστορ πρέπει να ρυθμίζονται ταυτόχρονα με την εκχώρηση τιμών  $V_t$  για να επιτευχθεί η βέλτιστη λύση.

Επιπλέον αν υπάρξει μία μέτρια μείωση στην απόδοση της τάξης 5-10% η διαρροή έχει σημαντική μείωση περίπου 3-4 φορές σε σύγκριση με ένα κύκλωμα το οποίο έχει μόνο τρανζίστορ χαμηλού- $V_t$ . Σε αυτές τις περιπτώσεις οι αναθέσεις για το υψηλό- $V_t$  ή το χαμηλό- $V_t$  εκτελούνται χωρίς γνώση για τις καταστάσεις του κυκλώματος. Επομένως, προκειμένου να γίνει ικανοποιητική μείωση της διαρροής σε όλες τις πιθανές καταστάσεις του κυκλώματος, όλα ή τα περισσότερα από τα τρανζίστορ σε μια συγκεκριμένη πύλη πρέπει να τεθούν σε υψηλό- $V_t$ , και ως εκ τούτου η πύλη υφίσταται μια ουσιαστική υποβάθμιση της απόδοσης της.

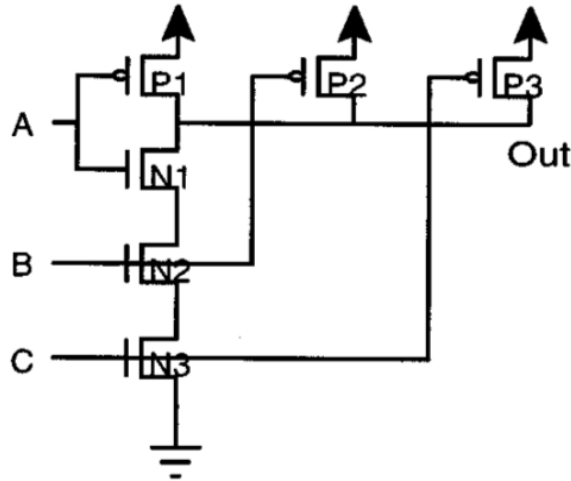
Με βάση το άρθρο [12], εξετάζουμε ταυτόχρονα τόσο τις επιλογές  $V_t$  όσο και τα μεγέθη τρανζίστορ του κυκλώματος. Η προσέγγισή μας χρησιμοποιεί δύο νέες τεχνικές. Πρώτον, η επιλογή  $V_t$  λαμβάνει υπόψη τις καταστάσεις της διαρροής και της απόδοσης για να προσδιορίσει με ακρίβεια την επίδραση της αλλαγής  $V_t$  τρανζίστορ. Δεύτερον, η διαδικασία επιλογής  $V_t$  προσαρμόζει σταδιακά τα μεγέθη τρανζίστορ του κυκλώματος μετά από κάθε αλλαγή σε  $V_t$ . Τα αποτελέσματα που προκύπτουν μας δείχνουν ότι υπάρχει σημαντική βελτίωση στην απόδοση του κυκλώματος ή στο ρεύμα διαρροής όταν τα

μεγέθη του τρανζίστορ και οι τάσεις κατωφλίου βελτιστοποιούνται ταυτόχρονα, σε σύγκριση με την εκτέλεση επιλογής  $V_t$  με σταθερά μεγέθη.

Η προσέγγιση βελτιστοποίησης προϋποθέτει ότι οι πραγματικές τιμές υψηλού και χαμηλού  $V_t$  σε έναν τύπο συσκευής είναι σταθερές. Αυτή η υπόθεση απλοποιεί το πρόβλημα επιλογής τάσης κατωφλίου σε ένα διακριτό τομέα με δύο μόνο επιλογές: υψηλή  $V_t$  ή χαμηλή  $V_t$ . Ωστόσο, η προσέγγιση μπορεί εύκολα να επεκταθεί σε τεχνολογίες με πολλαπλές διακριτές τιμές  $V_t$ . Επίσης, υποθέτουμε ότι σε κάθε τρανζίστορ μπορεί να εκχωρηθεί ξεχωριστά μια τιμή  $V_t$  υψηλή ή χαμηλή. Ωστόσο, η προσέγγισή μας μπορεί εύκολα να επεκταθεί για βελτιστοποίηση βάσει στοίβας ή βάσει πύλης κάνοντας προσαρμογή μεγέθους και επιλογή  $V_t$  μιας προκαθορισμένης ομάδας τρανζίστορ, όπου μια ομάδα αποτελείται από τρανζίστορ στην ίδια στοίβα ή στην ίδια πύλη. Οι βελτιστοποιήσεις που βασίζονται σε στοίβα ή σε πύλη είναι προτιμότερες εάν υπάρχει περιορισμός της διαδικασίας κατασκευής για την εκχώρηση διαφορετικών τιμών  $V_t$  σε τρανζίστορ με στενή απόσταση. Η βελτιστοποίηση βάσει πύλης είναι επίσης πιο κατάλληλη για μια τυπική μεθοδολογία σχεδιασμού κυψελών.

Ένα κρίσιμο ζήτημα στη βελτιστοποίηση ρεύματος διαρροής είναι η απόκτηση ακριβούς και ουσιαστικής μέτρησης για το ρεύμα διαρροής ενός κυκλώματος που μπορεί να υπολογιστεί και να χρησιμοποιηθεί αποτελεσματικά σε μια μηχανή βελτιστοποίησης. Το ρεύμα διαρροής ενός κυκλώματος εξαρτάται σε μεγάλο βαθμό από την κατάσταση του κυκλώματος. Το Σχήμα 3.5 δείχνει το ρεύμα διαρροής για όλες τις καταστάσεις μιας πύλης NAND τριών εισόδων. Για αυτήν την πύλη, το υψηλότερο ρεύμα διαρροής είναι 99 φορές μεγαλύτερο από το χαμηλότερο, δείχνοντας σαφώς μια ισχυρή εξάρτηση της διαρροής από την κατάσταση του κυκλώματος. Κατά την εξέταση του ρεύματος διαρροής του κυκλώματος στο σύνολό του, πρέπει επίσης να ληφθεί υπόψη ο συσχετισμός μεταξύ των καταστάσεων των πυλών. Επιπλέον, η κατάσταση των εισόδων ενός κυκλώματος ορίζεται συνήθως εν μέρει όταν η συσκευή εισέρχεται σε κατάσταση αναμονής. Αυτή η μερικώς καθορισμένη κατάσταση αναφέρεται ως κατάσταση ύπνου. Προηγούμενες προσεγγίσεις όπως έχουν επικεντρωθεί στον υπολογισμό της μέγιστης διαρροής σε όλες τις παραλλαγές των μη καθορισμένων εισόδων. Ωστόσο, μια συσκευή θα εισέλθει σε κατάσταση αναστολής πολλές φορές κατά τη διάρκεια ζωής της μπαταρίας της, κάθε φορά με μια τυχαία ρύθμιση για τα μη καθορισμένα σήματα εισόδου. Για να αποκτήσετε ένα αξιόπιστο μέτρο για την αναμενόμενη ή μέση διάρκεια ζωής της μπαταρίας, πρέπει να υπολογιστεί ο μέσος όρος, παρά η μέγιστη διαρροή ενός κυκλώματος.





Σχήμα 3.5 : Πύλη NAND Τριών Εισόδων

Οι προσεγγίσεις για τον υπολογισμό της μέγιστης διαρροής ενός κυκλώματος υποφέρουν επίσης από εγγενή υπολογιστική πολυπλοκότητα, καθιστώντας τις ακατάλληλες για χρήση σε μια μηχανή βελτιστοποίησης. Ο υπολογισμός ρεύματος διαρροής περιπλέκεται από την εξαιρετικά μη γραμμική συμπεριφορά του ρεύματος υποδοχής μίας συσκευής σε σχέση με τις τάσεις πηγής / υποδοχής.

### 3.3 Τεχνικές Μείωσης της Στατικής Κατανάλωσης με Χρήση Τρανζίστορ με Παχύ Οξειδίο

Με βάση τα άρθρα [6][29] βλέπουμε ότι οι διαδικασίες κατασκευής κυκλωμάτων με διπλό- $V_t$  είναι διαδεδομένες για πολλές τεχνολογικές γενιές, η αναγκαιότητα για την κατασκευή τρανζίστορ με διαφορετικό πάχος οξειδίου στο ίδιο ολοκληρωμένο κύκλωμα έχει γίνει απαραίτητη στην τεχνολογία των 90nm και μετά λόγω της ανόδου του ρεύματος πύλης  $I_{gate}$ . Η χρήση τρανζίστορ με παχύ οξειδίο μειώνει το ρεύμα διαρροής πύλης αλλά και το ρεύμα διαρροής υποκατωφλίου καθώς παχύτερο οξειδίο συνεπάγεται μεγαλύτερη τάση κατωφλίου. Με δεδομένη μια τεχνολογία κατασκευής με δύο διαφορετικά πάχυ οξειδίου για τα τρανζίστορ του κυκλώματος η χρήση της τεχνικής διπλής τάσης κατωφλίου μπορεί με ευκολία να επεκταθεί ώστε να λαμβάνει υπ' όψιν της την διαρροή μέσω της πύλης του τρανζίστορ με την χρήση τρανζίστορ με παχύ οξειδίο πύλης στα μη κρίσιμα μονοπάτια του κυκλώματος.

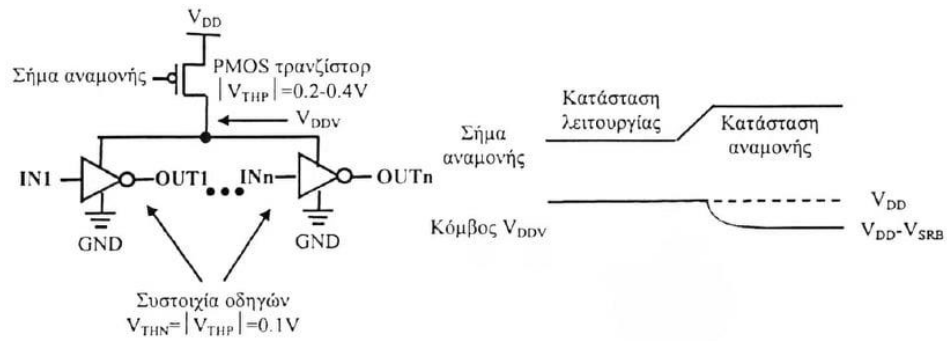
Ωστόσο όπως και με την τεχνική που γίνεται χρήση των τρανζίστορ διπλού- $V_t$  η ταυτόχρονη τοποθέτηση τρανζίστορ διπλού- $V_t$  και διπλού πάχους οξειδίου εξασφαλίζει ότι παρότι δεν είναι γνωστές όλες οι καταστάσεις στις οποίες θα τεθεί το κύκλωμα όλα ή το μεγαλύτερο μέρος των τρανζίστορ ενός συγκεκριμένου κυκλώματος θα έχουν και υψηλό- $V_t$  και παχύ οξειδίο πύλης. Οπότε το ρεύμα διαρροής σε κατάσταση αναμονής θα είναι μέσα σε αποδεκτά όρια. Όμως τα τρανζίστορ που έχουν ταυτόχρονα υψηλό- $V_t$  και παχύ οξειδίο έχουν ένα πολύ μεγαλύτερο χρόνο αφύπνισης σε σύγκριση με τα τρανζίστορ χαμηλού- $V_t$  και λεπτού οξειδίου. Επομένως, αυτή η τεχνική χρησιμοποιείται όταν πρέπει να ελαττωθούν ταυτόχρονα τόσο το ρεύμα διαρροής της πύλης  $I_{gate}$  όσο και το ρεύμα διαρροής υποκατωφλίου  $I_{sub}$ .

Μία μέθοδος βελτιστοποίησης των ρευμάτων διαρροής θα μπορούσε να είναι η ταυτόχρονη χρήση τρανζίστορ με υψηλό- $V_t$  και παχύ οξειδίο στην κατάσταση αναμονής. Η μέθοδος αυτή είναι βασισμένη στη παρατήρηση ότι για μια δεδομένη κατάσταση εισόδου σε ένα κύκλωμα ένα τρανζίστορ δεν χρειάζεται να έχει ταυτόχρονα και υψηλό  $-V_t$  και παχύ οξειδίο πύλης. Αυτό οφείλεται στο γεγονός ότι το ρεύμα διαρροής υποκατωφλίου  $I_{sub}$  είναι ισχυρό μόνο στα τρανζίστορ που είναι σε μη αγώγιμη κατάσταση, ενώ το ρεύμα διαρροής της πύλης  $I_{gate}$  είναι ισχυρό μόνο όταν ένα τρανζίστορ είναι σε αγώγιμη κατάσταση. Άρα ένα τρανζίστορ που είναι σε αγώγιμη κατάσταση θα εμφανίζει ένα σημαντικό ρεύμα διαρροής πύλης  $I_{gate}$  και μηδενικό ρεύμα διαρροής υποκατωφλίου  $I_{sub}$ . Συνεπώς, αυτά τα τρανζίστορ και μόνο θα πρέπει να έχουν παχύ οξειδίο πύλης. Εάν η είσοδος του κυκλώματος είναι άγνωστη στην κατάσταση ύπνου του κυκλώματος, δεν μπορεί να προβλεφθεί κατά την διάρκεια του σχεδιασμού ποια τρανζίστορ θα είναι σε αγώγιμη κατάσταση και ποια σε μη αγώγιμη. Επομένως όλα ή τα περισσότερα τρανζίστορ θα πρέπει να έχουν και υψηλό- $V_t$  και παχύ οξειδίο προκειμένου να μειωθεί σημαντικά η συνολική μέση διαρροή του κυκλώματος. Ωστόσο λαμβάνοντας υπόψη μια γνωστή είσοδο για το κύκλωμα μπορούμε να αποφύγουμε την χρήση τρανζίστορ που έχουν και υψηλό- $V_t$  και παχύ οξειδίο βελτιώνοντας με αυτόν τον τρόπο σημαντικά το trade-off ανάμεσα στην διαρροή και την καθυστέρηση.

Επίσης, ανάλογα με την είσοδο ενός κυκλώματος μόνο ένα υποσύνολο από τα τρανζίστορ πρέπει να εξεταστούν για το αν θα έχουν υψηλό- $V_t$  ή παχύ οξειδίο. Μία εν σειρά συνδεσμολογία τρανζίστορ που είναι σε μη αγώγιμη κατάσταση μόνο ένα τρανζίστορ πρέπει να οριστεί σε υψηλό  $-V_t$  για να μειωθεί αποτελεσματικά το συνολικό ρεύμα διαρροής  $I_{sub}$ . Ομοίως μία εν σειρά συνδεσμολογία τρανζίστορ το  $I_{gate}$  έχει επίσης ισχυρή εξάρτηση από το πώς διατάσσονται τα τρανζίστορ. Εάν ένα τρανζίστορ που άγει τοποθετηθεί επάνω από ένα τρανζίστορ που δεν άγει, οι τάσεις  $V_{GS}$  και  $V_{GD}$  για αυτό το τρανζίστορ θα είναι μικρές και η διαρροή της πύλης θα είναι συνεπώς μειωμένη. Ως εκ τούτου, ανάλογα με την είσοδο του κυκλώματος, μόνο ένα μικρό υποσύνολο των τρανζίστορ που βρίσκονται σε αγώγιμη κατάσταση πρέπει να έχουν παχύ οξειδίο και μόνο ένα υποσύνολο των τρανζίστορ που βρίσκονται σε μη αγώγιμη κατάσταση πρέπει να εξεταστούν για το αν θα έχουν υψηλό- $V_t$ .

### 3.4 Τεχνικές Μείωσης της Στατικής Κατανάλωσης με Αυτο-Ανάστροφη Πόλωση

Η μείωση του ρεύματος υποκατωφλίου μπορεί να γίνει με την αυτό-ανάστροφη πόλωση. Η αυτό-ανάστροφη πόλωση κατά την κατάσταση αναμονής κυκλωμάτων είναι η τεχνική που απαιτεί και πάλι την παρεμβολή ενός PMOS τρανζίστορ ( $P_c$ ) μεγέθους  $W_c$  μεταξύ της τάσης τροφοδοσίας  $V_{DD}$  και του κόμβου κοινής πηγής  $A$  των PMOS τρανζίστορ των οδηγών. Ο αριθμός των οδηγών μπορεί να είναι μεταξύ μερικών εκατοντάδων και μερικών χιλιάδων. Τα NMOS τρανζίστορ στους οδηγούς έχουν χαμηλή τάση κατωφλίου  $V_{TH}$ , περίπου 0,1V και όταν βρίσκονται σε αποκοπή έχουν αρνητική διαφορά δυναμικού  $V_{GS}$ . Το PMOS τρανζίστορ  $P_c$  έχει τάση κατωφλίου  $V_{tc}$  η οποία είναι ελαφρώς υψηλότερη από την τάση κατωφλίου  $V_{td}$  των υπολοίπων PMOS τρανζίστορ. Επίσης, τα PMOS τρανζίστορ όταν βρίσκονται σε αποκοπή έχουν θετική διαφορά δυναμικού  $V_{GS}$ .



Σχήμα 3.6 : Κύκλωμα αυτό-ανάστροφης πόλωσης πολλαπλών τάσεων κατωφλίου

Στην ενεργή ή κανονική κατάσταση λειτουργίας η είσοδος είναι σε χαμηλή στάθμη και το PMOS τρανζίστορ  $P_c$  είναι σε αγώγιμη κατάσταση. Για να μην έχει το PMOS τρανζίστορ  $P_c$  επιπτώσεις στο ρεύμα οδήγησης των οδηγών, το μέγεθος του  $W_c$  πρέπει να είναι μεγαλύτερο από το μέγεθος του  $W_d$  των υπολοίπων PMOS τρανζίστορ ποσοστό που εξαρτάται από την χωρητικότητα της κοινής πηγής η οποία είναι εξαιρετικά μεγάλη για μεγάλο αριθμό οδηγών  $n$ . Στην κατάσταση ύπνου η είσοδος  $S$  είναι σε υψηλή στάθμη και το PMOS τρανζίστορ  $P_c$  είναι σε μη αγώγιμη κατάσταση. Οι εισόδους σε όλους τους οδηγούς τίθενται σε υψηλή στάθμη  $V_{DD}$ . Χωρίς το PMOS τρανζίστορ  $P_c$ , το συνολικό ρεύμα υποκατωφλίου θα ήταν  $n$  φορές το ρεύμα του κάθε οδηγού. Αυτό θα έκανε το συνολικό ρεύμα να είναι πολύ μεγάλο. Η προσθήκη του  $P_c$  μειώνει το ρεύμα υποκατωφλίου όπως πριν εξαιτίας του υψηλού- $V_t$  αλλά και εξαιτίας του ότι η τάση του κόμβου της κοινής πηγής μειώνεται κατά ένα ποσό  $\Delta V_{SRB}$ . Αυτό επιβάλλει στα PMOS τρανζίστορ όλων των οδηγών να αυτό πολώσουν ανάστροφα την τάση πύλης-πηγής γεγονός που συνολικά μειώνει δραστικά το ρεύμα υποκατωφλίου τους. Ο χρόνος που απαιτείται ώστε να σταθεροποιηθεί ο κόμβος σε τάση  $V_{DD} - \Delta V_{SRB}$  ή ο χρόνος που απαιτείται για να μεταβεί από την ενεργό στην κατάσταση αναμονής καλείται χρόνος μετεξέλιξης και μπορεί να είναι πολύ υψηλός συγκρινόμενος με την καθυστέρηση του οδηγού. Ο λόγος είναι ότι μόνο η διαρροή από τα ρεύματα υποκατωφλίου αποφορτίζουν τον κόμβο  $A$  σε αυτήν την κατάσταση λειτουργίας. Αυτή η περίοδος μπορεί να είναι άνευ σημασίας σε ένα χρόνο που το κύκλωμα βρίσκεται σε κατάσταση ύπνου είναι αρκετά μεγάλος, όπως στην περίπτωση πολλών εφαρμογών χαμηλής ισχύος.

Όταν μία είσοδος είναι τοποθετημένη σε χαμηλή στάθμη σε ενεργή κατάσταση λειτουργίας ο απαιτούμενος χρόνος που χρειάζεται μία κοινή πηγή για να ανακτήσει την τάση της είναι πάρα πολύ μικρός και μπορεί να είναι μικρότερος και από το χρόνο καθυστέρησης, αλλά αυτό δεν επηρεάζει την έναρξη της κανονικής λειτουργίας. Παρακάτω θα δούμε τις εξισώσεις για το ρεύμα υποκατωφλίου πριν και μετά από την εφαρμογή αυτής της τεχνικής. Το συνολικό ρεύμα υποκατωφλίου χωρίς την αυτό ανάστροφη πόλωση δίνεται από τον τύπο:

$$I_{subth_1} = n I_0 \frac{W_d}{W_0} e^{\frac{-|V_{td}|}{S/\ln 10}}$$

[3.1]

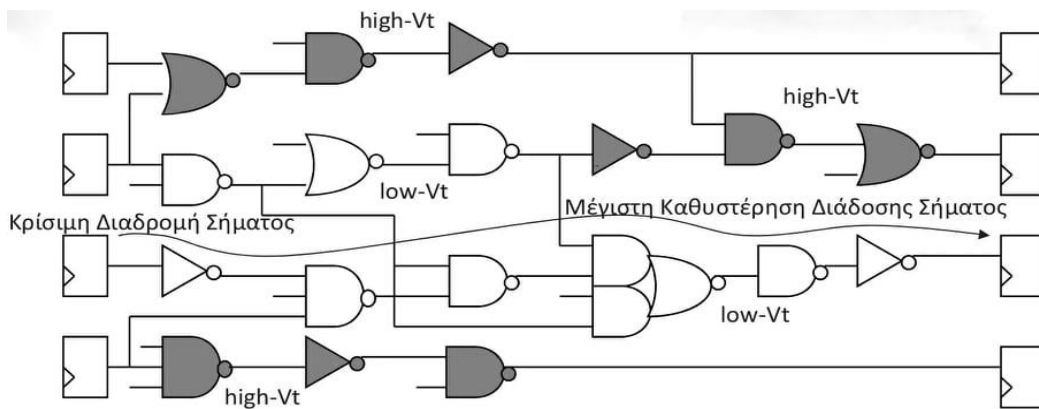
Αν υπάρχει PMOS τρανζίστορ  $P_c$  το ρεύμα δίνεται από τον τύπο:

$$I_{subth_2} = n I_0 \frac{W_c}{W_0} e^{\frac{-|V_{td}|}{S/\ln 10}} \quad [3.2]$$

Υποθέτουμε ότι τα τρανζίστορ έχουν τα ίδια  $I_0$ ,  $W_0$  και  $S$ . Αν τώρα διαιρέσουμε τις παραπάνω εξισώσεις θα έχουμε για το ρεύμα υποκατωφλίου έναν παράγοντα μείωσης  $\gamma$  ο οποίος δίνεται από τον τύπο:

$$\gamma = \frac{I_{subth_1}}{I_{subth_2}} = n \frac{W_d}{W_c} e^{\frac{(|V_{tc}| - |V_{td}|)}{S/\ln 10}} \quad [3.3]$$

Επίσης πρέπει να γνωρίζουμε ότι αυτή η τεχνική απαιτεί η τεχνολογία να υποστηρίζει πολλαπλές τάσεις κατωφλίου.



Σχήμα 3.7 : Κρίσιμο Μονοπάτι και Τρανζίστορ με Υψηλό και Χαμηλό  $V_t$

### 3.5 Τεχνικές Μείωσης της Στατικής Κατανάλωσης μέσω του Φαινομένου της Στοίβας Τρανζίστορ

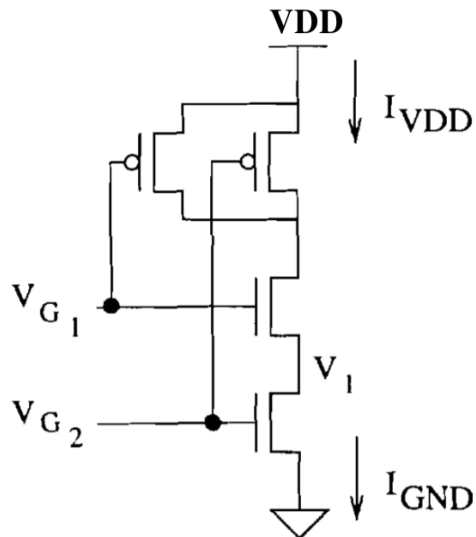
Μία άλλη τεχνική για τη μείωση της διαρροής βασίζεται στην εξάρτηση του ρεύματος διαρροής από την κατάσταση του κυκλώματος στο φαινόμενο της στοίβας τρανζίστορ. Το φαινόμενο της στοίβας τρανζίστορ είναι μία ακριβής εκτίμηση της ισχύος διαρροής σε κατάσταση αναμονής η οποία πρέπει να λαμβάνει υπόψη τον τύπο του κυκλώματος καθώς και τα επίπεδα σήματος όταν το κύκλωμα είναι σε αδράνεια. Ένα επιπλέον τρανζίστορ τοποθετήθηκε μεταξύ της γραμμής τροφοδοσίας και του pull-up τρανζίστορ για τον οδηγό. Αυτό προκαλεί μια μικρή αντιστροφή μεταξύ της πύλης και της

πηγής του τρανζίστορ pull-up όταν και τα δύο τρανζίστορ είναι απενεργοποιημένα. Επειδή το ρεύμα υποκατωφλίου εξαρτάται εκθετικά από την πύλη, επιτεύχθηκε σημαντική μείωση ρεύματος.

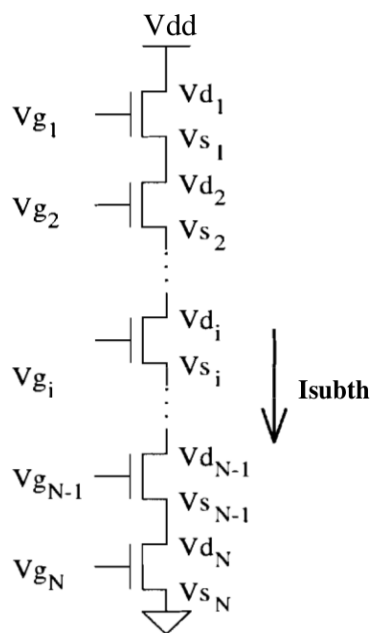
Με βάση αυτό το άρθρο[7] παράγουμε ένα πιο γενικό μοντέλο του φαινομένου της στοίβας τρανζίστορ σε σχέση με τη μείωση του τρέχοντος ρεύματος υποκατωφλίου και το χρόνο που απαιτείται για να εγκατασταθούν σε επίπεδα ρεύματος ηρεμίας. Αυτό το μοντέλο εξετάζει τη γενική περίπτωση της στοίβας τρανζίστορ αυθαίρετου ύψους. Λαμβάνει υπόψη τόσο την επίδραση σώματος όσο και το DIBL. Το DIBL (μείωση της τάσης κατωφλίου καθώς αυξάνεται το  $V_{DS}$ ) είναι ιδιαίτερα σημαντικό για συσκευές sub-micron. Η διαρροή μιας στοίβας τρανζίστορ φαίνεται να εξαρτάται άμεσα από το μέγεθος του αποτελέσματος του DIBL.

Στις τωρινές αλλά και στις μελλοντικές τεχνολογίες MOS, η κυρίαρχη συνιστώσα του ρεύματος διαρροής είναι το ρεύμα υποκατωφλίου. Η μείωση του μεγέθους των τρανζίστορ έχει αυξήσει σημαντικά το ρεύμα υποκατωφλίου, ενώ μειώνει τη διαρροή διόδου διακλάδωσης που ήταν ένα κυρίαρχο συστατικό διαρροής σε παλαιότερες τεχνολογίες. Καθώς οι διαστάσεις συνεχίζουν να μειώνονται, άλλες αιτίες διαρροής μπορεί να γίνουν σημαντικές. Προς το παρόν, η διαρροή που προκαλείται από την πύλη (GIDL) αποτελεί τη μεγαλύτερη απειλή για τον έλεγχο διαρροών μέσω του φαινομένου της στοίβας τρανζίστορ. Το GIDL είναι μεγαλύτερο όταν το  $V_{DS}$  είναι μεγαλύτερο και το  $V_{GS}$  είναι αντίστροφο. Το φαινόμενο της στοίβας τρανζίστορ βασίζεται στην αντίστροφη πόλωση των  $V_{GS}$  για την επίτευξη εξοικονόμησης διαρροών. Κατά συνέπεια, το GIDL μπορεί να γίνει ένα χαμηλότερο όριο διαρροής στο μέλλον.

Ας εξετάσουμε μία πολύ απλή περίπτωση όπου το αποτέλεσμα του φαινομένου της στοίβας τρανζίστορ γίνεται σημαντικό. Το σχήμα 3.8 απεικονίζει μια απλή στατική πύλη NAND δύο εισόδων. Θα προσπαθήσουμε να κατανοήσουμε τη συμπεριφορά διαρροής αυτής της πύλης για διάφορες εισόδους. Στην περίπτωση που και τα δύο τρανζίστορ PMOS είναι απενεργοποιημένα, η διαρροή είναι απλώς το άθροισμα των ρευμάτων απενεργοποίησης κάθε συσκευής PMOS. Ωστόσο, η κατάσταση για σειριακά συνδεδεμένα τρανζίστορ είναι πιο πολύπλοκη.



Σχήμα 3.8 : Μία Απλή Στατική Πύλη NAND



Σχήμα 3.9 : Σχηματική απεικόνιση του φαινομένου της στοίβας τρανζίστορ

Το Σχήμα 3.9 που βρίσκεται παραπάνω απεικονίζει μια στοίβα τρανζίστορ την οποία θα αναλύσουμε. Οι τιμές διαρροής σταθερής κατάστασης μπορούν να εκτιμηθούν ως συνάρτηση του αριθμού των τρανζίστορ που έχουν απενεργοποιηθεί. Η γενική προσέγγιση είναι να εξισώσουμε το ρεύμα υποκατωφλίου μέσω κάθε τρανζίστορ και στη συνέχεια να λύσουμε για την τάση ( $V_{dsi}$ ) σε κάθε τρανζίστορ. Αυτές οι τάσεις μπορούν στη συνέχεια να χρησιμοποιηθούν για την εκτίμηση του μεγέθους του ρεύματος διαρροής. Η ακόλουθη ανάλυση γίνεται για μια στοίβα NMOS, αλλά ισχύει για μια στοίβα PMOS.

Από το μοντέλο τρανζίστορ BSIM2 MOS , το ρεύμα υποκατωφλίου ενός MOSFET μπορεί να διαμορφωθεί ως

$$I_{subth} = A e^{\frac{q}{nkT}(V_G - V_S - V_{TH_0} - \gamma' V_S - \eta V_{DS})} \left(1 - e^{\frac{-qV_{DS}}{kT}}\right) \quad [3.4]$$

$$A = \mu_0 C'_{ox} \frac{W}{L_{eff}} \left(\frac{kT}{q}\right)^2 e^{1.8}$$

Όπου

[3.5]

$V_G$  η τάση πύλης,  $V_D$  η τάση διοχέτευσης και  $V_S$  η τάση πηγής του τρανζίστορ. Το μεγαλύτερο μέρος συνδέεται με τη γείωση. Το  $V_{TH_0}$  είναι η μηδενική τάση κατωφλίου. Η επίδραση σώματος για μικρές τιμές του  $V_S$  είναι σχεδόν γραμμικό. Αντιπροσωπεύεται από τον όρο  $\gamma' V_S$ , όπου  $\gamma'$  είναι ο γραμμικοποιημένος συντελεστής επίδρασης σώματος. Το  $\eta$  είναι ο συντελεστής DIBL, που αντιπροσωπεύει την επίδραση του  $V_{DS}$  ( $V_{DS} = V_D - V_S$ ) στην τάση κατωφλίου. Το  $C_{ox}$  είναι το χωρητικότητα οξειδίου πύλης. Το  $\mu_0$  είναι η μηδενική κινητικότητα. Το  $\eta$  είναι ο συντελεστής ταλάντευσης του ρεύματος υποκατωφλίου του τρανζίστορ. Το  $\Delta V_{TH}$  αντιπροσωπεύει μεταβολές στην τάση κατωφλίου από το ένα τρανζίστορ στο άλλο. Για τις συνθήκες που απεικονίζονται στο σχήμα 3.10 , η τάση πύλης είναι μηδέν  $V_G = 0$ .

Πρώτα θα εξισώσουμε το ρεύμα του πρώτου και του δεύτερου τρανζίστορ στη στοίβα. Λαμβάνουμε την εξίσωση 3.6 επιλύοντας το  $V_{DS_2}$  με παραμέτρους το  $V_{dd}$  και το BSIM μοντέλο.

$$V_{DS_2} = \frac{nkT}{q(1+2\eta+\gamma')} \ln\left(\frac{A_1}{A_2} e^{\frac{q\eta V_{DD}}{nkT}} + 1\right) \quad [3.6]$$

Επίσης ομοίως μπορούμε να εξισώσουμε το ρεύμα μέσω των  $(i-1)^{th}$  και  $i^{th}$  τρανζίστορ, επιλύοντας το  $V_{DS_i}$  σε σχέση με το  $V_{DS_{i-1}}$ . Αυτό έχει ως αποτέλεσμα την εξίσωση 3.7 παρακάτω. Η εξίσωση 3.7 μπορεί να χρησιμοποιηθεί επαναληπτικά για να βρεί  $V_{DS_i}$  για κάθε τρανζίστορ, ξεκινώντας με το τρίτο στη στοίβα. Τέλος, το  $V_{DS_1}$  μπορεί να προσδιοριστεί αφαιρώντας το άθροισμα αυτών των τιμών  $V_{DS_i}$  από το  $V_{dd}$ .

$$V_{DS_i} = \frac{nkT}{q(1+\gamma')} \ln\left(1 + \frac{A_{i-1}}{A_i} \left(1 - e^{\frac{q}{kT} V_{DS_{i-1}}}\right)\right) \quad [3.7]$$

Η μετατόπιση τάσης στην πηγή κάθε τρανζίστορ δίνεται από :

$$V_{S_i} = \sum_{j=i+1}^N V_{DS_j} \quad [3.8]$$

Δεδομένου ότι τώρα ενδιαφερόμαστε μόνο για το μέγεθος του ρεύματος διαρροής, μπορούμε να χρησιμοποιήσουμε το  $V_{DSN}$  στην εξίσωση 3.4 για να υπολογίσουμε τη διαρροή μέσω του κάτω τρανζίστορ. Για να επαληθευτεί αυτός ο υπολογισμός, θα μπορούσε κανείς να υπολογίσει τη διαρροή άλλων τρανζίστορ στη στοίβα. Μόλις έχουμε  $V_{DS_i}$ , για κάθε τρανζίστορ, η μετατόπιση τάσης στην πηγή κάθε τρανζίστορ δίνεται από :

$$V_{S_{q_i}} = \sum_{j=i+1}^N V_{DS_{q_j}} \quad [3.9]$$

Τα  $V_{DS_{q_i}}$  και  $V_{S_{q_i}}$  είναι γνωστά για κάθε τρανζίστορ, έτσι μπορούμε να υπολογίσουμε το ρεύμα διαρροής σταθερής κατάστασης χρησιμοποιώντας εξίσωση 3.4 . Ας προσδιορίσουμε την εξοικονόμηση διαρροών που επιτυγχάνεται απενεργοποιώντας πολλαπλά τρανζίστορ σε μια στοίβα αντί να απενεργοποιηθεί ένα τρανζίστορ. Διαιρώντας τη διαρροή ενός απλού τρανζίστορ με τη διαρροή μιας στοίβας απενεργοποιημένων τρανζίστορ, βρίσκουμε τη σχέση εξοικονόμησης ως συνάρτηση του αριθμού των τρανζίστορ (N) :

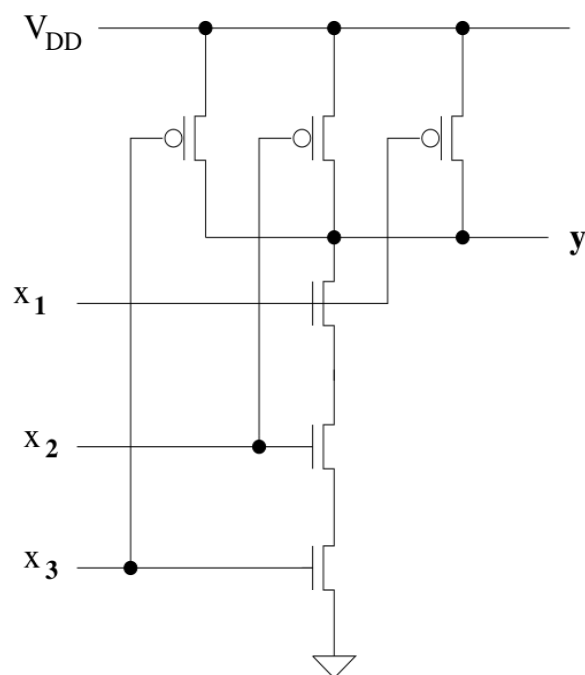
$$S(N) = e^{\frac{1}{nV_T}(1+\eta+\gamma')} \sum_{j=2}^N V_{DS_{q_i}} \quad [3.10]$$

Να επισημάνουμε ότι αυτή η ανάλυση λαμβάνει υπόψη μόνο τα τρανζίστορ που είναι απενεργοποιημένα. Τα τρανζίστορ που είναι ενεργοποιημένα μπορούν να αντιμετωπίζονται σαν να ήταν βραχυκύκλωμα. Λόγω των πολύ μικρών ρευμάτων που εμπλέκονται ,της τάξης του nA ή μικρότερο, η πτώση τάσης στα τρανζίστορ που είναι ενεργοποιημένα θα είναι τάξεις μεγέθους μικρότερη από την πτώση τάσης στα τρανζίστορ στην περιοχή του ρεύματος υποκατωφλίου.

Παρατηρείται ότι η διαρροής ισχύς εξαρτάται από πρωτογενείς συνδυασμούς εισόδου χωρίς αιτιολογία για τον μηχανισμό. Το μοντέλο που προτείνεται στο άρθρο [7], από την άλλη πλευρά, μπορεί να προσφέρει μια σαφή εξήγηση. Ας εξετάσουμε την πύλη CMOS NAND 3 εισόδων που φαίνεται στο σχήμα 3.11 παρακάτω. Για το συνδυασμό



εισόδου 111, τα τρία τρανζίστορ NMOS είναι ενεργοποιημένα και αντιμετωπίζονται ως βραχυκύκλωμα, το ρεύμα διαρροής της πύλης είναι το άθροισμα του ρεύματος διαρροής μέσω των τριών PMOS τρανζίστορ. Για τους συνδυασμούς 011, 101 και 110, το ρεύμα διαρροής υπολογίζεται για το τρανζίστορ NMOS που είναι απενεργοποιημένο. Για τους συνδυασμούς 001, 010 και 100, το  $V_{DS}$  του δεύτερου τρανζίστορ αποκτάται πρώτα με την εξίσωση 3.6, αντικαθιστώντας την εξίσωση 3.4 που αποδίδει το ρεύμα διαρροής. Για τον συνδυασμό 000,  $V_{DS2}$  λαμβάνεται αρχικά με την εξίσωση 3.6, τότε το  $V_{DS3}$  υπολογίζεται με την εξίσωση 3.7 και  $V_{DS1} = V_{dd} - V_{S1} = V_{dd} - V_{DS2} - V_{DS3}$  με εξίσωση 3.8. Αντικαθιστώντας το  $V_{DS1}$  και το  $V_{S1}$  στην εξίσωση 3.4 αποδίδεται το ρεύμα διαρροής. Λόγω της επίδρασης στοίβας και των διαφορών στη διαρροή PMOS και NMOS, το ρεύμα διαρροής μιας πύλης μπορεί να ποικίλλει ευρέως με συνδυασμούς εισόδου.



Σχήμα 3.10 : Μία Πύλη NAND Τριών Εισόδων

Το ρεύμα διαρροής εξαρτάται εκθετικά από το όριο τάσης. Κατά συνέπεια, οι τιμές του  $V_{TH0}$ , ο συντελεστής ταλάντευσης υποκατωφλίου, η επίδραση σώματος και ο συντελεστής DIBL είναι κρίσιμες για την ακρίβεια αυτού του μοντέλου. Η διαρροή είναι επίσης πολύ ευαίσθητη στη θερμοκρασία, διπλασιάζοντας για κάθε  $8^\circ$  έως  $10^\circ K$ . Αυτό το μοντέλο διαρροής έχει νόημα μόνο όταν το κύκλωμα είναι αδρανές για κάποιο χρονικό διάστημα.

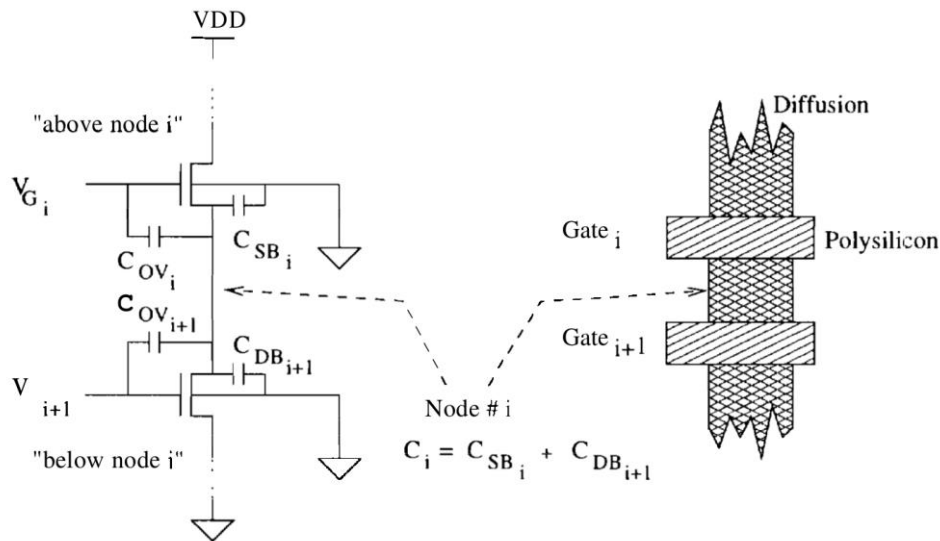
Η διαρροή μπορεί να μειωθεί σημαντικά με το φαινόμενο της στοίβας τρανζίστορ για απενεργοποίηση όταν ένα κύκλωμα είναι σε αδράνεια. Ο χρόνος για ένα κύκλωμα να φτάσει σε αυτήν την κατάσταση ηρεμίας χαμηλής διαρροής μπορεί να είναι αρκετές τάξεις μεγέθους μεγαλύτερες από την περίοδο ρολογιού ή τον λανθάνοντα χρόνο της περισσότερης ψηφιακής λογικής. Αυτή η καθυστέρηση είναι αποτέλεσμα φορτίων που παγιδεύονται σε εσωτερικούς κόμβους οι οποίοι μπορούν να φορτίζουν ή να

εκφορτώνουν μόνο σε επίπεδα ηρεμίας μέσω ρευμάτων διαρροής που είναι πολύ μικρά σε σύγκριση με τα κανονικά ρεύματα μεταγωγής. Ο μεγάλος χρόνος καθίζησης δεν είναι απαραίτητα μειονέκτημα για τη χρήση του φαινομένου της στοίβας τρανζίστορ. Ωστόσο, ας εξετάσουμε πρώτα τη συμπεριφορά μιας στοίβας τρανζίστορ για καλύτερο και χειρότερο χρόνο επίλυσης και, στη συνέχεια, ας εξετάσουμε τις επιπτώσεις του μεγάλου χρόνου.

Ας δούμε πάλι τη στοίβα τρανζίστορ που φαίνεται στο σχήμα 3.9 παραπάνω. Ένας ρεαλιστικός χρόνος χειρότερης περίπτωσης αντιστοιχεί στην περίπτωση όπου όλοι οι εσωτερικοί κόμβοι αρχικά φορτίζονται στη μέγιστη δυνατή τάση ( $V_{DD} - V_{TH}$ ) πριν ο κόμβος απομονωθεί πλήρως από τα τρανζίστορ που είναι απενεργοποιημένα. Αυτό μεγιστοποιεί το ποσό φόρτισης που πρέπει να απορριφθεί μέσω διαρροής προτού το κύκλωμα εγκατασταθεί σε επίπεδα ηρεμίας. Η χειρότερη περίπτωση μπορεί να επιτύχει με την παρακάτω ακολουθία συμβάντων. Όλα εκτός από το κάτω τρανζίστορ είναι αρχικά ενεργοποιημένα έτσι ώστε όλοι οι εσωτερικοί κόμβοι να μπορούν να φορτιστούν σε  $V_{DD} - V_{TH}$ . Στη συνέχεια απενεργοποιείται το τρανζίστορ δίπλα στο κάτω μέρος. Επειδή η πύλη αυτού του τρανζίστορ συνδέεται λόγω της χωρητικότητας με κόμβους πάνω και κάτω, η τάση και των δύο κόμβων μειώνεται κάπως. Αμέσως μετά την εκκίνηση, η τάση στον  $i^{th}$  εσωτερικό κόμβο μπορεί να εκτιμηθεί ως:

$$V_{boot_i} = \frac{-V_T C_{ov} + (V_{DD} - V_T) C_i'}{C_i''} \quad [3.11]$$

όπου  $C_{ov}$  είναι η πυκνότητα επικάλυψης της πύλης-πηγής του τρανζίστορ  $i$ . Ο εσωτερικός κόμβος  $i$  αντιστοιχεί στην πηγή του τρανζίστορ  $i$  και στην διοχέτευση του τρανζίστορ  $i + 1$ . Το  $C_i'$  είναι η τιμή της χωρητικότητας του εσωτερικού κόμβου λίγο πριν από την εκκίνηση, συμπεριλαμβανομένης της χωρητικότητας επικάλυψης πύλης-διοχέτευσης του τρανζίστορ  $i + 1$ . Το  $C_i''$  είναι η τιμή της χωρητικότητας του εσωτερικού κόμβου αμέσως μετά την εκκίνηση, συμπεριλαμβανομένης της χωρητικότητας επικάλυψης πύλης-πηγής του τρανζίστορ 2 και η χωρητικότητα επικάλυψης πύλης- διοχέτευσης του τρανζίστορ  $i+1$ .



Σχήμα 3.11 : Τρανζίστορ που Επηρεάζουν τον Εσωτερικό Κόμβο  $i$

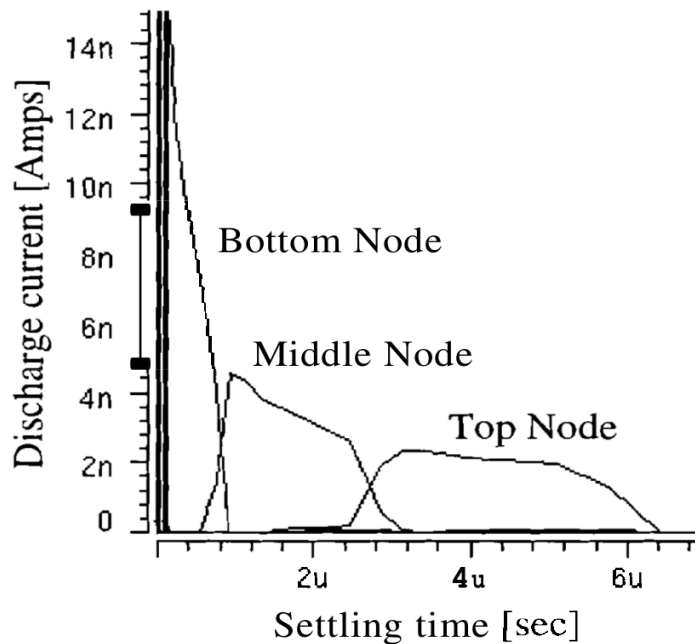
Το σχήμα 3.11 παραπάνω προσδιορίζει τις χωρητικότητες και τα τρανζίστορ που επηρεάζουν άμεσα τον εσωτερικό κόμβο  $i$ . Συνήθως κάθε εσωτερικός κόμβος αποτελείται εξ ολοκλήρου από τη διάχυση που μοιράζεται η πηγή και η διοχέτευση γειτονικών τρανζίστορ. Παρατηρήστε ότι μόνο η επικάλυψη χωρητικότητας περιλαμβάνεται στη σύνδεση πύλης προς διάχυση. Κάποιος μπορεί να αναμένει ότι η χωρητικότητα της πύλης προς το κανάλι ( $C_{ox} W L$ ) θα παράγει επιπλέον ζεύξη. Ωστόσο, το τρανζίστορ που αλλάζει βρίσκεται ήδη στην άκρη της αποκοπής ( $V_{GS} = V_{TH}$ ). Επίσης, γνωρίζουμε ότι ο βαθμός εκκίνησης είναι κοντά σε αυτόν που υποδεικνύεται μόνο από την χωρητικότητα επικάλυψης.

Αυτή η ανάλυση προϋποθέτει ότι όλα τα τρανζίστορ στη στοίβα απενεργοποιούνται. Εάν θέλαμε να εξετάσουμε μια περίπτωση όπου ένα εσωτερικό τρανζίστορ δεν είναι απενεργοποιημένο, πρέπει να λάβουμε υπόψη αυτό το τρανζίστορ για τον καθορισμό των συνολικών χωρητικότητων κόμβων για την εκκίνηση και για τον υπολογισμό χρόνου. Σε αντίθεση με την ανάλυση της τρέχουσας ηρεμίας, τα τρανζίστορ που παραμένουν ενεργοποιημένα δεν μπορούν να αγνοηθούν. Κατά τον προσδιορισμό των χωρητικότητων κόμβων, ένα τρανζίστορ που παραμένει ενεργοποιημένο μπορεί να θεωρηθεί ως ένα κομμάτι διασύνδεσης. Η χωρητικότητα πύλης και διάχυσης πρέπει στη συνέχεια να συμπεριληφθεί ως μέρος της χωρητικότητας του εσωτερικού κόμβου.

Μέσα σε νανοδευτερόλεπτα μετά την εκκίνηση, ο κόμβος πάνω από το τρανζίστορ που αλλάζει θα φορτίσει μέχρι το  $V_{DD} - V_{TH}$ . Εάν απενεργοποιηθεί το επόμενο τρανζίστορ, η διαδικασία εκκίνησης θα επαναληφθεί. Όταν όλα τα τρανζίστορ στη στοίβα είναι απενεργοποιημένα, βρίσκουμε όλους τους εσωτερικούς κόμβους φορτισμένους κατά προσέγγιση  $V_{boot}$  όπως δίνεται στην εξίσωση 3.11.

Από την άλλη, εάν το κύκλωμα είναι αδρανές για αρκετά μεγάλο χρονικό διάστημα, οι εσωτερικοί κόμβοι θα αρχίσουν να εκφορτώνονται και τελικά θα φτάσουν στα επίπεδα ηρεμίας. Αρχικά μόνο ο κόμβος που βρίσκεται πλησιέστερα στη γείωση θα εκφορτωθεί μέσω του κάτω τρανζίστορ. Όλα τα άλλα τρανζίστορ της στοίβας έχουν έντονα αντίστροφη μεροληψία ( $V_{GS} < 0$ ) και θα έχουν ρεύματα διαρροής που είναι τάξεις μεγέθους μικρότερα

από το κάτω τρανζίστορ. Ο επόμενος κόμβος στη στοίβα δεν θα αρχίσει να εκφορτώνεται σημαντικά έως ότου ο κάτω κόμβος φτάσει σχεδόν στο επίπεδο ηρεμίας. Ο τρίτος κόμβος από το έδαφος δεν θα εκφορτωθεί έως ότου ο δεύτερος κόμβος φτάσει σχεδόν στο επίπεδο ηρεμίας του. Αυτή η διαδικασία επαναλαμβάνεται έως ότου όλοι οι κόμβοι στη στοίβα φτάσουν στα επίπεδα ηρεμίας. Κάθε κυματομορφή ρεύματος λήφθηκε ως η διαφορά μεταξύ των ρευμάτων καναλιού των τρανζίστορ πάνω και κάτω από τον κόμβο που εκφορτίζεται.



Σχήμα 3.12 : Χωρητικότητες Εσωτερικών Κόμβων

Υπολογίζουμε τον χρόνο εκφόρτισης κάθε κόμβου ως εξής. Κατά την εκφόρτιση, ο ρυθμός με τον οποίο μειώνεται η τάση κόμβου ( $V_i$ ) μπορεί να προσδιοριστεί ως συνάρτηση της τάσης του κόμβου.

$$\frac{dV_i}{dt} = - \frac{I_{dis}(V_i)}{C_i(V_i)} \quad [3.12]$$

$I_{dis}(V_i)$  είναι το μέγεθος του ρεύματος εκφόρτισης ως συνάρτηση της τάσης κόμβου. Το  $C_i(V_i)$  αντιπροσωπεύει την χωρητικότητα του κόμβου που σχηματίζεται από την κοινή διάχυση των τρανζίστορ πάνω και κάτω. Το  $C_i$  θα μπορούσε να περιλαμβάνει χωρητικότητα διασύνδεσης εάν η στοίβα τρανζίστορ δεν εφαρμόζεται σε μία συνεχόμενη λωρίδα διάχυσης. Το  $C_i$  μπορεί επίσης να περιλαμβάνει χωρητικότητα πύλης και διάχυσης τρανζίστορ που δεν είναι απενεργοποιημένα. Το αντίστροφο της εξίσωσης 3.12,  $dt/dV_i$ , μας δίνει τη δυνατότητα να εκτιμήσουμε τον παρελθόν χρόνο που αντιστοιχεί σε μια σταδιακή μείωση του  $V_i$ .

Ενσωματώνοντας το εύρος με το οποίο πέφτει η τάση, βρίσκουμε το χρόνο που

απαιτείται για την εκφόρτιση της τάσης του κόμβου από το  $V_{boot_i}$  μέχρι το επίπεδο ηρεμίας τάσης,  $V_{q_i}$ . Η εξίσωση 3.13 δίνει την προκύπτουσα έκφραση για το χρόνο εκφόρτισης του εσωτερικού κόμβου  $i$ .

$$t_{dis_i} = \frac{n C_i L_{eff}}{\mu_0 C_{ox} W V_T e^{1.8} \eta} \times e^{\frac{1}{nV_T} ((1+\gamma'+\eta)V_{q_{in}} + V_{TH_c})} \times \left( e^{\frac{-\eta V_{q_i}}{nV_T}} - e^{\frac{-\eta V_{boot_i}}{nV_T}} \right) \quad [3.13]$$

$V_T$  είναι η θερμική τάση  $kT/q$ ,  $V_{boot_i}$  είναι η τάση στον εσωτερικό κόμβο αμέσως μετά την αλλαγή του τρανζίστορ,  $V_{q_i}$  είναι το επίπεδο ηρεμίας για τον εσωτερικό κόμβο τάσης όπως καθορίζεται από το μοντέλο διαρροής,  $C_i$  είναι η συνολική χωρητικότητα του εσωτερικού κόμβου. Δεδομένου ότι το  $C_i$  μειώνεται με την τάση επιλέγουμε το  $C_i = C_i(V_{q_i})$ .

Τώρα ας δούμε το κόστος ενέργειας που σχετίζεται με παροδικές διαρροές. Στη χειρότερη περίπτωση ανάλυσης χρόνου διευθέτησης βλέπουμε ότι πολύ λίγο ρεύμα διαρροής αντλείται από την τροφοδοσία μέχρι τον κόμβο που βρίσκεται πιο μακριά από τη γείωση σε μια στοίβα NMOS τρανζίστορ η οποία έχει σχεδόν αποφορτιστεί πλήρως. Εάν το επόμενο σύνολο εισόδων στο κύκλωμα ήταν η εκφόρτιση του pull down δικτύου, τότε η διαρροή στο έδαφος δεν μας κόστισε τίποτα. Οι χρεώσεις στους εσωτερικούς κόμβους θα εκφορτώνονται στη γείωση ανεξάρτητα από το εάν συνέβη ή όχι διαρροή. Από την άλλη πλευρά, εάν το επόμενο σύνολο κυκλωμάτων εισόδου προκαλέσει την επαναφόρτιση των εσωτερικών κόμβων, τότε η ενέργεια που διαχέεται λόγω διαρροής είναι μια πλήρης απώλεια. Σε γενικές γραμμές, η διαρροή δεν μας κοστίζει τίποτα εάν η φόρτιση κινείται προς την ίδια κατεύθυνση όπως θα συνέβαινε στο επόμενο συμβάν αλλαγής. Αντίθετα, η ενέργεια διαρροής χάνεται εντελώς εάν ρέει απέναντι από την κατεύθυνση του ρεύματος στο επόμενο συμβάν μεταγωγής.

Υπάρχουν αρκετές επιλογές για να εκμεταλλευτούμε το αποτέλεσμα του φαινομένου της στοίβας τρανζίστορ για σκοπούς ελέγχου διαρροών. Μία καλή επιλογή είναι να χρησιμοποιήσουμε υπάρχουσες στοίβες τρανζίστορ. Οι κυρώσεις περιοχής, η απώλεια απόδοσης και η αυξημένη χωρητικότητα μεταγωγής αποφεύγονται, καθώς αυτό δεν συνεπάγεται την προσθήκη τρανζίστορ ή την αύξηση του μεγέθους του δικτύου pull-up ή pull-down. Εκτός από τους αντιστροφείς και τις πύλες διέλευσης, οι αρχικές λογικές πύλες CMOS διαθέτουν ήδη μια στοίβα τρανζίστορ είτε στο δίκτυο pull-down, είτε στο δίκτυο pull-up ή και στα δύο.

Κάθε φορά που ένα κύκλωμα θα είναι αδρανές για κάποιο χρονικό διάστημα. Θα πρέπει να είναι δυνατή η επιλογή ενός διανύσματος εισόδου που μεγιστοποιεί τον αριθμό των τρανζίστορ που έχουν απενεργοποιηθεί σε κάθε διαθέσιμη στοίβα τρανζίστορ. Εάν δεν υπάρχει διαθέσιμος φορέας εισόδου χαμηλής διαρροής, μπορεί να είναι καλή λύση να αλλάξουμε ελαφρώς το σχέδιο κυκλώματος για να διευκολύνουμε την επιλογή ενός διανύσματος εισόδου.

Με βάση το άρθρο [9] βλέπουμε ότι η κατάσταση εισόδου των κυκλωμάτων που ελαχιστοποιεί το ρεύμα διαρροής και εν συνεχεία ειδικά flip-flops να παρεμβάλλονται στο

σχέδιο του κυκλώματος ώστε να παράγουν αυτή την είσοδο στην κατάσταση ύπνου. Τα flip-flops στο σχέδιο τροποποιούνται για να παράγουν μια προκαθορισμένη είσοδο στην κατάσταση ύπνου ενώ διατηρούν την προηγούμενη κατάσταση των μανδαλωτών. Η απαραίτητη τροποποίηση στα flip-flop είναι δευτερεύουσα και μπορεί να πραγματοποιηθεί στην ανατροφοδότηση του σκλάβου μανδαλωτή με ελάχιστο αντίκτυπο στην απόδοση του συστήματος. Ο περιορισμός αυτής της προσέγγισης είναι ότι προκύπτουν μεγαλύτερα κυκλώματα, ενώ η μείωση στο ρεύμα διαρροής κυμαίνεται από 10-30%.

### 3.6 Τεχνικές πολλαπλών καταστάσεων ύπνου

Με την εξέλιξη της τεχνολογίας κατασκευής κυκλωμάτων CMOS κάτω από τα 100nm η κατανάλωση που οφείλεται στα ρεύματα διαρροής αυξήθηκε δραματικά σε σύγκριση με τις προηγούμενες τεχνολογικές γενιές. Όσο υψηλότερη είναι η τάση στην εικονική γείωση  $V_{GND}$ , τόσο μικρότερη είναι η συνολική διαρροή καθώς η διαρροή είναι ανάλογη της τάσης που υπάρχει στα άκρα του κυκλώματος. Από την άλλη η υψηλότερη τάση στο  $V_{GND}$  έχει ως αποτέλεσμα υψηλότερο χρόνο αφύπνισης κατά την επαναφορά του κυκλώματος στην κανονική λειτουργία επειδή η χωρητικότητα του κόμβου που θα πρέπει να αποφορτιστεί μέσω του τρανζίστορ ύπνου είναι πολύ μεγάλη.

Μία λύση που υπάρχει είναι η δημιουργία κυκλωμάτων που χρησιμοποιούνται τρανζίστορ με πολλαπλές τάσεις κατωφλίου. Σε αυτή τη λύση το τρανζίστορ παρεμβάλλεται ανάμεσα στο σημείο που βλέπει ως γείωση το κύκλωμα και στην πραγματική γείωση. Επίσης αυτό το τρανζίστορ όταν το κύκλωμα μεταβαίνει σε κατάσταση ύπνου φέρνει τον κόμβο  $V_{GND}$  σε μια τάση κοντά στην  $V_{DD}$  μειώνοντας έτσι κατά πολύ το ρεύμα διαρροής. Όταν το κύκλωμα θα χρειαστεί να επανέλθει σε κανονική λειτουργία ο κόμβος  $V_{GND}$  πρέπει να αποφορτιστεί προς τη γείωση. Ο χρόνος που χρειάζεται για την αποφόρτιση αυτού του κόμβου λέγεται χρόνος αφύπνισης και συμβολίζεται ως  $T_{wake-up}$ . Επιπλέον, αν ένα λογικό κύκλωμα πηγαίνει από τη κατάσταση ύπνου σε κατάσταση λειτουργίας τότε επηρεάζονται και τα γειτονικά του κυκλώματα μέσω του φαινομένου αναπήδησης εδάφους λόγω των μεγάλων ταυτόχρονων αιχμών ρευμάτων που παρουσιάζονται κατά την αποφόρτιση της εικονικής γείωσης.

Ο χρόνος αφύπνισης και το ενεργειακό κόστος κατά την ενεργοποίηση ή απενεργοποίηση του μηχανισμού που σχετίζονται με αυτή την τεχνική περιορίζουν τα πιθανά οφέλη της. Αυτό συμβαίνει γιατί ανάλογα με το χρόνο αφύπνισης και το ενεργειακό κόστος κατά την ενεργοποίηση ή απενεργοποίηση του μηχανισμού το κύκλωμα θα βγαίνει συχνά ή λιγότερο συχνά από την κατάσταση κανονικής του λειτουργίας. Προφανώς, αν η ενέργεια που χρειάζεται το κύκλωμα για να επανέλθει από την κατάσταση ύπνου στην κατάσταση λειτουργίας, είναι μεγαλύτερη από την ενέργεια που εξοικονομείται από το κύκλωμα όταν είναι σε κατάσταση ύπνου, δεν υπάρχει λόγος της μετάβασης σε κατάσταση ύπνου. Με την ίδια λογική, αν χρειάζεται πολύς χρόνος για να επανέλθει το κύκλωμα σε κατάσταση λειτουργίας, τότε σε εκείνο το διάστημα της μετάβασης το κύκλωμα θα δουλεύει σε μικρότερη συχνότητα, με αποτέλεσμα η λειτουργία του κυκλώματος να μην είναι σωστή. Το επόμενο λογικό βήμα είναι η ύπαρξη πολλαπλών καταστάσεων ύπνου στις οποίες έχουμε ένα περισσότερο προσαρμόσιμο και ευέλικτο trade-off ανάμεσα στην εξοικονόμηση ενέργειας και στο χρόνο αφύπνισης.

Για την ανάλυση της τάσης του κόμβου  $V_{GND}$  πρέπει να βρεθεί μία σχέση που να προσδιορίζει την τάση του κόμβου  $V_{GND}$ , θεωρούμε ότι έχουμε μόνο ένα τρανζίστορ κάτω από το λογικό κύκλωμα και το τρανζίστορ αυτό ονομάζεται τρανζίστορ ύπνου. Εάν το τρανζίστορ ύπνου είναι σε κατάσταση ασθενούς αναστροφής δηλαδή η τάση στην πύλη του είναι μικρότερη από την τάση κατωφλίου  $V_G < V_{th}$ . Θεωρούμε ότι η διαρροή του κυκλώματος μπορεί να προσεγγιστεί από την διαρροή ενός μοναδικού τρανζίστορ το οποίο έχει πλάτος ίσο με το ενεργό πλάτος  $W_{CIRCUIT}$  του κυκλώματος. Αφού το τρανζίστορ ύπνου είναι σε κατάσταση ασθενούς αναστροφής η τάση  $V_{GND}$  μπορεί να βρεθεί εξισώνοντας το ρεύμα διαρροής του κυκλώματος με το ρεύμα διαρροής του τρανζίστορ ύπνου. Άρα έχουμε :

$$I_{leak}(Circuit) = I_{leak}(Footer) \Rightarrow 10 \frac{W_{CIRCUIT}}{L} 10^{-(V_{thC}) + n(V_{DD} - V_{GND})/S_S} = 10 \frac{W_{FOOTER}}{L} 10^{-(V_{thF}) + n(V_{DD} - V_{GND})/S_S} \quad [3.14]$$

$V_{thC}$  και  $V_{thF}$  είναι οι τάσεις κατωφλίου του κυκλώματος και του footer αντίστοιχα. Ο συντελεστής  $\eta$  είναι ο συντελεστής που οφείλεται στο φαινόμενο μείωσης φράγματος επαγόμενης υποδοχής DIBL και  $S_S$  είναι η κλίση στην περιοχή υποκατωφλίου. Από την παραπάνω σχέση προκύπτει ότι :

$$V_{GND} = \frac{-V_G + S_S \log_{10} \left( \frac{W_{CIRCUIT}}{W_{FOOTER}} \right) (V_{thF} - V_{thC}) + nV_{DD}}{2\eta} \quad [3.15]$$

Σε αυτή τη νέα σχέση παρατηρούμε ότι το  $V_{GND}$  εξαρτάται γραμμικά από την τάση στην πύλη του τρανζίστορ ύπνου με αρνητική κλίση. Μία αύξηση στην τιμή της τάσης στην πύλη του τρανζίστορ ύπνου συνεπάγεται μείωση στην τιμή της  $V_{GND}$  και αντιστρόφως. Αν αναπαραστήσουμε το ρεύμα διαρροής του κυκλώματος όταν είναι στην ενεργό κατάσταση με  $I_{active}$ , τότε ο λόγος του ρεύματος διαρροής όταν το κύκλωμα είναι σε κατάσταση ύπνου  $I_{sleep}$  προς το  $I_{active}$  είναι:

$$\frac{I_{sleep}}{I_{active}} = 10^{-\frac{\eta(V_{DD} - V_{GND})}{S_S}} \quad [3.16]$$

Από την εξίσωση αυτή προκύπτει ότι όσο υψηλότερη είναι η τάση του κόμβου  $V_{GND}$  τόσο μεγαλύτερη είναι η εξοικονόμηση ενέργειας σε κατάσταση ύπνου. Ωστόσο και ο χρόνος αφύπνισης και το ενεργειακό κόστος κατά την ενεργοποίηση και απενεργοποίηση του μηχανισμού είναι επίσης μεγαλύτερα. Αν η συνολική χωρητικότητα του κυκλώματος αναπαριστάτε με  $C_{CIRCUIT}$ , τότε ο χρόνος αφύπνισης δίνεται από την παρακάτω σχέση:

$$T_{WAKE-UP} = \frac{C_{CIRCUIT} V_{GND}}{I_{ON,F}} \quad [3.17]$$

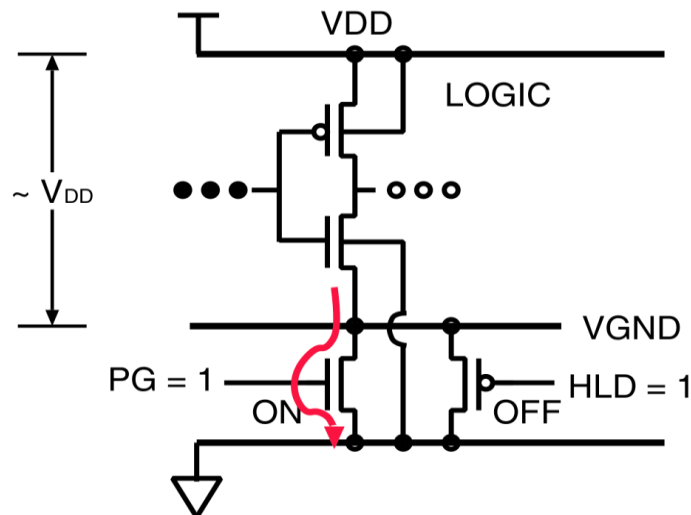
### 3.7 Τεχνικές με Χρήση Μιας Ενδιάμεσης Κατάστασης Ύπνου

Με την τάση που επικρατεί τα τελευταία χρόνια προς το φορητό σύστημα υψηλής απόδοσης σε ένα τσιπ (SoC) για την επικοινωνία και τους υπολογιστές η κατανάλωση ισχύος γίνεται κρίσιμος περιορισμός σχεδιασμού. Ο πιο αποτελεσματικός τρόπος για τη μείωση της κατανάλωσης ισχύος σε ψηφιακά κυκλώματα CMOS είναι η κλιμάκωση της τάσης τροφοδοσίας. Ωστόσο, η μείωση της τάσης τροφοδοσίας αυξάνει την καθυστέρηση του κυκλώματος που οδηγεί σε μείωση της τάσης κατωφλίου προκειμένου να διατηρηθεί η απόδοση. Δυστυχώς, αυτό από την άλλη αυξάνει πάρα πολύ το ρεύμα διαρροής λόγω της εκθετικής φύσης του ρεύματος διαρροής στο σύστημα υποκατωφλίου του τρανζίστορ. Επιπλέον, οι περισσότερες φορητές συσκευές χαρακτηρίζονται από διακοπόμενες λειτουργίες με μεγάλες περιόδους αδράνειας. Έτσι, το ρεύμα διαρροής είναι το σημαντικότερο κομμάτι της συνολικής κατανάλωσης ισχύος.

Οι εργασίες [6], [10] προτείνουν μία λύση ενδιάμεσης κατάστασης ύπνου χρησιμοποιείται ένα NMOS τρανζίστορ και ένα PMOS τρανζίστορ για την δημιουργία δύο καταστάσεων ύπνου. Το κύκλωμα μπορεί να είναι είτε σε κανονική κατάσταση λειτουργίας είτε σε κατάσταση πλήρους αποκοπής της γείωσης και τον κόμβο εικονικής γείωσης  $V_{GND}$  είτε σε τάση περίπου ίση με την τάση τροφοδοσίας είτε σε τάση η οποία είναι ενδιάμεση εκείνης στην κατάσταση κανονικής λειτουργίας και στην κατάσταση πλήρους ύπνου.

Επίσης, προστίθεται ένα επιπλέον PMOS τρανζίστορ στην συμβατική δομή εισαγωγής κατάστασης ύπνου με τη χρήση ενός NMOS τρανζίστορ μεταξύ κυκλώματος και γείωσης. Με αυτόν τον τρόπο το κύκλωμα αποκτά μια κατάσταση ύπνου η οποία βρίσκεται ανάμεσα στην κατάσταση λειτουργίας και την κατάσταση πλήρους αποκοπής της τροφοδοσίας. Η λειτουργία της διάταξης όταν το κύκλωμα είναι σε κανονική λειτουργία φαίνεται στο παρακάτω σχήμα 3.13 .

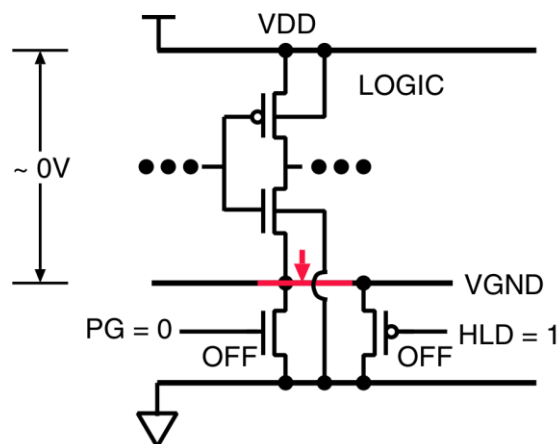




Σχήμα 3.13 : Κύκλωμα σε Κατάσταση RUN / IDLE

Στο σχήμα 3.13 βλέπουμε τη δομή της πύλης ισχύος που χρησιμοποιείται για την αποσύνδεση του κόμβου γείωσης από τη λογική στην RUN / IDLE λειτουργία. Σε αυτή τη λειτουργία, τα σήματα PG και HLD τίθενται στην υψηλή στάθμη. Επίσης το NMOS τρανζίστορ είναι σε κατάσταση χαμηλής αντίστασης και βραχυκυκλώνει τον κόμβο εικονικής γείωσης  $V_{GND}$  με την πραγματική γείωση. Από την άλλη πλευρά, το PMOS τρανζίστορ παραμένει σε μη αγώγιμη κατάσταση και δεν επηρεάζει την λειτουργία του κυκλώματος.

Η λειτουργία της διάταξης όταν το κύκλωμα είναι στην λειτουργία πλήρους ύπνου φαίνεται στο παρακάτω σχήμα 3.14 .

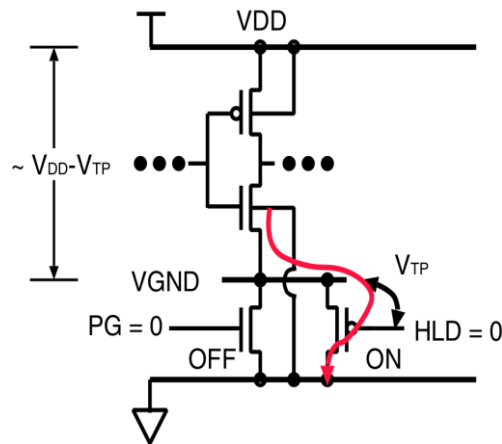


Σχήμα 3.14 : Κύκλωμα σε Κατάσταση GOLD

Σε αυτή την κατάσταση τα δεδομένα του κυκλώματος δεν διατηρούνται. Επίσης, εδώ το σήμα PG είναι σε χαμηλή στάθμη και το σήμα HLD είναι σε υψηλή στάθμη. Σε αυτήν τη λειτουργία, η τρέχουσα διαδρομή αποκόπτεται από τη γείωση, δηλαδή δεν υπάρχει μονοπάτι από την τροφοδοσία προς τη γείωση, με αποτέλεσμα η τάση στον κόμβο  $V_{GND}$  να είναι περίπου ίση με την τάση τροφοδοσίας. Σε αυτή την κατάσταση

παρέχεται η μέγιστη εξοικονόμηση ενέργειας τόσο των ροών διαρροής της πύλης όσο και του υποσυστήματος.

Στη λειτουργία PARK ή λειτουργία διατήρησης κατάστασης όπως φαίνεται στο σχήμα 3.15.



Σχήμα 3.15 : Κύκλωμα σε Κατάσταση PARK

Το σήμα PG είναι σε χαμηλή στάθμη όπως και το σήμα HLD είναι σε χαμηλή στάθμη. Οπότε το NMOS τρανζίστορ είναι σε μη αγώγιμη κατάσταση και το PMOS τρανζίστορ λειτουργεί ως ακόλουθος πηγής. Ο κόμβος εικονικής γείωσης  $V_{GND}$  είναι σε τάση ίση με την τάση κατωφλίου του PMOS τρανζίστορ. Άρα η τάση κατά μήκος του λογικού κυκλώματος είναι ίση με τη διαφορά  $V_{DD} - V_{tp}$ . Αυτή η διαφορά τάσης συνεπάγεται τη μείωση της στατικής κατανάλωσης.

Η κατάσταση του κυκλώματος διατηρείται και η αναπήδηση εδάφους που είναι αποτέλεσμα της μετάβασης από την κατάσταση COLD στην κατάσταση κανονικής λειτουργίας η οποία είναι μικρότερη αν χρησιμοποιηθεί η κατάσταση PARK ως ενδιάμεση κατάσταση για την μετάβαση.

Για να αποδείξουμε την αποτελεσματικότητα αυτής της τεχνικής χρειαζόμαστε με βάση το άρθρο [10] τρεις υλοποιήσεις του σχεδιασμού με διαφορετικά χαρακτηριστικά του κυκλώματος. Το μέγεθος του τρανζίστορ ύπνου της πρώτης πλακέτας είναι 2,6% του συνολικού μεγέθους των NMOS τρανζίστορ και PMOS τρανζίστορ του προσαρμογέα 32-bit CLA και του καταχωρητή υπογραφών πολλαπλών εισόδων MISR.

Το μέγεθος του τρανζίστορ ύπνου της δεύτερης πλακέτας είναι ίσο με το 1,0% του συνολικού μεγέθους των NMOS τρανζίστορ και PMOS τρανζίστορ του CLA και του καταχωρητή εξόδου. Για να συγκρίνουμε την απόδοση και την κατανάλωση ισχύος της δομής πύλης ισχύος με μια δομή πύλης εκτός ισχύος, εφαρμόσαμε την τρίτη πλακέτα στην οποία οι κόμβοι γείωσης των CLA και του καταχωρητή εξόδου συνδέονται απευθείας με την γείωση.

Παρακάτω θα αναφέρουμε μερικά πλεονεκτήματα και μειονεκτήματα της τεχνικής που μόλις αναλύσαμε.

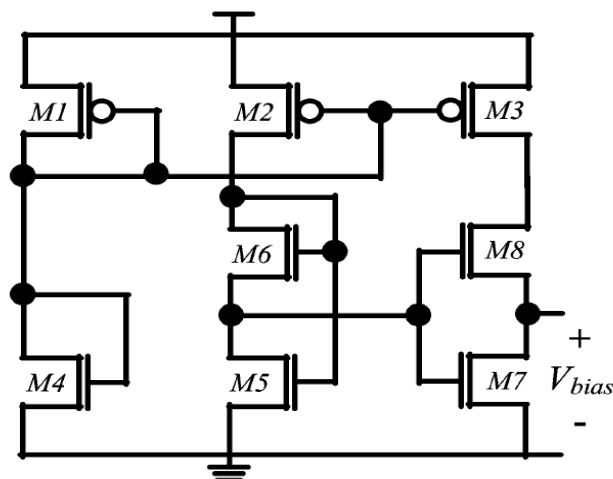
Τα πλεονεκτήματα αυτής της τεχνικής είναι τα εξής:

- Απλή σχεδίαση και το κύκλωμα χρειάζεται μόνο ένα επιπλέον PMOS τρανζίστορ.
- Μικρή πτώση στην συχνότητα λειτουργίας.
- Η πτώση στην ταχύτητα του κυκλώματος είναι περίπου 8,25%.
- Μεγάλη εξοικονόμηση σε ενέργεια.
- Η κατανάλωση μπορεί να μειωθεί μέχρι και 43 φορές.

Το μειονέκτημα αυτής της τεχνικής που είναι και το κυριότερο είναι ότι μπορεί να παράγει μόνο μία ενδιάμεση κατάσταση ύπνου για το κύκλωμα. Όσες περισσότερες καταστάσεις ύπνου υπάρχουν για ένα κύκλωμα τόσο μεγαλύτερη είναι η εξοικονόμηση ενέργειας που μπορεί να επιτευχθεί σε ένα κύκλωμα για διάφορους χρόνους αφύπνισης. Επίσης, η τάση που έχει ο κόμβος  $V_{GND}$  στην ενδιάμεση κατάσταση ύπνου εξαρτάται από την τάση κατωφλίου του PMOS τρανζίστορ.

### 3.8 Τεχνικές με Χρήση Δύο Ενδιάμεσων Καταστάσεων Ύπνου

Στην τεχνική των δύο ενδιάμεσων καταστάσεων ύπνου, η τάση που θα έχει το  $V_{GND}$  ελέγχεται από την τάση που εφαρμόζεται στην πύλη του τρανζίστορ ύπνου. Στις καταστάσεις εκτός της κανονικής λειτουργίας το τρανζίστορ ύπνου είναι στην κατάσταση ασθενούς αντιστροφής. Για να μπορέσει το τρανζίστορ ύπνου να παράγει πολλαπλές τάσεις στην εικονική γείωση χρειάζονται πολλαπλές τάσεις υποκατωφλίου να εφαρμοστούν στην πύλη του. Επιπλέον φαίνεται ότι αυτή η τεχνική μπορεί να εφαρμοστεί σε κυκλώματα με μεγάλα μονοπάτια πολλών βαθμίδων. Τα λογικά μπλοκ δεν έχουν τους ίδιους περιορισμούς σε χρόνο αφύπνισης. Τα μπλοκ που βρίσκονται στην αρχή του pipeline πρέπει να μπορούν να ξυπνάν όσο το δυνατόν γρηγορότερα. Γνωρίζοντας ότι τα δεδομένα χρειάζονται κάποιο χρόνο για να επεξεργαστούν στην κάθε λογική μονάδα μπορούμε να θέτουμε τα κυκλώματα τα οποία βρίσκονται πιο βαθιά στο pipeline σε κατάσταση πιο βαθύ ύπνου εξοικονομώντας έτσι μεγαλύτερα ποσά ενέργειας από την μειωμένη διαρροή. Για την παραγωγή κάθε τάσης που χρειάζεται να εφαρμοστεί στην πύλη του τρανζίστορ ύπνου χρησιμοποιείται γεννήτρια τάσης. Το σχήμα 3.16 παρακάτω δείχνει το διάγραμμα κυκλώματος μιας τέτοιας ισχυρής γεννήτριας τάσεων.



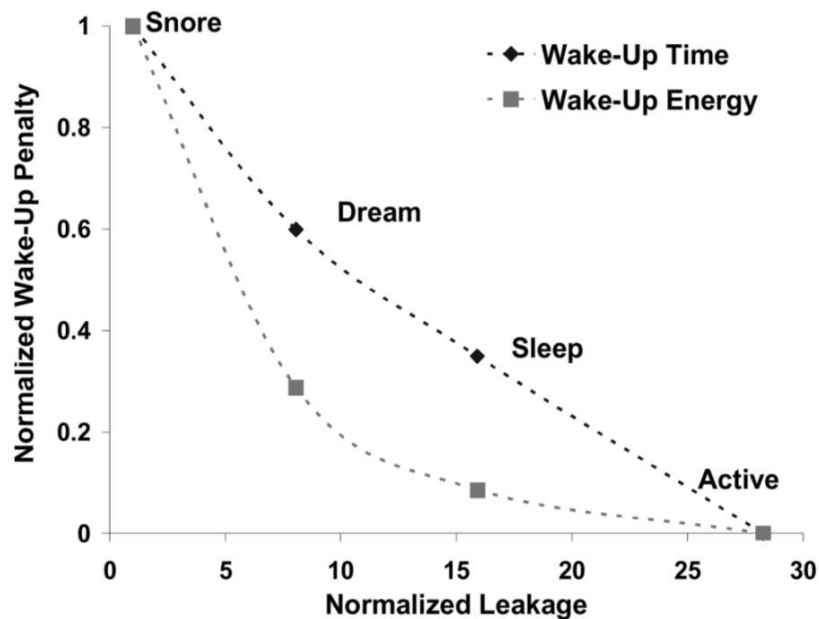
Σχήμα 3.16 : Κύκλωμα Γεννήτριας Τάσεων

Τα τρανζίστορ M1, M2 και M3, όλα ίδιου μεγέθους, δομούν δύο καθρέφτες ρεύματος. Οπότε, το ρεύμα σε κάθε κλάδο του κυκλώματος που είναι κάτω από το κάθε ένα από αυτά τα τρανζίστορ θα πρέπει να είναι το ίδιο. Όμως επειδή δεν είναι όλα τα τρανζίστορ ισομεγέθη η τάση που παίρνουμε στο τρανζίστορ M7 είναι ανάλογη του μεγέθους του τρανζίστορ M8. Τα τρανζίστορ M4 έως M7 έχουν το ίδιο μέγεθος, ενώ το M8 είναι μεγαλύτερο. Η τάση που παράγεται με αυτόν τον τρόπο είναι σχετικά σταθερή όσον αφορά τις διακυμάνσεις της κατασκευαστικής διαδικασίας και την θερμοκρασία λειτουργίας.

Για να μπορέσει να ελεγχεί η τεχνική του άρθρου [11] την οποία αναλύσαμε παραπάνω χρησιμοποιήθηκε ένας 32-bit ripple carry adder κατασκευασμένος με τεχνολογία 65nm SOI και τάση τροφοδοσίας  $V_{DD}$  ίση με 1 V. Το μέγεθος του τρανζίστορ ύπνου είναι περίπου το 12% του συνολικού πλάτους των NMOS τρανζίστορ του κυκλώματος. Σε ένα συμπέρασμα που καταλήγουμε είναι ότι μπορούμε να μειώσουμε τον χρόνο αφύπνισης  $T_{wake-up}$  αν μειώσουμε την ποσότητα του φορτίου που είναι αποθηκευμένο στον κόμβο της εικονικής γείωσης. Έχουμε τη δυνατότητα για τη παραγωγή πολλαπλών τάσεων υποκατωφλίου και είναι δυνατόν να έχουμε πολλές καταστάσεις ύπνου για το κύκλωμα.

Σε κάθε κατάσταση λειτουργίας μία διαφορετική τάση εφαρμόζεται στη πύλη του τρανζίστορ ύπνου. Οι ενδιάμεσες τάσεις  $V_1$  και  $V_2$  εφαρμόζονται στη πύλη του τρανζίστορ ύπνου για να τεθεί το σύστημα σε κατάσταση Sleep και Dream αντίστοιχα. Επίσης, ισχύει ότι  $V_1 < V_2 < V_{TH}$ . Για την κατάσταση κανονικής λειτουργίας η πύλη του τρανζίστορ ύπνου συνδέεται μέσω του ενός PMOS τρανζίστορ με την τροφοδοσία και η τάση του κόμβου  $V_{GND}$  γίνεται περίπου ίση με μηδέν. Αντίστοιχα, για την κατάσταση Snore η πύλη του τρανζίστορ ύπνου συνδέεται μέσω του ενός NMOS τρανζίστορ με την γείωση και η τάση του κόμβου  $V_{GND}$  γίνεται περίπου ίση με  $V_{DD}$ . Ένα κύκλωμα ελέγχου των 2 bits χρειάζεται για να ελέγχουμε την κατάσταση του κυκλώματος. Με αυτές τις πολλαπλές καταστάσεις ύπνου μπορούμε να έχουμε ρύθμιση του trade-off ανάμεσα στην καθυστέρηση που εισέρχεται μέχρι το κύκλωμα να επανέλθει σε κανονική λειτουργία και την μείωση της στατικής κατανάλωσης.

Το σχήμα 3.17 παρακάτω δείχνει το ρεύμα διαρροής και αφύπνισης για τέσσερις διαφορετικές καταστάσεις. Οι τιμές των τάσεων  $V_1$  και  $V_2$  επιλέχθηκαν έτσι ώστε να υπάρχουν δύο ισαπέχοντα σημεία στο διάγραμμα με το χρόνο αφύπνισης. Ανάλογα με την εφαρμογή μπορούμε να έχουμε περισσότερες καταστάσεις ύπνου για ένα κύκλωμα. Με βάση το άρθρο [11] έγιναν κάποιοι έλεγχοι για την συνολική σταθερότητα του κυκλώματος και οι παράμετροι που εξετάστηκαν ήταν οι εξής τρεις: η θερμοκρασία λειτουργίας (55 °C , 85 °C, 115 °C) , η τάση τροφοδοσίας (0.9V , 1.0V , 1.1V) και οι κατασκευαστικές διακυμάνσεις των τρανζίστορ (weak , nominal , best). Όπως ήταν αναμενόμενο οι απόλυτες τιμές των ρευμάτων διαρροής και του χρόνου αφύπνισης αλλάζουν σημαντικά όταν αλλάζει κάθε μία από τις παραπάνω παραμέτρους. Αν όμως δούμε τον κανονικοποιημένο χρόνο αφύπνισης και το κανονικοποιημένο ρεύμα διαρροής για όλες τις καταστάσεις συμπεραίνουμε ότι το κύκλωμα είναι αρκετά ανθεκτικό στις διάφορες μεταβολές.



Σχήμα 3.17 : Διάγραμμα του Χρόνου Αφύπνισης ως Συνάρτηση του Ρεύματος Διαρροής σε Τέσσερις Διαφορετικές Λειτουργίες

Μία εφαρμογή της τεχνικής των πολλαπλών καταστάσεων ύπνου είναι σε κυκλώματα τα οποία αποτελούνται από επιμέρους μικρότερα κυκλώματα τα οποία είναι σε σειρά, δηλαδή σε pipeline. Τα κυκλώματα που βρίσκονται στο τέλος του pipeline επιτρέπεται να έχουν μεγαλύτερο χρόνο αφύπνισης. Αυτό συμβαίνει γιατί υπάρχει καθυστέρηση στην επεξεργασία των δεδομένων καθώς περνάνε μέσα από την κάθε λογική μονάδα. Συνεπώς μπορούμε σε κάθε λογική μονάδα όσο πιο βαθιά είναι μέσα στο pipeline να την θέσουμε σε κατάσταση βαθύτερου ύπνου και η εξοικονόμηση ενέργειας να είναι μεγαλύτερη. Η τεχνική αυτή παρουσιάζει ένα σημαντικό μειονέκτημα το οποίο είναι η καθυστέρηση που εισέρχεται στο σύστημα για να μεταβεί από την κατάσταση εξοικονόμησης ενέργειας στην κατάσταση κανονικής λειτουργίας. Για να είναι αυτή η τεχνική αποτελεσματική πρέπει τα δεδομένα εισόδου του κυκλώματος να μην αλλάξουν για χρόνο μεγαλύτερο ή ίσο με τον χρόνο που είναι η καθυστέρηση για την επαναφορά του συστήματος σε κατάσταση λειτουργίας συν την καθυστέρηση για την διάδοση των δεδομένων μέσα από το pipeline.

Η τεχνική αυτή με χρήση πολλαπλών καταστάσεων ύπνου έχει κατά μέσο όρο μείωση της διαρροής περίπου 17% σε σύγκριση με την μέθοδο όπου υπάρχει μόνο μία κατάσταση ύπνου. Επίσης, η χρήση των πολλαπλών καταστάσεων ύπνου επιτρέπει σε ένα κύκλωμα να εισέρχεται σε κατάσταση εξοικονόμησης ενέργειας πιο συχνά από ένα κύκλωμα το οποίο έχει μόνο μία κατάσταση ύπνου.

Η επιβάρυνση σε επιφάνεια για τα πρόσθετα τρανζίστορ του βοηθητικού κυκλώματος δεν είναι πάρα πολύ μεγάλη αλλά είναι σημαντική. Το NMOS τρανζίστορ είναι ίσο με περίπου 12% του συνολικού πλάτους των NMOS τρανζίστορ του λειτουργικού κυκλώματος. Έτσι, οι γεννήτριες τάσης χρειάζονται επιπλέον επιφάνεια στο κύκλωμα. Οι

γεννήτριες τάσης εισάγουν μία πρόσθετη καθυστέρηση στο κύκλωμα. Αυτό συμβαίνει επειδή η κάθε γεννήτρια τάσης έχει έναν χρόνο αρχικοποίησης κατά τον οποίο η τάση στην έξοδο της δεν είναι η σωστή. Το κύκλωμα θα πρέπει να περιμένει για να παραχθεί και να σταθεροποιηθεί η κατάλληλη τάση στην έξοδο της γεννήτριας τάσης. Στις γεννήτριες ρεύματος τώρα ,επειδή μερικά τρανζίστορ τους είναι σε συνδεσμολογία διόδου καταναλώνουν ενέργεια συνεχώς είτε χρησιμοποιούνται για να παράγουν την απαιτούμενη τάση είτε είναι στην αναμονή.



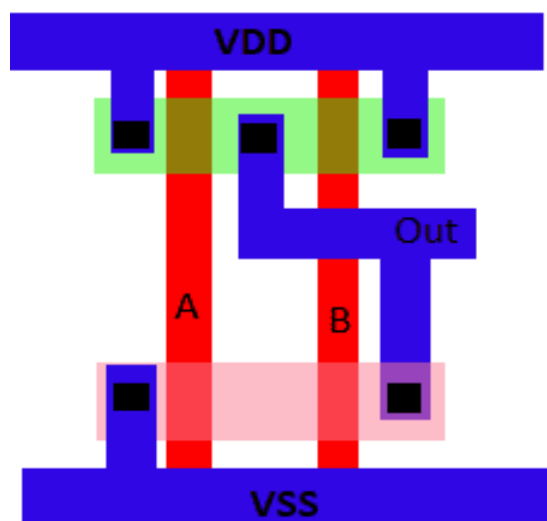
## ΚΕΦΑΛΑΙΟ 4

### ΔΟΜΗΜΕΝΟ STANDARD CELL

Στην συγκεκριμένη εργασία που θέλουμε την ελάχιστη στατική κατανάλωση στο βελτιστοποιημένο ολοκληρωμένο κύκλωμα που θα βρούμε, το οποίο θα έχει το σχήμα λογικού κώνου και πρέπει να έχει μικρότερη κατανάλωση αλλά με την ίδια ή ακόμα και καλύτερη απόδοση ως προς την ταχύτητα. Για αυτή τη διαδικασία θα κάνουμε χρήση ενός δομημένου standard cell κυκλώματος. Σε αυτό το κεφάλαιο θα δούμε μερικές πληροφορίες για τη μέθοδο του standard cell και των βιβλιοθηκών του.

#### 4.1 Standard Cell

Η μέθοδος standard cell αποτελεί μια μέθοδο σχεδιασμού ASIC κυκλωμάτων κυρίως με ψηφιακά και λογικά χαρακτηριστικά. Η μέθοδος αυτή είναι αφαιρετικού σχεδιασμού επιπέδου, στο οποίο ένα χαμηλού επιπέδου layout ενσωματώνεται σε μια αφαιρετική λογική αναπαράσταση, όπως η πύλη NAND. Η γενικότερη κλάση στην οποία ανήκουν και τα standard cells παρέχει τη δυνατότητα σε ένα σχεδιαστή να εστιάζει σε υψηλού επιπέδου πτυχή της ψηφιακής σχεδίασης τη λογική συνάρτηση ενώ παράλληλα κάποιος άλλος μπορεί να εστιάζει στην υλοποίηση. Παράλληλα με την πρόοδο στην κατασκευή ημιαγωγών, η βασισμένη στα standard cells μέθοδος ήταν υπεύθυνη για την κλιμάκωση των κυκλωμάτων ASIC από συγκριτικά απλά ολοκληρωμένα κυκλώματα, τα οποία εκτελούν μια συγκεκριμένη λειτουργία αποτελούμενα από αρκετές χιλιάδες πύλες, σε σύνθετες συσκευές αποτελούμενες από πολλά εκατομμύρια πύλες System on chip (SoC).



Σχήμα 4.1 : Standard Cell για πύλη NAND



Στην τεχνοτροπία αυτή ο σχεδιαστής αποκτάει μία σχεδιαστική βιβλιοθήκη και εκφράζει το σχεδιάσμα του σαν την διασύνδεση στοιχείων που περιέχονται σε αυτή τη βιβλιοθήκη. Δηλαδή όλα τα σχέδια, που δημιουργούνται, βασίζονται στα έτοιμα σχεδιαστικά κομμάτια της βιβλιοθήκης. Προφανώς η βιβλιοθήκη αυτή παρέχεται από τον τελικό κατασκευαστή του ολοκληρωμένου κυκλώματος και μπορεί να περιέχει από πολύ λίγα έως πάρα πολλά και πολύ σύνθετα σχεδιαστικά κομμάτια. Μια standard cell based βιβλιοθήκη θα μπορούσε να περιέχει μόνο τη λογική πύλη NAND δύο εισόδων μιας και κάθε λογική συνάρτηση μπορεί να εκφραστεί συναρτήσει αυτής της πύλης. Ωστόσο για τη διευκόλυνση των σχεδιαστών οι βιβλιοθήκες που παρέχονται σήμερα περιέχουν όλες τις λογικές πύλες και μάλιστα σε διάφορες εκδόσεις ταχύτητας, εμβαδού και οδηγητικής ικανότητας, στοιχεία μνήμης, μικρά έως μεσαία συνδυαστικά κυκλώματα όπως αθροιστές, πολλαπλασιαστές και άλλα, μικρά έως μεσαία ακολουθιακά κυκλώματα όπως για παράδειγμα καταχωρητές, ολισθητές, μετρητές.

Το μεγάλο πλεονέκτημα χρησιμοποίησης αυτής της τεχνοτροπίας είναι προφανώς ο χρόνος ολοκλήρωσης του σχεδιασμού, καθώς και το κόστος κατασκευής του. Συγκρινόμενη με άλλες μεθόδους, όπως ο πλήρως εξειδικευμένος σχεδιασμός ή ο μερικά εξειδικευμένος σχεδιασμός, θα μπορούσαμε να πούμε ότι υπερέχει. Στη περίπτωση του πλήρως εξειδικευμένου σχεδιασμού, ο σχεδιαστής θα πρέπει να σχεδιάσει εξ αρχής, ακόμη και τα βασικά δομικά στοιχεία, δηλαδή τις πύλες και τα στοιχεία μνήμης του σχεδιασμού του. Παρότι αυτός ο τρόπος παρέχει τη μέγιστη ευελιξία στον σχεδιαστή, είναι προφανές ότι είναι και ο πλέον επίπονος χρονικά. Επιπλέον η πιθανότητα για σχεδιαστικά λάθη είναι πολύ μεγάλη και το κόστος κατασκευής πολύ υψηλό.

Η τεχνοτροπία αυτή σήμερα χρησιμοποιείται για μικρούς σχετικά σχεδιασμούς με πολύ αυξημένες απαιτήσεις σε ταχύτητα, εμβαδόν και κατανάλωση ισχύος. Στη περίπτωση του μερικά εξειδικευμένου σχεδιασμού, παρότι μερικά σχεδιαστικά κομμάτια παρέχονται έτοιμα σε μια βιβλιοθήκη, ο σχεδιαστής έχει τη δυνατότητα, αν δε καλύπτεται, να σχεδιάσει τα δικά του κομμάτια και μετά να φτιάξει το σχεδιασμό του σαν ένα μίγμα έτοιμων και νέων υποσχεδιασμών. Προφανώς η ευελιξία που δίνεται στο σχεδιαστή είναι αντίστοιχη με αυτήν της προηγούμενης περίπτωσης, μειώνεται ο χρόνος σχεδιασμού και χρησιμοποιώντας κατά πλειοψηφία έτοιμα σχεδιαστικά κομμάτια, η πιθανότητα σχεδιαστικών λαθών μικραίνει, χωρίς όμως αυτοί οι 2 παράγοντες να θεωρούνται αμελητέοι. Το κυριότερο μειονέκτημα της μεθόδου Standard cell αποτελεί το γεγονός ότι ξεφεύγει πλέον από τα χέρια του σχεδιαστή η δυνατότητα καθορισμού των ηλεκτρικών χαρακτηριστικών των στοιχειωδών σχεδιαστικών κομματιών, με αποτέλεσμα τόσο οι μέγιστες ταχύτητες, όσο και το ελάχιστο εμβαδόν και η ελάχιστη κατανάλωση ισχύος που μπορεί να επιτευχθεί να μη μπορούν να καθοριστούν άμεσα από αυτόν.

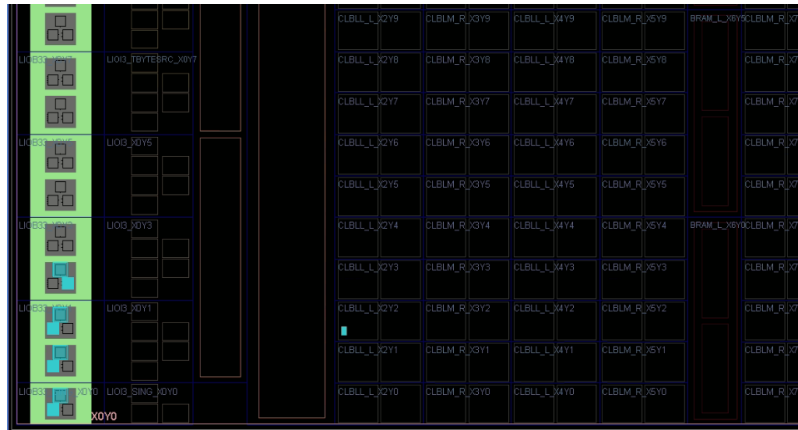
Ένας σχεδιασμός από έτοιμα σχεδιαστικά κομμάτια Standard Cell μπορεί να υλοποιηθεί σαν ολοκληρωμένο με διάφορους τρόπους. Οι τρόποι αυτοί στην ουσία καθορίζουν και το κόστος κατασκευής του ολοκληρωμένου. Παρακάτω αναφέρονται μερικοί από τους πλέον διαδεδομένους :

Ο πρώτος τρόπος είναι η υλοποίηση σαν σχεδιασμός από έτοιμα σχεδιαστικά κομμάτια (Standard-cell implementation). Η υλοποίηση αυτή συνήθως χρησιμοποιεί την πλέον πρόσφατη τεχνολογία και απαιτεί την χρησιμοποίηση ενός πολύ μεγάλου αριθμού

μασκών οι οποίες προκύπτουν από φωτολιθογραφικές μεθόδους. Με αυτό τον τρόπο μπορούμε να εκμεταλλευτούμε πλήρως τις δυνατότητες της κάθε τεχνολογίας, να επιτύχουμε τη μέγιστη ταχύτητα, αλλά ταυτόχρονα θα πρέπει να είμαστε προετοιμασμένοι να πληρώσουμε υψηλό τίμημα. Υπολογίζεται ότι το πρώτο ολοκληρωμένο σε αυτό το τρόπο υλοποίησης μπορεί να κοστίσει \$200.000 και κάθε επόμενο σημαντικά λιγότερο. Αυτό προκύπτει από το μεγάλο κόστος κατασκευής των μασκών και συνεπώς αυτός ο τρόπος υλοποίησης είναι ελκυστικός μόνο όταν ο αριθμός των ολοκληρωμένων που θα κατασκευαστεί είναι τουλάχιστον 20.000. Επίσης ο χρόνος παράδοσης θα πρέπει να υπολογίζεται σε 1,5 έως 2 μήνες.

Ο δεύτερος τρόπος είναι η απεικόνιση σε πίνακα πυλών όπως Gate Array, Sea of Gates. Αντί να φτιάχνονται όλες οι μάσκες από την αρχή για το ολοκληρωμένο που σχεδιάσαμε, υπάρχουν ολοκληρωμένα στα οποία ήδη έχει υλοποιηθεί ένας πίνακας από τρανζίστορ. Αυτά τα ολοκληρωμένα έχουν κατασκευαστεί σε εξαιρετικά μεγάλες ποσότητες και συνεπώς το κόστος τους είναι πολύ χαμηλό. Ο σχεδιασμός μας εκφράζεται σαν τη διασύνδεση αυτών των υπάρχοντων τρανζίστορ, ενώ κάποια τρανζίστορ μπορεί να μείνουν και αχρησιμοποίητα. Συνήθως ένα ποσοστό χρήσης των υπάρχοντων τρανζίστορ της τάξης του 70-80% είναι εξαιρετικό αν μπορεί να επιτευχθεί. Με αυτό το τρόπο υλοποίησης απαιτούνται να κατασκευαστούν μάσκες μόνο για τη διασύνδεση, γεγονός που περιορίζει σημαντικά το κόστος αλλά και το χρόνο κατασκευής του ολοκληρωμένου (1 έως 2 εβδομάδες). Η απόδοση του τελικού προϊόντος μπορεί να είναι αρκετά καλή, αλλά προφανώς χειρότερη από αυτήν του προηγούμενου τρόπου υλοποίησης. Αυτός ο τρόπος κατασκευής είναι ελκυστικός όταν ο αριθμός των ολοκληρωμένων που θα κατασκευαστεί κυμαίνεται μεταξύ 1.000 έως 25.000.

Ο τρίτος τρόπος είναι η απεικόνιση σε προγραμματιζόμενο πίνακα πυλών όπως LPGA, FPGA. Αυτός ο τρόπος κατασκευής είναι εξέλιξη του προηγούμενου και έχει σκοπό τη περαιτέρω μείωση του χρόνου και του κόστους κατασκευής. Βασίζεται σε ολοκληρωμένα που πέρα από τρανζίστορ, περιέχουν και προ-υλοποιημένο πίνακα πιθανών διασυνδέσεων μεταξύ τους. Ο σχεδιασμός μας εκφράζεται με τη χρήση κάποιων από αυτά τα τρανζίστορ και κάποιων από τις πιθανές διασυνδέσεις ή με άλλα λόγια με την απεικόνιση του στοχευόμενου σχεδιασμού πάνω στους υλοποιημένους πίνακες. Η απεικόνιση αυτή στην περίπτωση των LPGA (Laser Programmable Gate Arrays) γίνεται με τη χρήση laser, γεγονός που μεταφράζεται σε χρόνο υλοποίησης λιγότερο της μίας εβδομάδας. Στην περίπτωση των FPGA (Field Programmable Gate Arrays) η στοχευόμενη απεικόνιση μπορεί να διαβαστεί από μια εξωτερική μνήμη και συνεπώς ο χρόνος υλοποίησης στην ουσία καταλήγει στον προγραμματισμό αυτής της μνήμης, δηλαδή είναι της τάξης των μερικών λεπτών και μπορεί να γίνει από τον ίδιο το σχεδιαστή.



Σχήμα 4.2 : Αριστερά Τα Standard Cells του Προγράμματος που Δημιουργήσαμε

Ένα standard cell αποτελείται από ένα σύνολο transistor και διασυνδεδεμένων δομών το οποίο παρέχει μια boolean λογική συνάρτηση όπως AND, OR , XOR ή μια συνάρτηση αποθήκευσης όπως το flip-flop. Τα πιο απλά cells είναι ακριβείς αναπαραστάσεις των στοιχειωδών boolean συναρτήσεων όπως AND, OR ενώ παράλληλα χρησιμοποιούνται και πιο πολύπλοκα cells όπως ένας πλήρης αθροιστής. Η λογική συνάρτηση κάθε cell ονομάζεται λογική αναπαράσταση, όπου η λειτουργική συμπεριφορά περιγράφεται από ένα πίνακα αλήθειας ή από μια εξίσωση Boolean, όσον αφορά συνδυαστική λογική, ή από ένα πίνακα μετάβασης καταστάσεων, όσον αφορά ακολουθιακή λογική.

Το αρχικό σχέδιο ενός standard cell αναπτύσσεται σε επίπεδο transistor, αποτελεί τη μορφή netlist του transistor. Η μορφή netlist αποτελεί μια περιγραφή των transistors, που συμπεριλαμβάνονται στο σχέδιο, των συνδέσεων μεταξύ τους καθώς και των συνδέσεων τους με το εξωτερικό περιβάλλον. Οι σχεδιαστές χρησιμοποιούν προγράμματα CAD (Computer Aided Design) για να προσομοιώσουν την ηλεκτρονική συμπεριφορά της μορφής netlist του αρχικού σχεδίου, δηλώνοντας διαφορές παραμέτρους εισαγωγής όπως η τάση, και υπολογίζοντας την απόκριση του κυκλώματος. Αφού και η λογική αναπαράσταση και η μορφή netlist είναι απαραίτητες μονό για προσομοίωση σε αφαιρετικό επίπεδο , πρέπει να σχεδιαστεί και η φυσική αναπαράσταση του standard cell. Η αναπαράσταση αυτή ονομάζεται layout view και αποτελεί το χαμηλότερο επίπεδο αφαιρετικού σχεδιασμού στη γενικότερη τακτική σχεδιασμού. Από κατασκευαστική άποψη , η μορφή layout αποτελεί τη πιο σημαντική αναπαράσταση του cell ,αφού μοιάζει αρκετά με ένα ακριβές αποτύπωμα σχεδιάγραμμα του standard cell. Είναι οργανωμένο σε επίπεδα μετάλλων, τα οποία χρησιμοποιούνται για την κατάλληλη σύνδεση των transistors, ώστε αυτά να ικανοποιούν την αντίστοιχη λογική αναπαράσταση.

Για κάθε τυπική λογική συνάρτηση, όπως για παράδειγμα μία πύλη NAND, μπορεί να υπάρξουν πολλές διαφορετικές μορφές netlist. Οι υλοποιήσεις αυτές είναι λειτουργικά ισοδύναμες. Επιπλέον, για κάθε μορφή netlist, μπορεί να υπάρξουν πολλά διαφορετικά layouts, τα οποία συμβαδίζουν με τις παραμέτρους απόδοσης της netlist. Πρόκληση και απώτερο στόχο για κάθε σχεδιαστή αποτελεί η ελαχιστοποίηση του κόστους κατασκευής του layout, λαμβάνοντας υπόψη τις διάφορες απαιτήσεις, σχετικές με την ταχύτητα και την απόδοση ισχύος του cell. Συνεπώς, η παράγωση του layout σε ένα ολοκληρωμένο κύκλωμα αποτελεί μια αρκετά επίπονη διαδικασία, παρόλο που υπάρχουν αρκετά

εργαλεία σχεδιασμού, προορισμένα και κατασκευασμένα για το σκοπό αυτό. Τα επιμέρους στοιχεία ενός standard cell έχουν συνήθως όλα ένα σταθερό ύψος, το οποίο επιτρέπει στα cells να μπορούν να τοποθετηθούν το ένα δίπλα στο άλλο, ώστε να επιτυγχάνεται η μεταξύ τους διασύνδεση στα πλαίσια ενός περισσότερου πολύπλοκου κυκλώματος. Συνεπώς, η έκταση του standard cell στο chip συνίσταται από ένα μεγάλο αριθμό cells τοποθετημένα στη σειρά με τη τροφοδοσία και τη γείωση συνδεδεμένες στο πάνω και στο κάτω μέρος του συνολικού χώρου αντίστοιχα. Η τοποθέτηση και διασύνδεση ανάμεσα στα επιμέρους στοιχεία ενός standard cell γίνεται από ειδικά εργαλεία τοποθέτησης και δρομολόγησης και εξαρτάται από τη λογική του κυκλώματος που θα υλοποιηθεί.

#### **4.2 Βιβλιοθήκη από standard cell**

Μια βιβλιοθήκη από standard cells στην ουσία είναι μια συλλογή από πολλά διαφορετικά standard cells. Τυπικές βιβλιοθήκες περιέχουν αρκετές εκατοντάδες στοιχεία-cells. Η βιβλιοθήκη συνήθως περιέχει πολλαπλές υλοποιήσεις της ίδιας λογικής συνάρτησης, οι οποίες διαφέρουν σε ικανότητα οδήγησης, σε ταχύτητα και κατά συνέπεια στο χώρο που καταλαμβάνουν - εμβαδό. Η διαφορετική ικανότητα οδήγησης είναι ένα χαρακτηριστικό, το οποίο προσθέτει ευελιξία στη βιβλιοθήκη. Εκείνα τα cells, τα οποία έχουν μεγαλύτερη ικανότητα οδήγησης, εμφανίζουν μεγαλύτερη κατανάλωση ισχύος, αλλά χρησιμοποιούνται κυρίως για να βελτιώνουν τη ταχύτητα του κυκλώματος ή για να οδηγήσουν μεγαλύτερο φορτίο.

Βιβλιοθήκες από standard cells μπορούν να βελτιστοποιηθούν με βάση κάποιες παραμέτρους απόδοσης, όπως τη πυκνότητα, τη ταχύτητα, τη τάση. Για παράδειγμα, η κατανάλωση ισχύος αποτελεί ένα σημαντικό παράγοντα στο σχεδιασμό κυκλωμάτων. Μια συγκεκριμένη βιβλιοθήκη μπορεί να χρησιμοποιηθεί με σκοπό την ελαχιστοποίηση της κατανάλωσης ισχύος, σε βάρος, όμως, της ταχύτητας. Για αυτό το λόγο, συγκρίνοντας όλες τις βιβλιοθήκες που χρησιμοποιούνται στο σχεδιασμό ολοκληρωμένων κυκλωμάτων, οι κατασκευαστές μπορούν να αποφασίσουν για το επίπεδο εκβάθυνσης και να επιτρέψουν στους σχεδιαστές να αναδείξουν τα προϊόντα που έχουν κατασκευάσει, στα πλαίσια του ανταγωνισμού.

Η υλοποίηση των standard cells για μικρές κυκλωματικές σχεδιάσεις έχει σημαντικό κόστος και γι' αυτόν το λόγο βρίσκει εφαρμογή σε μεγάλα κυκλώματα όπου ο αριθμός των cells ξεπερνάει τα χίλια.



## ΚΕΦΑΛΑΙΟ 5

### Η ΜΕΘΟΔΟΣ ΤΟΥ LOGICAL EFFORT

#### 5.1 Η Μέθοδος του Logical Effort

Η μέθοδος της λογικής προσπάθειας (logical effort) είναι μια άμεση τεχνική που χρησιμοποιείται για την εκτίμηση της καθυστέρησης σε ένα κύκλωμα CMOS. Η κυκλωματική τοπολογία καθώς και η ανάθεση μεγεθών στις πύλες είναι οι κύριοι τομείς στους οποίους γίνεται χρήση της μεθόδου. Η μέθοδος στηρίζεται πάνω σε ένα απλό μοντέλο για την καθυστέρηση διαμέσου μιας λογικής πύλης MOS. Το μοντέλο περιγράφει τις καθυστερήσεις που προκαλούνται από τη χωρητικότητα φορτίου που η πύλη οδηγεί, καθώς και από την τοπολογία της ίδιας της πύλης. Η μοντελοποίηση αυτή της καθυστέρησης έχει πολλές εφαρμογές στη σχεδίαση ολοκληρωμένων κυκλωμάτων.

Η μέθοδος της λογικής προσπάθειας (logical effort) δείχνει πώς απαιτούνται τα στάδια της λογικής για τη γρηγορότερη εφαρμογή οποιασδήποτε δεδομένης λογικής λειτουργίας. Η προσπάθεια υπολογισμού μιας λογικής συνάρτησης απαιτεί στάδια ενίσχυσης ακριβώς ίδια με την προσπάθεια οδήγησης μεγάλων χωρητικών φορτίων. Η μέθοδος αποκαλύπτει τα κατάλληλα μεγέθη τρανζίστορ σε κάθε στάδιο για να πραγματοποιήσει την ταχύτερη συνολική λειτουργία. Παρέχει επίσης έναν οδηγό που μπορεί να εφαρμοστεί στα πρώτα στάδια σχεδιασμού για να επιλέξει ανάμεσα σε μεγάλες εναλλακτικές δομές χωρίς εκτεταμένες εργασίες προσομοίωσης.

Η μέθοδος αυτή παρέχει μία λογική προσπάθεια (logical effort) σε κάθε λογική συνάρτηση. Η λογική προσπάθεια (logical effort) ενός αντιστροφέα θεωρείται ότι είναι μία. Ενώ, για οποιαδήποτε άλλη λογική συνάρτηση περιγράφει πόσο χειρότερο είναι από έναν αντιστροφέα στην παραγωγή ρεύματος εξόδου, με βάση την ισοδύναμη ποσότητα χωρητικότητα εισόδου. Η λογική προσπάθεια μιας λογικής συνάρτησης εξαρτάται κυρίως από την τοπολογία του κυκλώματος και ελαφρώς από τις ηλεκτρικές ιδιότητες της διαδικασίας κατασκευής που χρησιμοποιείται για την δημιουργία της. Στο CMOS η λογική προσπάθεια κάθε εισόδου δύο λειτουργιών λογικής εισόδου κυμαίνεται από περίπου 4/3 για το NAND έως 4 για XOR. Η λογική προσπάθεια των λειτουργιών με περισσότερες από δύο εισόδους είναι γενικά υψηλότερη.

Οι λογικές προσπάθειες (logical effort) για μεμονωμένα στάδια λογικής μπορούν να συνδυαστούν για να βρουν τη λογική προσπάθεια των δικτύων. Όπου διάφορα στάδια της λογικής οδηγούν το ένα το άλλο σε μια σειρά, η συνολική προσπάθεια περιλαμβάνει το προϊόν των ατομικών προσπαθειών τους. Όταν πολλές λογικές συσκευές οδηγούνται από μια κοινή πηγή, η συνολική προσπάθεια περιλαμβάνει το άθροισμα των οδηγούμενων συσκευών. Τα σύνθετα κυκλώματα με μικρότερη συνολική λογική προσπάθεια μπορούν να γίνουν ταχύτερα από τα λογικά ισοδύναμα κυκλώματα με μεγαλύτερη λογική προσπάθεια.

## 5.2 Το Μοντέλο Καθυστέρησης

Η καθυστέρηση της κάθε πύλης εκφράζεται σε σχέση με μια βασική μονάδα καθυστέρησης, την  $\tau = 3RC$ , η οποία είναι η καθυστέρηση ενός αντιστροφέα που οδηγεί έναν ακριβώς ίδιο αντιστροφέα χωρίς καθόλου παρασιτική χωρητικότητα. Η απόλυτη καθυστέρηση ορίζεται απλά ως το γινόμενο της καθυστέρησης της πύλης  $d$  και του  $\tau$ .

$$d_{abs} = d_{\tau}$$

[5.1]

Επομένως, η μονάδα καθυστέρησης μετράται σε σχέση με το  $\tau$ . Στην τυπική τεχνολογία των 0.6μm το  $\tau$  είναι περίπου ίσο με 50 ps. Στις σύγχρονες διαδικασίες 0.05μm η καθυστέρηση είναι περίπου 4 έως 5 ps. Για να υπολογίσουμε την καθυστέρηση  $d$  μιας πύλης, εκμεταλλευόμαστε το ότι μπορεί αυτή να εκφραστεί ως το άθροισμα δύο βασικών όρων: της παρασιτικής καθυστέρησης (parasitic delay)  $p$ , που είναι εγγενής καθυστέρηση της πύλης και μπορεί να βρεθεί λαμβάνοντας υπόψη την πύλη χωρίς οδήγηση φορτίου και της προσπάθειας βαθμίδας (stage effort)  $f$ , το οποίο εξαρτάται από το φορτίο. Επομένως,

$$d = f + p$$

[5.2]

Η καθυστέρηση προσπάθειας (effort delay) εξαρτάται εν μέρει από το φορτίο και εν μέρει από τις ιδιότητες της λογικής πύλης που οδηγεί το φορτίο. Όμως, η προσπάθεια βαθμίδας (stage effort) μπορεί να διασπαστεί περαιτέρω στο γινόμενο δύο άλλων όρων: στη λογική προσπάθεια (logical effort)  $g$ , το οποίο περιγράφει τις εγγενείς ιδιότητες της κάθε πύλης, και στην ηλεκτρική προσπάθεια (electrical effort)  $h$ , η οποία περιγράφει το φορτίο. Η προσπάθεια βαθμίδας (stage effort) επομένως θα είναι:

$$f = gh$$

[5.3]

Ενώ η ηλεκτρική προσπάθεια (electrical effort) μπορεί να υπολογιστεί από την εξής εξίσωση :

$$h = \frac{C_{out}}{C_{in}}$$

[5.4]

όπου το  $C_{in}$  είναι η χωρητικότητα εισόδου της λογικής πύλης, και το  $C_{out}$  είναι η χωρητικότητα του εξωτερικού φορτίου που οδηγείται από την λογική πύλη.

Η λογική προσπάθεια (logical effort) αποτυπώνει την επίδραση της τοπολογίας της λογικής πύλης στην ικανότητά της να παράγει ρεύμα εξόδου. Είναι ανεξάρτητη από το μέγεθος των τρανζίστορ στο κύκλωμα. Από την άλλη, η ηλεκτρική προσπάθεια (electrical effort) περιγράφει πώς το ηλεκτρικό περιβάλλον της λογικής πύλης επηρεάζει την απόδοση και πώς το μέγεθος των τρανζίστορ στην πύλη καθορίζει την ικανότητα οδήγησης φορτίου.

Συνδυάζοντας τις εξισώσεις [5.2] και [5.3] που αναλύσαμε παραπάνω προκύπτει η βασική εξίσωση για την καθυστέρηση μιας λογικής πύλης σε μονάδες του  $\tau$ . Αυτή η εξίσωση λοιπόν είναι η εξής :

$$d = gh + p$$

[5.5]

Μέσα από αυτή την εξίσωση καταλαβαίνουμε ότι η λογική προσπάθεια (logical effort) και η ηλεκτρική προσπάθεια (electrical effort) συμβάλλουν το ίδιο στην καθυστέρηση.

Η τιμή της λογικής προσπάθειας (logical effort) μίας πύλης, μας δείχνει πως δεν μπορεί να παράγει σωστά ρεύμα εξόδου σε σχέση με έναν αντιστροφέα, δεδομένου ότι κάθε μια από τις εισόδους της παρουσιάζει την ίδια χωρητικότητα εισόδου με αυτή του αντιστροφέα. Για τις πιο ευρέως χρησιμοποιούμενες πύλες, οι τιμές της λογικής προσπάθειας (logical effort) εξάγονται από πολύ απλούς τύπους οι οποίοι για κάθε είδος πύλης εξαρτώνται μόνο από τον αριθμό των εισόδων της. Για παράδειγμα, για μια πύλη NAND n-εισόδων, η τιμή της λογικής προσπάθειας (logical effort) θα είναι  $(n+2)/3$ . Ο Πίνακας 5.1 μας δίνει τις τιμές της λογικής προσπάθειας (logical effort) για τους αντιστροφείς, τις πύλες NAND, τις πύλες NOR, τους πολυπλέκτες και τις πύλες XOR.

Πύλη	Αριθμός Εισόδων					
	1	2	3	4	5	n
inverter	1					
NAND		4/3	5/3	6/3	7/3	$(n + 2)/3$
NOR		5/3	7/3	9/3	11/3	$(2n + 1)/3$
multiplexer		2	2	2	2	2
Muller C		2	3	4	5	n



XOR		4	6-12	16-32		
majority			4			

Πίνακας 5.1 : Logical Effort για Εισόδους Στατικών Πυλών CMOS

Για να υπολογίσουμε την τιμή της καθυστέρησης μιας πύλης και κατά συνέπεια ενός μονοπατιού, πλέον απομένει να γνωρίζουμε για κάθε πύλη την τιμή της παρασιτικής καθυστέρησης (parasitic delay). Αυτό που απλοποιεί τη διαδικασία, είναι ότι η παρασιτική καθυστέρηση (parasitic delay) είναι σταθερή για κάθε πύλη, όπως είναι και η λογική προσπάθεια (logical effort) της κάθε πύλης, ανεξαρτήτως του πλάτους των τρανζίστορ που αυτή περιέχει. Εξαρτάται αποκλειστικά από τη λογική συνάρτηση που υλοποιεί η πύλη. Επειδή η παρασιτική καθυστέρηση (parasitic delay) προστίθεται σαν σταθερό στην συνολική καθυστέρηση της πύλης και άρα και του κάθε μονοπατιού, για δεδομένο κύκλωμα, ο μόνος τρόπος να μειώσουμε την καθυστέρηση του κρίσιμου μονοπατιού, δηλαδή το μονοπατιού του κυκλώματος με τη μεγαλύτερη καθυστέρηση, μέσω της μείωσης της παρασιτικής καθυστέρησης (parasitic delay) θα ήταν να αλλάξουμε την τοπολογία του κυκλώματος χρησιμοποιώντας πύλες με μικρότερη παρασιτική καθυστέρηση (parasitic delay), αλλά διατηρώντας τη συνάρτηση που υλοποιεί το κύκλωμα σταθερή, δηλαδή μέσω μιας ισοδύναμης τοπολογίας με μικρότερη συνολική παρασιτική καθυστέρηση (parasitic delay).

Εμείς θα θεωρήσουμε πως η τοπολογία του κυκλώματος που παραλαμβάνουμε είναι η βέλτιστη οπότε δεν θα ασχοληθούμε με αλλαγές τοπολογίας. Παρ' όλ' αυτά, θα χρησιμοποιήσουμε στους υπολογισμούς των καθυστερήσεων και την παρασιτική καθυστέρηση (parasitic delay), διότι εκτός του ότι αυτή μας δίνει μια εικόνα για την πραγματική καθυστέρηση ενός μονοπατιού σε πραγματικό χρόνο και όχι σχετικό, η παρασιτική καθυστέρηση (parasitic delay) είναι απαραίτητη στο να είμαστε βέβαιοι για το ποιο είναι το πραγματικό κρίσιμο μονοπάτι. Ο Πίνακας 5.2 που ακολουθεί, μας δίνει τις παρασιτικές καθυστερήσεις (parasitic delay) του αντιστροφέα, του πολυπλέκτη και των πυλών NAND, NOR, XOR, XNOR. Όλες δίνονται ως πολλαπλάσια της παρασιτικής καθυστέρησης (parasitic delay) του αντιστροφέα  $p_{inv}$  (μια τυπική τιμή για το  $p_{inv}$  είναι 0,6 μονάδες καθυστέρησης), η οποία εξαρτάται από την τεχνολογία που χρησιμοποιείται.

Πύλη	Παρασιτική Καθυστέρηση
Αντιστροφέας	$p_{inv}$
Πύλη NAND n-εισόδων	$n p_{inv}$
Πύλη NOR n-εισόδων	$n p_{inv}$
Πολυπλέκτης n-διαδρομών	$2n p_{inv}$
Muller C n-εισόδων	$2n p_{inv}$
XOR, XNOR	$4 p_{inv}$
3-εισόδων majority	$6 p_{inv}$

Πίνακας 5.2 : Εκτιμήσεις Παρασιτικής Καθυστέρησης για Διάφορους Τύπους Πυλών

Έτσι, με δεδομένο ένα κύκλωμα, μπορούμε πια να υπολογίσουμε την καθυστέρηση της κάθε πύλης του, και άρα αθροίζοντας αυτές τις καθυστερήσεις των πυλών ενός μονοπατιού, μπορούμε να εξάγουμε την συνολική καθυστέρησή του. Με λίγα λόγια, μέσα από μεθόδους εύρεσης του πιο κρίσιμου μονοπατιού, μπορούμε να επικεντρώσουμε την

προσοχή μας στη μείωση της καθυστέρησης σε αυτό το συγκεκριμένο κρίσιμο μονοπάτι, αυξάνοντας έτσι την συχνότητα λειτουργίας ολόκληρου του κυκλώματος.

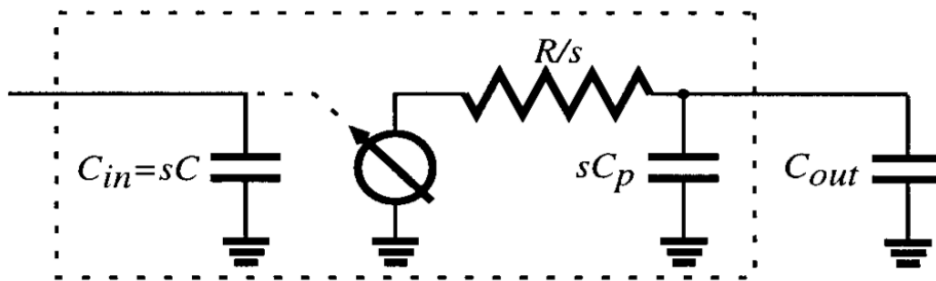
### 5.3 Εξαγωγή του Μοντέλο Καθυστέρησης

Το μοντέλο καθυστέρησης στην Εξίσωση 5.5 προέρχεται από ένα απλό μοντέλο RC μιας λογικής πύλης, που φαίνεται σχηματικά στο Σχήμα 5.1 πιο κάτω. Η καθυστέρηση  $d$  είναι ανάλογη με την καθυστέρηση RC της αντίστασης pull-up ή pull-down που φορτίζει τη χωρητικότητα φορτίου  $C_{out}$  και την χωρητικότητα αδέσποτου  $C_p$ :

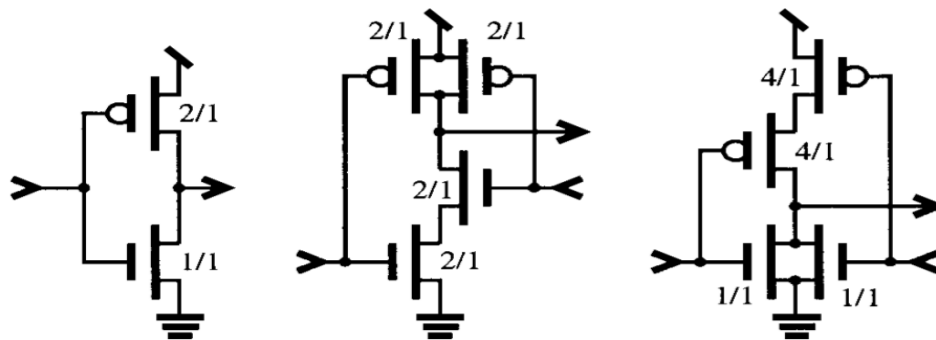
$$d \propto \frac{R}{s} (s C_p + C_{out}) \quad [5.6]$$

Τα τρανζίστορ στο κύκλωμα θεωρείται ότι έχουν ελάχιστο μήκος και πλάτος ανάλογο με τη συνολική κλίμακα, της λογικής πύλης. Έτσι, η χωρητικότητα εισόδου και αδέσμευτης αυξάνεται με το  $s$ , ενώ οι αντιστάσεις μειώνονται. Τοποθετώντας τους  $R_{inv}$  και  $C_{inv}$ , στην Εξίσωση 5.6 εμφανίζονται οι παράμετροι ενός αντιστροφέα αναφοράς:

$$d \propto \left( \frac{RC}{R_{inv} C_{inv}} \right) \left( \frac{C_{out}}{C_{in}} \right) + \frac{RC_p}{R_{inv} C_{inv}} = gh + p \quad [5.7]$$



Σχήμα 5.1 : Ισοδύναμο Κύκλωμα Λογικής Πύλης σε Κλίμακα  $s$



Σχήμα 5.2 : Σχέδια ενός Αντιστροφέα, μίας Πύλης NAND και μίας Πύλης NOR με Όμοια Χαρακτηριστικά Κίνησης

#### 5.4 Η Μέθοδος Βελτιστοποίησης Μονοπατιού

Η μέθοδος της λογικής προσπάθειας (logical effort) αποκαλύπτει τον βέλτιστο αριθμό επιπέδων για ένα πολυεπίπεδο δίκτυο και πώς να αποκομίσουμε την ελάχιστη συνολική καθυστέρηση ζυγίζοντας την καθυστέρηση μεταξύ των επιπέδων. Οι έννοιες της λογικής προσπάθειας (logical effort) γενικεύονται εύκολα από ξεχωριστές πύλες σε πολυεπίπεδα μονοπάτια. Η λογική προσπάθεια (logical effort) ενός μονοπατιού σχηματίζεται πολλαπλασιάζοντας τα logical efforts όλων των πυλών κατά μήκος του μονοπατιού. Χρησιμοποιούμε το κεφαλαίο σύμβολο  $G$  για να δηλώσουμε τη λογική προσπάθεια (logical effort) ενός μονοπατιού, ώστε να το ξεχωρίζουμε από το  $g$ , τη λογική προσπάθεια (logical effort) μιας πύλης μέσα στο μονοπάτι. Έτσι έχουμε:

$$G = \prod g_i$$

[5.8]

Η ηλεκτρική προσπάθεια (electrical effort) για ένα μονοπάτι θα είναι ο λόγος των χωρητικότητων εξόδου προς την χωρητικότητα εισόδου του μονοπατιού, δηλαδή η χωρητικότητα εξόδου της τελευταίας πύλης του μονοπατιού προς την χωρητικότητα εισόδου της πρώτης πύλης. Χρησιμοποιούμε το σύμβολο  $H$ . Έτσι θα έχουμε:

$$H = \frac{C_{out}}{C_{in}}$$

[5.9]

Τώρα πρέπει να εισάγουμε μια καινούρια έννοια που ονομάζεται branching effort ή προσπάθεια διακλάδωσης, για να είμαστε σε θέση να εκτιμήσουμε το βαθμό διακλάδωσης της εξόδου μιας πύλης σε εισόδους άλλων πυλών. Μέχρι τώρα χρησιμοποιούσαμε την έννοια της ηλεκτρικής προσπάθειας (electrical effort) για το σκοπό αυτό, όμως σε επίπεδο μονοπατιού δεν αρκεί να χρησιμοποιήσουμε τη μεταβλητή  $H$  στη θέση της ηλεκτρικής προσπάθειας (electrical effort) διότι σε κάθε επίπεδο, ένα μέρος μεν του διαθέσιμου ρεύματος οδήγησης κατευθύνεται κατά μήκος του μονοπατιού, όμως το υπόλοιπο κατευθύνεται εκτός αυτού λόγω των διακλαδώσεων. Ορίζουμε τη προσπάθεια διακλάδωσης (branching effort)  $b$  στην έξοδο μιας λογικής πύλης ως:

$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}} = \frac{C_{total}}{C_{useful}} \quad [5.10]$$

Δηλαδή το ορίζουμε ως τον λόγο της χωρητικότητας εξόδου προς την χωρητικότητα της προπορευόμενης πύλης στο μονοπάτι. Με άλλα λόγια, ως τον λόγο της συνολικής χωρητικότητας εντός και εκτός μονοπατιού, προς την χωρητικότητα εντός του μονοπατιού. Σε επίπεδο μονοπατιού τώρα, η προσπάθεια διακλάδωσης (branching effort) θα είναι το γινόμενο όλων των προσπαθειών διακλάδωσης (branching effort) κάθε επιπέδου στο μονοπάτι:

$$B = \prod b_i \quad [5.11]$$

Τώρα είμαστε έτοιμοι να εξάγουμε μια νέα έννοια που αφορά σε ένα μονοπάτι, που είναι απόρροια των εννοιών που εισάγαμε μέχρι τώρα. Αυτή είναι το path effort ή προσπάθεια μονοπατιού,  $F$ . Είναι το ανάλογο της προσπάθειας βαθμίδας (stage effort),  $f$  μιας πύλης, σε επίπεδο μονοπατιού. Προκύπτει από το γινόμενο των logical, branching και electrical effort του μονοπατιού:

$$F = GBH \quad [5.12]$$

Παρότι η προσπάθεια μονοπατιού (path effort) δεν είναι ένα άμεσο μέτρο της καθυστέρησης του μονοπατιού, ωστόσο σε αυτό βρίσκεται το κλειδί για την ελαχιστοποίηση της καθυστέρησης του. Η καθυστέρηση του μονοπατιού,  $D$  είναι το άθροισμα των καθυστερήσεων σε κάθε επίπεδο λογικής στο μονοπάτι. Όπως και στην έκφραση της καθυστέρησης μίας μόνο πύλης, έτσι και σε επίπεδο μονοπατιού, θα διαχωρίσουμε την καθυστέρηση προσπάθειας (effort delay) του μονοπατιού,  $D_F$  από την παρασιτική καθυστέρηση (parasitic delay) του μονοπατιού,  $P$ :

$$D = \sum d_i = D_F + P \quad [5.13]$$

$$D_F = \sum g_i h_i \quad [5.14]$$

$$P = \sum P_i \quad [5.15]$$

Όπως βλέπουμε, για να μπορέσουμε να ελαχιστοποιήσουμε την καθυστέρηση ενός μονοπατιού  $N$  επιπέδων, το μόνο που μπορούμε να κάνουμε είναι να μειώσουμε την  $D_F$  καθώς η παρασιτική καθυστέρηση (parasitic delay) για δεδομένο τύπο πυλών παραμένει σταθερή. Η ελαχιστοποίηση αυτή θα στηριχθεί σε μια αρχή την οποία θα δεχτούμε χωρίς απόδειξη. Η καθυστέρηση ενός μονοπατιού είναι ελάχιστη, όταν κάθε επίπεδο του μονοπατιού έχει την ίδια προσπάθεια βαθμίδας (stage effort). Επίσης, αυτή η ελάχιστη καθυστέρηση επιτυγχάνεται όταν η προσπάθεια βαθμίδας (stage effort) είναι ίσο με :

$$\hat{f} = g_i h_i = F^{1/N} \quad [5.16]$$

όπου  $F$  είναι η προσπάθεια μονοπατιού (path effort) του μονοπατιού. Συνδυάζοντας τις παραπάνω εξισώσεις έχουμε στη διάθεσή μας το κυρίαρχο αποτέλεσμα της μεθόδου της λογικής προσπάθειας (logical effort), το οποίο είναι μια έκφραση για την ελάχιστη καθυστέρηση που μπορεί να επιτευχθεί κατά μήκος ενός μονοπατιού:

$$\hat{D} = NF^{1/N} + P \quad [5.17]$$

Τώρα μένει να δούμε πως θα εφαρμόσουμε την παραπάνω αρχή, ώστε να έχουμε ελάχιστη καθυστέρηση στο μονοπάτι. Για να κάνουμε ίση τη προσπάθεια βαθμίδας (stage effort) σε κάθε επίπεδο του μονοπατιού πρέπει να επιλέξουμε κατάλληλα μεγέθη για τα τρανζίστορ σε κάθε επίπεδο λογικής κατά μήκος του μονοπατιού. Από την παραπάνω εξίσωση η οποία μας έδωσε τη προσπάθεια βαθμίδας (stage effort) που αντιστοιχεί στην ελάχιστη καθυστέρηση, λύνοντας ως προς την ηλεκτρική προσπάθεια (electrical effort) έχουμε την εξίσωση:

$$\hat{h}_i = \frac{F^{1/N}}{g_i}$$

[5.18]

Από αυτή τη σχέση, μπορούμε να καθορίσουμε τα μεγέθη των τρανζίστορ κατά μήκος του μονοπατιού. Αρχίζοντας από το τέλος του και προχωρώντας προς τα πίσω κατά μήκος του μονοπατιού, εφαρμόζουμε τον παρακάτω μετασχηματισμό χωρητικότητας:

$$C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$

[5.19]

Ένας περιορισμός που πρέπει να ισχύει μετά την εφαρμογή της ελαχιστοποίησης είναι ότι το  $C_{in}$  του μονοπατιού, δηλαδή η χωρητικότητα εισόδου της πρώτης πύλης του μονοπατιού πρέπει να είναι η ίδια με αυτήν πριν να γίνει η εφαρμογή. Αυτό είναι σημαντικό, διότι ένα δίκτυο λογικής χαρακτηρίζεται από έναν αριθμό προδιαγραφών στις οποίες ανήκουν και οι χωρητικότητες των κόμβων εισόδου, άρα πρέπει να παραμένουν σταθερές μετά την εφαρμογή οποιουδήποτε αλγορίθμου βελτιστοποίησης. Για να ισχύει λοιπόν αυτός ο περιορισμός αποδεικνύεται πως πρέπει κατά τη διάρκεια της εφαρμογής του μετασχηματισμού βελτιστοποίησης να παραμένουν οι προσπάθειες διακλάδωσης (branching efforts) κάθε πύλης που ανήκει στο μονοπάτι σταθερές. Αυτό συνεπάγεται, πως η αλλαγή του  $C_{in}$  σε μια πύλη του μονοπατιού, συνεπάγεται και την κατά τον ίδιο παράγοντα αλλαγή της χωρητικότητας εισόδου όλων των πυλών που βρίσκονται στην ίδια διακλάδωση με την πύλη αυτή.

## 5.5 Επιλογή του μήκους μιας διαδρομής

Παρόλο που η εξίσωση της προσπάθειας που καταβάλλεται από κάθε στάδιο σε μια διαδρομή ελαχιστοποιεί την καθυστέρηση για μια δεδομένη διαδρομή, η καθυστέρηση μερικές φορές μπορεί να μειωθεί περαιτέρω προσαρμόζοντας τον αριθμό των σταδίων στη διαδρομή. Αυτή η βελτιστοποίηση είναι επίσης ένα απλό αποτέλεσμα του μοντέλου καθυστέρησης.

Εξετάστε μια διαδρομή με λογικές πύλες που περιέχουν στάδια  $n_1$ , στην οποία προσαρτάμε  $n_2$  επιπλέον αντιστροφείς για να αποκτήσετε μια διαδρομή με συνολικά στάδια  $N = n_1 + n_2$ . Θα υποθέσουμε ότι τα αρχικά στάδια  $n_1$  δεν μπορούν να τροποποιηθούν παρά μόνο με κλιμάκωση επειδή εκτελούν τις απαραίτητες λογικές λειτουργίες, ενώ ο αριθμός των αντιστροφέων μπορεί να αλλάξει εάν είναι απαραίτητο

για τη μείωση της καθυστέρησης. Παρόλο που η διατήρηση της σωστής λογικής απαιτεί τη χρήση ενός ζυγού αριθμού αντιστροφών, θα υποθέσουμε ότι ένας περίεργος αριθμός αντιστροφών μπορεί να προσαρμοστεί αλλάζοντας τη λογική λειτουργία, όπως απαιτείται. Θα υποθέσουμε ότι η προσπάθεια μονοπατιού (path effort)  $F = GBH$  είναι γνωστή: οι λογικές προσπάθειες (logical effort) και οι προσπάθειες διακλάδωσης (branching effort) είναι ιδιότητες των λογικών σταδίων  $n_1$  που δεν θα τροποποιηθούν με την προσθήκη αντιστροφών και η ηλεκτρική προσπάθεια (electrical effort) καθορίζεται από τις απαιτούμενες χωρητικότητες εισόδου και φορτίου. Η ελάχιστη καθυστέρηση των σταδίων  $N$  είναι το άθροισμα της καθυστέρησης στα στάδια λογικής και στα στάδια αντιστροφής:

$$\hat{D} = N F^{1/N} + \left( \sum_{i=1}^{n_1} p_i \right) + (N - n_1) p_{inv} \quad [5.20]$$

Ο πρώτος όρος είναι η καθυστέρηση που επιτυγχάνεται με την κατανομή της προσπάθειας εξίσου σε όλα τα στάδια  $N$ . Ο δεύτερος όρος είναι η παρασιτική καθυστέρηση των λογικών σταδίων και ο τρίτος όρος είναι η παρασιτική καθυστέρηση (parasitic delay) των αντιστροφών. Διαφοροποιώντας αυτήν την έκφραση σε σχέση με το  $N$  και ορίζοντας το αποτέλεσμα ίσο με το μηδέν, λαμβάνουμε την εξής εξίσωση :

$$\frac{d\hat{D}}{dN} = \frac{-F^{1/N-1}}{N^2} + F^{1/N} + p_{inv} = 0 \quad [5.21]$$

Τώρα ορίστε τη λύση σε αυτήν την εξίσωση να είναι  $N$ , ο αριθμός των σταδίων που πρέπει να χρησιμοποιήσετε για να λάβετε τη μικρότερη καθυστέρηση. Εάν ορίσουμε  $\rho = F^{1/N}$  ως την προσπάθεια που βαρύνει κάθε στάδιο όταν επιλέγεται ο αριθμός των σταδίων για την ελαχιστοποίηση της καθυστέρησης, η λύση της εξίσωσης μπορεί να εκφραστεί ως:

$$p_{inv} + \rho(1 - \ln \rho) = 0 \quad [5.22]$$

Με άλλα λόγια, ο γρηγορότερος σχεδιασμός είναι εκείνος στον οποίο κάθε στάδιο κατά μήκος μιας διαδρομής φέρει προσπάθεια ίση με το  $\rho$ , όπου το  $\rho$  είναι μια λύση της Εξίσωσης 5.22. Έτσι ονομάζουμε  $\rho$  την βέλτιστη προσπάθεια μονοπατιού (path effort).

Είναι σημαντικό να κατανοήσουμε τη σχέση μεταξύ  $\rho$  και  $f$ , και οι δύο φαίνεται να προσδιορίζουν τη σταδιακή προσπάθεια που απαιτείται για την επίτευξη της μικρότερης καθυστέρησης. Οι εκφράσεις για  $f$ , όπως η Εξίσωση 5.16, καθορίζουν την καλύτερη προσπάθεια μονοπατιού (path effort) όταν είναι γνωστός ο αριθμός των σταδίων,  $N$ .

Αντιθέτως, η τιμή  $\rho$ , η οποία είναι σταθερά ανεξάρτητη από τις ιδιότητες ενός μονοπατιού, αντιπροσωπεύει μια ιδανική καθυστέρηση σταδίου, η οποία μπορεί να μην είναι εφικτή σε ένα πραγματικό μονοπάτι.

Η εξίσωση 5.22 δείχνει ότι η βέλτιστη προσπάθεια,  $\rho$ , είναι συνάρτηση της παρασιτικής καθυστέρησης (parasitic delay) ενός αντιστροφέα. Αυτό το αποτέλεσμα έχει μια διαισθητική εξήγηση. Η αδέσμευτη χωρητικότητα των λογικών πυλών στο δίκτυο είναι σταθερή και δεν μπορείτε να κάνετε πολλά γι 'αυτό και απλά προσθέτει μια σταθερή καθυστέρηση στο μονοπάτι. Η προσαρμογή των μεγεθών των λογικών πυλών θα αλλάξει την καθυστέρηση προσπάθειας (effort delay) τους, αλλά όχι τη συμβολή της καθυστέρησης λόγω της παρασιτικής καθυστέρησης (parasitic delay). Αλλά όταν προσθέτετε έναν αντιστροφέα ως στοιχείο "κέρδος" με την σκέψη να επιταχύνετε το κύκλωμα, πρέπει να συγκρίνετε τη βελτίωση που προσφέρει το κέρδος του με την καθυστέρηση που προστίθεται από την παρασιτική χωρητικότητά του. Καθώς μεγαλώνει το  $\rho_{inv}$ , καθίσταται λιγότερο συμφέρουσα η προσθήκη αντιστροφέων επειδή το φορτίο είναι υπερβολικό και ο βέλτιστος αριθμός σταδίων μειώνεται.

Η Εξίσωση 5.22 μπορεί να επιλυθεί για τιμές  $\rho$  δεδομένης τιμής  $\rho_{inv}$ . Αν υποθέσουμε ότι η παρασιτική καθυστέρηση (parasitic delay) ενός αντιστροφέα είναι μηδέν, τότε  $\rho = e = 2.718$ . Αυτό είναι το αποτέλεσμα όταν αγνοείται η παρασιτική καθυστέρηση. Η ποσότητα  $\rho$  ονομάζεται μερικές φορές η βέλτιστη αναλογία αύξησης, επειδή είναι η αναλογία των μεγεθών των διαδοχικών μετατροπένων σε μια σειρά μετατροπένων που έχουν σχεδιαστεί για να οδηγούν ένα μεγάλο χωρητικό φορτίο.

Τα πραγματικά σχέδια θα απαιτήσουν από εμάς να επιλέξουμε έναν αναβαθμισμένο λόγο που διαφέρει κάπως από το  $\rho$  επειδή ο σχεδιασμός πρέπει να χρησιμοποιεί έναν ακέραιο αριθμό σταδίων. Δεδομένης της προσπάθειας μονοπατιού (path effort)  $F$ , πρέπει να βρούμε τον αριθμό των σταδίων  $N$  που δίνει τη μικρότερη καθυστέρηση. Αυτό το αποτέλεσμα θα έχει καθυστέρηση προσπάθειας βαθμίδας (stage effort) κοντά στο  $\rho$ . Ο Πίνακας 5.3 δείχνει πώς να επιλέξετε  $N$ , δεδομένης της προσπάθειας μονοπατιού (path effort)  $F$  και της τιμής της παρασιτικής καθυστέρησης ενός αντιστροφέα. Οι τιμές στον πίνακα υπολογίζονται με εύρεση εκείνων των τιμών του  $F$  για τις οποίες :

$$\hat{N} (F^{1/\hat{N}} + \rho_{inv}) = (\hat{N} + 1) (F^{1/(\hat{N} + 1)} + \rho_{inv}) \quad [5.23]$$

Αυτές είναι οι τιμές της προσπάθειας μονοπατιού (path effort) για τις οποίες η καλύτερη σχεδίαση  $N$ -σταδίων παρέχει εξίσου καθυστέρηση με τον καλύτερο σχεδιασμό  $(N + 1)$ -

σταδίων. Καθώς το  $F$  μεγαλώνει,  $\hat{N} \approx \ln F / \ln \rho$ , έτσι η καθυστέρηση της βαθμίδας πλησιάζει  $\rho + \rho$ .

Είναι ενδιαφέρον να δούμε πόσο αλλάζει η καθυστέρηση για ένα σωστά βελτιστοποιημένο κύκλωμα χρησιμοποιώντας λάθος αριθμό σταδίων. Όπως βλέπουμε στον Πίνακα 5.4, η καθυστέρηση είναι αρκετά μη ευαίσθητη στον αριθμό των σταδίων,



υπό την προϋπόθεση ότι η απόκλιση από το βέλτιστο δεν είναι πολύ μεγάλη. Όπως δείχνει ο πίνακας, ο διπλασιασμός του αριθμού των σταδίων από το βέλτιστο αυξάνει την καθυστέρηση μόνο 24%. Χρησιμοποιώντας τα μισά όσο περισσότερα στάδια αυξάνει την καθυστέρηση 46% Επομένως, δεν χρειάζεται να κολλήσουμε με σιγουριά στον σωστό αριθμό σταδίων. Είναι ελαφρώς καλύτερο να κάνουμε λάθος στην κατεύθυνση της χρήσης πάρα πολλών σταδίων από πολύ λίγα. Ένα ή περισσότερα στάδια σε ένα σχέδιο με πολλά στάδια θα έχει μικρή διαφορά, με την προϋπόθεση ότι χρησιμοποιούνται κατάλληλα μεγέθη τρανζίστορ. Μόνο όταν απαιτούνται πολύ λίγα στάδια, η αλλαγή ενός ή δύο σταδίων κάνει μεγάλη διαφορά.

$\hat{N}$	$p_{inv} = 0.0$	$p_{inv} = 0.6$	$p_{inv} = 0.8$	$p_{inv} = 1.0$
1	0	0	0	0
2	4.0	5.13	5.48	5.83
3	11.4	17.7	20.0	22.3
4	31.6	59.4	70.4	82.2
5	86.7	196	245	300
6	237	647	848	1090
7	648	2130	2930	3920
8	1770	6980	10100	14200
9	4820	22900	34700	51000
10	13100	74900	120000	184000
11	35700	245000	411000	661000
12	97300	802000	1410000	2380000
13	265000	2620000	4860000	8560000
14	720000	8580000	16700000	30800000
15	1960000	28000000	57400000	111000000
	5330000	91700000	197000000	398000000

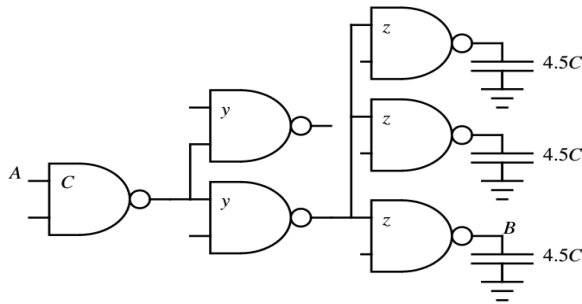
Πίνακας 5.3 : Επιλογή του N με Βάση το Path Effort, F

$N/\hat{N}$	$D/\hat{D}$	$N/\hat{N}$	$D/\hat{D}$
0.25	7.42	1.4	1.06
0.5	1.46	2.0	1.24
0.7	1.09	3.0	1.62
1.0	1.00	4.0	2.01

Πίνακας 5.4 : Καθυστέρηση ενός Δικτύου σε Συνάρτηση Σφάλματος

## 5.6 Παραδείγματα

Ακολουθούν δύο παραδείγματα για να γίνουν κατανοητά όσα είδαμε πιο πάνω. Στο πρώτο παράδειγμα κάθε πύλη θα είναι του ίδιου τύπου NAND :



Σχήμα 5.3 : Δίκτυο Πολλαπλών Σταδίων με Εσωτερικό fan-out

Στο Σχήμα 5.3 βλέπουμε πως το H είναι 4.5 διότι τα C απαλείφονται. Η λογική προσπάθεια (logical effort) της πύλης NAND δύο εισόδων είναι  $4/3$ , άρα η λογική προσπάθεια (logical effort) G του μονοπατιού θα είναι:

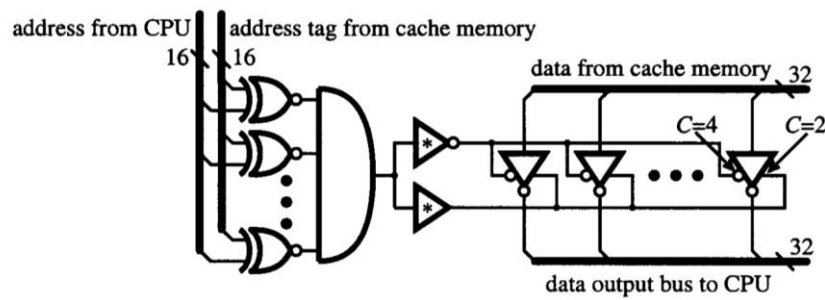
$$G = (4/3)^3$$

Η προσπάθεια διακλάδωσης (branching effort) στην έξοδο του πρώτου επιπέδου, θα είναι  $(\gamma + \gamma) / \gamma = 2$ , και όμοια, στην έξοδο του δεύτερου επιπέδου θα είναι  $3z / z = 3$ . Επομένως η προσπάθεια διακλάδωσης (branching effort) του μονοπατιού θα είναι  $B = 2 \times 3 = 6$ . Επίσης να σημειωθεί ότι δεν μας ενδιαφέρει ποιο ακριβώς είναι το μονοπάτι διότι όλα τα μονοπάτια είναι ίδια λόγω συμμετρίας. Τώρα μπορούμε να υπολογίσουμε η προσπάθειας μονοπατιού (path effort) F το οποίο θα είναι  $F = GBH = 64$ . Επίσης, θα είναι:

$$\hat{D} = 3(64)^{1/3} + 3(2 p_{inv}) = 18.0$$

Για να έχουμε ελάχιστη καθυστέρηση, πρέπει να εξισώσουμε σε κάθε επίπεδο η προσπάθειας βαθμίδας (stage effort). Από τη στιγμή που η προσπάθεια μονοπατιού (path effort) είναι 64 και έχουμε 3 επίπεδα, η ιδανική προσπάθεια βαθμίδας (stage effort) θα είναι 4. Αρχίζοντας από την έξοδο θα είναι,  $z = 4.5C \times (4/3)/4 = 1.5C$ . Όμοια, το δεύτερο επίπεδο οδηγεί τρία αντίγραφα του τρίτου επιπέδου, άρα θα είναι,  $\gamma = 3z \times (4/3)/4 = z = 1.5C$ . Όπως μπορούμε να επαληθεύσουμε, το  $C_{in}$  του μονοπατιού, δηλαδή της πρώτης πύλης, θα είναι ίσο με  $2\gamma \times (4/3)/4 = (2/3)\gamma = C$ , όπως ήταν στις προδιαγραφές του κυκλώματος.

Στο δεύτερο παράδειγμα όπως φαίνεται και στο Σχήμα 5.4 παρακάτω θα δούμε τρεις δυνατότητες για τον υπολογισμό της συνάρτησης AND οκτώ εισόδων.



Σχήμα 5.4 : Διάγραμμα Μνήμης Cache

Υπενθυμίζοντας ότι η λογική προσπάθεια μονοπατιού,  $G$ , είναι το προϊόν των λογικών προσπαθειών (logical effort) των λογικών πυλών κατά μήκος του μονοπατιού, βρίσκουμε ότι  $G = 10/3 \times 1 = 3,33$  για την περίπτωση a,  $6/3 \times 5/3 = 3,33$  για περίπτωση b και  $4/3 \times 5/3 \times 4/3 \times 1 = 2,96$  για την περίπτωση c. Αυτές οι εξισώσεις περιλαμβάνουν επίσης μια εκτίμηση των παρασιτικών καθυστερήσεων, που λαμβάνονται αθροίζοντας τις παρασιτικές καθυστερήσεις κάθε μίας από τις λογικές πύλες κατά μήκος της διαδρομής:

Περίπτωση a : 
$$\hat{D} = 2(3.33 H)^{1/2} + 5.4$$

Περίπτωση b : 
$$\hat{D} = 2(3.33 H)^{1/2} + 3.6$$

Περίπτωση c : 
$$\hat{D} = 4(2.96 H)^{1/4} + 4.2$$

Είναι σαφές από αυτές τις εξισώσεις ότι η περίπτωση b θα είναι πάντα καλύτερη από την a. Η επιλογή μεταξύ των περιπτώσεων b και c εξαρτάται από την ηλεκτρική προσπάθεια (electrical effort),  $H$ , που πρέπει να λάβει το δίκτυο. Όταν  $H = 1$ , η περίπτωση b θα είναι καλύτερη, αλλά για  $H = 12$ , η περίπτωση c θα είναι η καλύτερη. Οι εξισώσεις δείχνουν ότι για υψηλή ηλεκτρική προσπάθεια (electrical effort), η περίπτωση c αποδίδει τη μικρότερη καθυστέρηση επειδή κυριαρχεί ο παράγοντας  $H^{1/4}$ .

Για να απεικονίσουμε τον υπολογισμό των μεγεθών των τρανζίστορ για να επιτύχουμε τη μικρότερη καθυστέρηση, πρέπει να σκεφτούμε μια περίπτωση όπου  $C_{in} = 4$  μονάδες και  $C_{out} = 48$ . Οι προηγούμενες εξισώσεις δείχνουν ότι η περίπτωση c πρέπει να επιλεγεί και η εξίσωση 5.16 δίνει τη προσπάθεια βαθμίδας (stage effort):

$$\hat{f} = F^{1/N} = (2.96 \times (48/4))^{1/4} = 2.44$$

Ας προχωρήσουμε στο μονοπάτι που ξεκινάει από την πύλη NAND 2 εισόδων στα αριστερά. Γνωρίζουμε ότι  $C_{in} = 4$ ,  $f = g_0 h_0 = 2.44$ , και ότι η λογική προσπάθεια (logical effort) του NAND είναι  $g_0 = 4/3$ . Λύνουμε για  $h_0 = 1.83$  και έπειτα επειδή  $h = C_{out} / C_{in}$ , αποφασίζουμε να πάρουμε  $C_{out} = 7.33$ . Αυτό, λοιπόν, είναι η χωρητικότητα εισόδου της πύλης NOR στο δεύτερο στάδιο. Προχωρώντας ανάλογα για τα άλλα στάδια, διαπιστώνουμε ότι η χωρητικότητα εισόδου του τρίτου σταδίου είναι 10.73 και του τέταρτου σταδίου είναι 19.66.



## ΚΕΦΑΛΑΙΟ 6

### ΕΞΑΓΩΓΗ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ ΚΑΙ ΕΛΑΧΙΣΤΟΠΟΙΗΣΗ

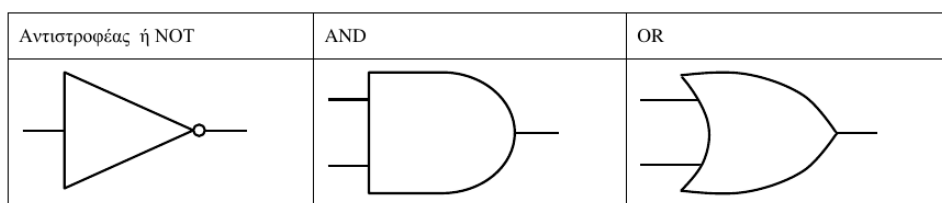
Σε αυτό το κεφάλαιο θα δούμε τις μεθόδους που θα χρησιμοποιήσουμε για την εξαγωγή και ελαχιστοποίηση της λογικής συνάρτησης. Θα κάνουμε χρήση τον αλγόριθμο της αναζήτησης κατά βάθος (DFS) ο οποίος θα αρχίσει τη διάσχιση από τον κόμβο αναφοράς στην αρχή του κώνου. Επιπλέον, ο αλγόριθμος θα χρησιμοποιήσει τους βασικούς δυαδικούς συντελεστές οι οποίοι είναι οι εξής τρεις : η AND που έχει ως σύμβολο το (\*), η OR που έχει ως σύμβολο το (+) και η NOT που δείχνει την αντιστροφή.

Την εξαγωγή της λογικής συνάρτησης θα την πραγματοποιήσουμε με βάση τα θεωρήματα και τα αξιώματα της δυαδικής άλγεβρας όπως είναι ο μετασχηματισμός De Morgan, εξάλειψη διπλής αντιστροφής, το θεώρημα συνδυασμού και οι υπόλοιποι βασικοί μετασχηματισμοί της άλγεβρας Boolean τα οποία θα δούμε αναλυτικά παρακάτω. Επίσης, η συνάρτηση θα πρέπει να μετατραπεί σε διαζευκτική κανονική μορφή (Disjunctive Normal Form - DNF) που είναι ουσιαστικά άθροισμα γινομένων.

Τέλος θα δούμε ότι για να μπορέσουμε να ελαχιστοποιήσουμε τη συνάρτηση θα χρησιμοποιήσουμε τη μέθοδο του Quine-McCluskey και η ελαχιστοποιημένη συνάρτηση που θα προκύψει θα έχει και αυτή την μορφή αθροίσματος γινομένων (DNF).

#### 6.1 Άλγεβρα Boole

Η άλγεβρα Boole είναι ένα αλγεβρικό σύστημα δύο τιμών και είναι παρόμοια με την άλγεβρα των πραγματικών αριθμών, αλλά οι αριθμητικές πράξεις του πολλαπλασιασμού, της πρόσθεσης και της άρνησης (NOT) έχουν αντικατασταθεί από τις ανάλογες λογικές πράξεις του συνδυασμού, της διάζευξης και του συμπληρώματος. Για τις οποίες χρησιμοποιούμε τους εξής συμβολισμούς για τον πολλαπλασιασμό το (\*) και αντιστοιχεί στην (AND), για την πρόσθεση το (+) και αντιστοιχεί στην (OR) και για την άρνηση το (~) ή για διευκόλυνση μπορούμε να χρησιμοποιήσουμε το σύμβολο (') το οποίο αντιστοιχεί στον αντιστροφέα (NOT).



Σχήμα 6.1 : Λογικές Πύλες

Στην άλγεβρα Boole χρησιμοποιείται μία συμβολική μεταβλητή για την αναπαράσταση της κατάστασης ενός λογικού σήματος. Ένα λογικό σήμα είναι σε μία από τις δύο δυνατές καταστάσεις παίρνοντας την τιμή 0 ή την τιμή 1.

x	y	x+y	x	y	xy	x	~x=x'
0	0	0	0	0	0	0	1
0	1	1	0	1	0	1	0
1	0	1	1	0	0		
1	1	1	1	1	1		

Πίνακας 6.1 : Τιμές Τελεστών στην Άλγεβρα Boole

Το σύνολο βασικών ορισμών που θεωρούμε ότι είναι αληθές και από τους οποίους μπορούν να παραχθούν όλες οι υπόλοιπες πληροφορίες του συστήματος. Οι δύο πρώτοι ορισμοί της άλγεβρας Boole ενσωματώνουν την ψηφιακή αφαίρεση με την τυπική διατύπωση ότι η μεταβλητή μπορεί να πάρει μόνο μία από τις δύο δυνατές τιμές:  $X = 0$  αν  $X \neq 1$  και  $X = 1$  αν  $X \neq 0$ . Το συμπλήρωμα μίας μεταβλητής ορίζεται ως έξης: αν  $X = 0$  τότε  $X' = 1$  και αν  $X = 1$  τότε  $X' = 0$ .

Τα θεωρήματα και τα αξιώματα της άλγεβρας Boole είναι προτάσεις που είναι πάντα αληθείς και επιτρέπουν τον χειρισμό αλγεβρικών παραστάσεων οι οποίες επιτρέπουν την απλούστερη ανάλυση ή την αποτελεσματικότερη σύνθεση των αντίστοιχων κυκλωμάτων. Στον πίνακα παρακάτω παρουσιάζονται μερικά από αυτά τα θεωρήματα και αξιώματα.

$x + 0 = x$	(ταυτότητες)	$x \cdot 1 = x$
$x + x' = 1$	(συμπληρώματα)	$x \cdot x' = 0$
$x + x = x$	(αυτοδυναμία)	$x \cdot x = x$
$x + 1 = 1$	(ουδέτερα στοιχεία)	$x \cdot 0 = 0$
	$(x')' = x$	(διπλή άρνηση)
$x + y = y + x$	(αντιμεταθετική)	$x \cdot y = y \cdot x$
$x + (y + z) = (x + y) + z$	(προσεταιριστική)	$x \cdot (y \cdot z) = (x \cdot y) \cdot z$
$x(y + z) = x \cdot y + x \cdot z$	(επιμεριστική)	$x + y \cdot z = (x + y)(x + z)$
$(x + y)' = x' \cdot y'$	(De Morgan)	$(x \cdot y)' = x' + y'$
$x + x \cdot y = x$	(απορρόφηση)	$x(x + y) = x$
$x \cdot y + x \cdot y' = x$	(συνδυασμός)	$(x + y) \cdot (x + y') = x$
	$x \cdot y + x' \cdot z + y \cdot z = x \cdot y + x' \cdot z$	(συναίνεση)

Πίνακας 6.2 : Αξιώματα και Θεωρήματα της Άλγεβρας Boole

Για την ελαχιστοποίηση συναρτήσεων χρησιμοποιείται και το θεώρημα συνδυασμού το οποίο λέει ότι αφού γνωρίζουμε το θεώρημα συμπληρώματος στο οποίο ισχύει ότι το  $X + X' = 1$  τότε θα ισχύει και το  $X \cdot Y + X \cdot Y' = X \cdot (Y + Y') = X \cdot 1 = X$ . Έτσι το

γινόμενο δύο όρων μπορεί να απλοποιηθεί αν η διαφορά μεταξύ τους είναι μία μεταβλητή η οποία μπορεί να απαλειφθεί και να δώσει έναν πιο απλό όρο.

Επίσης, το θεώρημα De Morgan βοηθάει στην απλοποίηση της συνάρτησης διότι μπορεί να δώσει μία άλλη συνάρτηση η οποία να έχει συμπληρωματικό χαρακτήρα και έτσι το κύκλωμα που θα προκύπτει από αυτή τη συνάρτηση να είναι πιο απλό και εύκολο στην υλοποίηση από το αρχικό.

## 6.2 Μέθοδος Quine-McCluskey

Ο αλγόριθμος Quine – McCluskey , επίσης γνωστός ως η μέθοδος των πρώτων εμφυτευμάτων, είναι μια μέθοδος που χρησιμοποιείται για την ελαχιστοποίηση των λειτουργιών Boolean που αναπτύχθηκε από τον Willard V. Quine το 1952 και τελειοποιήθηκε από τον Edward J. McCluskey το 1956. Η λειτουργία του είναι πανομοιότυπη με τη μέθοδο του χάρτη Karnaugh, αλλά η μορφή πινάκων τον καθιστά πιο αποτελεσματικό στην χρήση υπολογιστικών αλγορίθμων και δίνει επίσης έναν ντετερμινιστικό τρόπο για να ελέγξετε ότι έχει επιτευχθεί η ελάχιστη μορφή μιας λειτουργίας Boolean. Μερικές φορές αναφέρεται ως μέθοδος πίνακα.

Η μέθοδος αυτή περιλαμβάνει δύο στάδια την εύρεση των πρωταρχικών όρων και την χρησιμοποίηση μέσω ενός πίνακα εκείνων που ανιχνεύονται από το πρώτο βήμα και είναι απαραίτητοι για να προσδιορίσουν την συνάρτηση. Στο στάδιο της εύρεσης των πρωταρχικών όρων ελέγχονται επιλεγμένα ζεύγη από ενδιάμεσους όρους της συνάρτησης. Με την επιλογή αυτή χρειάζονται πολύ λιγότεροι έλεγχοι για να βρεθούν οι πρωταρχικοί όροι από το να ελέγχονται αδιάκριτα όλοι οι δυνατοί συνδυασμοί.

Η εκτέλεσή της όμως έχει μερικά μειονεκτήματα όπως για μεγάλες συναρτήσεις το πλήθος των ελέγχων , αν και μειωμένο, καθίσταται μεγάλο. Επίσης, απαιτείται σχολαστική σημείωση και μεταφορά στοιχείων από πίνακα σε πίνακα με αποτέλεσμα να γίνεται επιρρεπής σε λάθη. Επιπλέον, κάθε πρωταρχικός όρος μίας συνάρτησης έχει τρεις ιδιότητες, δεν περιέχει δύο φορές την ίδια μεταβλητή, δεν περιέχει μία μεταβλητή και το συμπλήρωμά της και είναι μη απλοποιήσιμος. Η διαδικασία για την ελαχιστοποίηση μίας συνάρτησης συνίσταται στο να βρεθούν όλοι οι πρωταρχικοί όροι της συνάρτησης και από αυτούς να επιλεγούν εκείνοι που δημιουργούν τη μικρότερη λογική παράσταση.

Για την εύρεση των πρωταρχικών όρων η συνάρτηση που δίνεται αναπτύσσεται αρχικά σε κανονικό άθροισμα γινομένων. Κατόπιν επιδιώκεται η εύρεση όλων των πρωταρχικών όρων της εφαρμόζοντας την ιδιότητα  $\alpha\beta + \alpha\beta' = \alpha$ . Η απαλοιφή μίας μεταβλητής μέσω της παραπάνω σχέσης, είναι δυνατή μόνο μεταξύ ζευγών όρων που διαφέρουν στην τιμή μόνο μίας μεταβλητής. Ζεύγη όρων που διαφέρουν σε παραπάνω από δύο μεταβλητές δεν παραλείπονται και επομένως είναι άσκοπη κάθε σύγκριση μεταξύ τους.

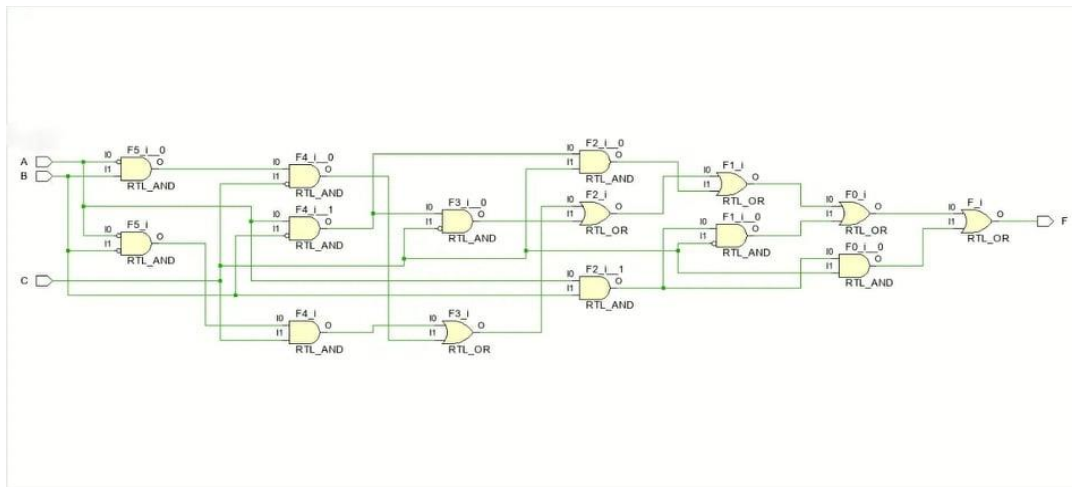
Η μέθοδος Quine – McCluskey εκμεταλλεύεται την παρατήρηση αυτή, για να αποφύγει τον άσκοπο έλεγχο όλων των ζευγών όρων που υπάρχουν στην συνάρτηση. Κατατάσσει τους όρους σε ομάδες ώστε οι όροι της κάθε ομάδας να είναι υποψήφιοι για



συγχώνευση μόνο με τους όρους της επόμενης ομάδας. Έτσι περιορίζεται σημαντικά το πλήθος των απαιτούμενων ελέγχων.

Ας δούμε ένα παράδειγμα για να αναλύσουμε τα βήματα της διαδικασίας της βελτιστοποίησης μίας συνάρτησης με την μέθοδο Quine – McCluskey. Στην εργασία αυτή θα χρησιμοποιήσουμε την εξής συνάρτηση :

$$y = f(a, b, c) = a'b'c + a'bc' + ab'c' + ab'c + abc' + abc$$



Σχήμα 6.2 : Το Αρχικό Κύκλωμα

Στο πρώτο βήμα της διαδικασίας ομαδοποιούμε τους όρους της παραπάνω συνάρτησης σε έναν πίνακα ανάλογα με το “1” που περιέχουν στον δυαδικό αριθμό τους. Με αυτόν τον τρόπο πετυχαίνουμε οι λέξεις της ίδιας ομάδας να έχουν απόσταση δύο και επίσης οι λέξεις μίας ομάδας με τις λέξεις της επόμενης ομάδας να έχουν απόσταση ένα ενώ με την μεθεπόμενη ομάδα να έχουν απόσταση τουλάχιστον δύο. Ο παρακάτω πίνακας 6.3 δημιουργείται από το πρώτο βήμα.

Ομάδα	Όρος Συνάρτησης	Δυαδική Μορφή
1 <sup>η</sup> Ομάδα	a'b'c	001
	a'bc'	010
	ab'c'	100
2 <sup>η</sup> Ομάδα	ab'c	101
	abc'	110
3 <sup>η</sup> Ομάδα	abc	111

Πίνακας 6.3 : Ομαδοποίηση των Όρων

Στο δεύτερο βήμα ελέγχουμε κάθε όρο της πρώτης ομάδας με τους όρους της επόμενης ομάδας. Εάν οι δύο όροι διαφέρουν μόνο σε μία μεταβλητή τότε απαλείφουμε αυτή τη μεταβλητή και στη θέση της τοποθετούμε μία παύλα. Μετά ο καινούργιος όρος που προκύπτει τοποθετείται σε έναν επόμενο πίνακα στον οποίο αναγράφονται στην αρχή οι αριθμοί των αρχικών όρων από τους οποίους προέκυψε ο καινούργιος όρος. Αυτή τη διαδικασία την επαναλαμβάνουμε μέχρι να μην μπορεί να γίνει άλλη απλοποίηση.

Όροι	Συγχωνευμένοι Όροι	Διαδική Μορφή
a'b'c , ab'c	-b'c	-01
a'bc' , abc'	-bc'	-10
ab'c' , ab'c	ab'-	10-
ab'c' , abc'	a-c'	1-0
ab'c , abc	a-c	1-1
abc' , abc	ab-	11-

Πίνακας 6.4 : Απλοποιημένοι Όροι

Στο τρίτο βήμα επαναλαμβάνουμε τη διαδικασία του δεύτερου βήματος και δημιουργούμε έναν δεύτερο πίνακα ο οποίος συμπεριλαμβάνει τους νέους συγχωνευμένους όρους που προέκυψαν.

Ομάδες	Συγχωνευμένοι Όροι	Διαδική Μορφή
1 <sup>η</sup> Ομάδα	-b'c <b>A</b>	-01
	-bc' <b>B</b>	-10
	ab'-	10-
	a-c'	1-0
2 <sup>η</sup> Ομάδα	a-c	1-1
	ab-	11-

Πίνακας 6.5 : Συγχωνευμένοι Όροι

Όροι	Συγχωνευμένοι Όροι	Διαδική Μορφή
a-c' , a-c	a-- <b>C</b>	1--
ab'- , ab-	a-- <b>C</b>	1--

Πίνακας 6.6 : Τελική μορφή απλοποίησης

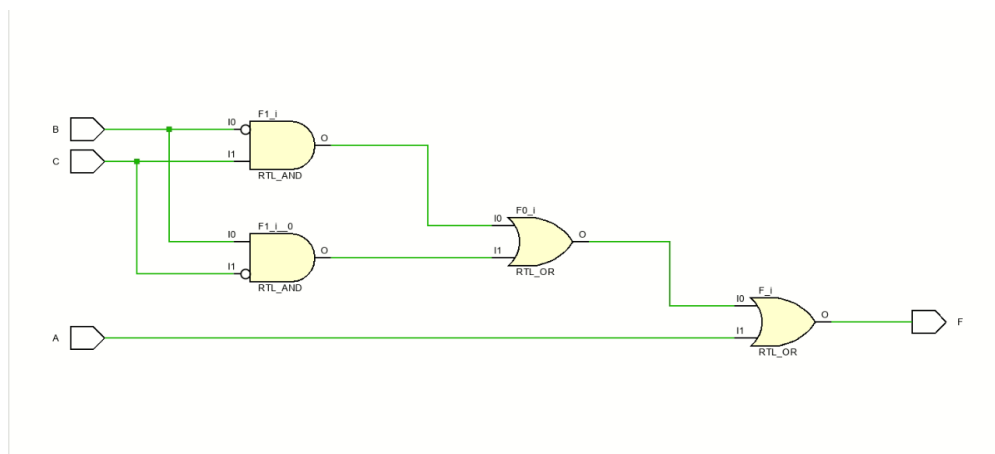
Όπως βλέπουμε από τους παραπάνω πίνακες οι όροι A και B δεν μπορούν να συνδυαστούν με κάποιο άλλο όρο με αποτέλεσμα να μην μπορούν να απλοποιηθούν περισσότερο. Ενώ οι υπόλοιποι όροι απλοποιούνται και έτσι προκύπτει ο όρος C. Σε αυτό το σημείο δεν μπορεί να γίνει άλλη απλοποίηση και αυτός ο πίνακας 6.6 είναι ο τελευταίος.

Στο τέταρτο βήμα αφού έχουμε βρει τους πρωταρχικούς όρους της συνάρτησης γίνεται η επιλογή των κατάλληλων από αυτούς ώστε το άθροισμά τους να καλύπτει την αρχική συνάρτηση και ταυτόχρονα να αποτελεί την ελάχιστη δυνατή λογική παράσταση. Για να καλύπτεται η συνάρτηση θα πρέπει κάθε όρος να περιέχεται σε έναν τουλάχιστον από τους όρους της ελάχιστης παράστασης.

Η επιλογή των κατάλληλων πρωταρχικών όρων γίνεται αν κατασκευάσουμε έναν πίνακα ο οποίος θα μας δείχνει αναλυτικά τη σχέση των πρωταρχικών όρων με τους αρχικούς όρους της συνάρτησης. Οι αρχικοί όροι αντιστοιχούν στις στήλες του παρακάτω πίνακα 6.7 και οι πρωταρχικοί όροι της συνάρτησης αντιστοιχούν στις γραμμές ενώ η σχέση τους δηλώνεται με ένα X. Όσες στήλες έχουν μόνο ένα X τότε οι όροι αυτοί αποτελούν τους πρωταρχικούς όρους της συνάρτησης και πρέπει να περιληφθούν στην ελάχιστη παράσταση. Για το παράδειγμά μας λοιπόν η ελάχιστη παράσταση της συνάρτησης είναι η εξής :  $F(a, b, c) = b'c + bc' + a$

	001	010	100	101	110	111
-01	X			X		
-10		X			X	
1--			X	X	X	X

Πίνακας 6.7 : Πίνακας Πρωταρχικών Όρων



Σχήμα 6.3 : Το Ελαχιστοποιημένο Κύκλωμα

### 6.3 Αλγόριθμος Αναζήτησης σε Βάθος DFS

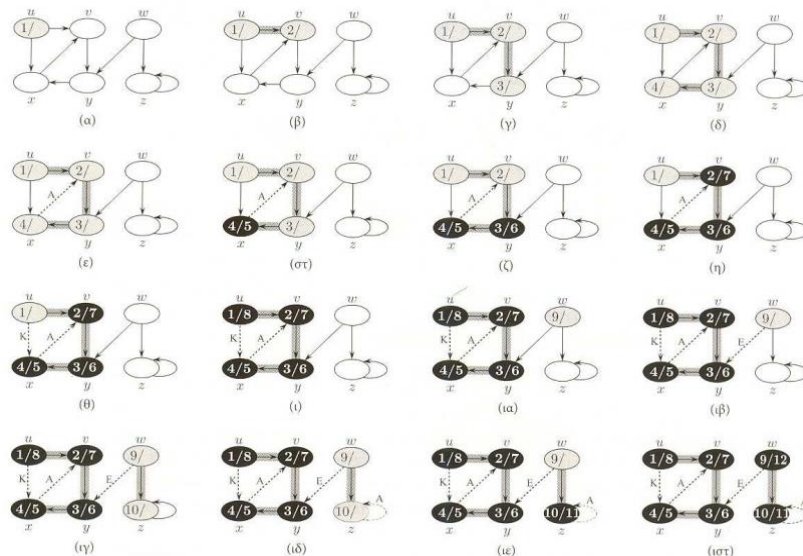
Ο αλγόριθμος Αναζήτησης κατά Βάθος (DFS - Depth-first search) επιτυγχάνει διάσχιση ή αναζήτηση σε δέντρο ή γράφημα. Η διάσχιση ξεκινά από τη ρίζα και εξερευνά

όσο το δυνατόν περισσότερο κατά μήκος κάθε κλαδί του δέντρου μέχρι να φτάσει σε αδιέξοδο.

Η αναζήτηση σε βάθος (DFS) ενός γραφήματος  $G$  δίνει προτεραιότητα στις κορυφές που παραμένουν ανεξερεύνητες. Πιο συγκεκριμένα κατά την εκκίνηση της διαδικασίας της αναζήτησης σε βάθος όλες οι κορυφές του υπό εξέταση γραφήματος σημειώνονται ως ανεξέταστες ή ανεξερεύνητες. Ωστόσο, μέχρι να ανακαλυφθούν όλες οι κορυφές εφαρμόζουμε τα ακόλουθα δύο βήματα.

Στο πρώτο βήμα επιλέγουμε μία ανεξερεύνητη κορυφή  $v$  και την κηρύσσουμε εξερευνημένη και στο δεύτερο βήμα εάν η  $v$  διαθέτει μία ανεξέταστη γειτονική κορυφή  $w$  κατευθυνόμαστε σε αυτή και την σημειώνουμε ως εξερευνημένη και επαναλαμβάνουμε την διαδικασία αναζήτησεως σε κάποια γειτονική ανεξερεύνητη κορυφή της. Εάν υπάρχουν περισσότερες από μία ανεξερεύνητες γειτονικές κορυφές τότε επιλέγεται αυτή με το μικρότερο όνομα.

Στην αναζήτηση σε βάθος (DFS) οι κορυφές χρωματίζονται για να γίνεται αντιληπτή η κατάσταση τους κατά τη διάρκεια της αναζήτησης. Έτσι λοιπόν, αρχικά έχουν όλες χρώμα άσπρο, ενώ όταν ανακαλύπτονται από την αναζήτηση γίνονται γκρι. Τέλος, όταν ολοκληρω η λίστα γειτνίασης του έχει ανακαλυφθεί χρωματίζεται μαύρες. Στο Σχήμα 6.4 παρακάτω βλέπουμε μία εκτέλεση της αναζήτησης σε βάθος (DFS) σε ένα κατευθυνόμενο γράφο. Κάθε γράφος παρουσιάζει και ένα βήμα στην εκτέλεση του αλγόριθμου. Αρχικά όλες οι κορυφές είναι άσπροι, ενώ όποια εξετάζεται κάθε φορά χρωματίζεται γκρι. Όταν όλες οι κορυφές της λίστας γειτνίασης μίας κορυφής έχουν επισκεφθεί αυτή γίνεται μαύρη.



Σχήμα 6.4 : Εκτέλεση Αλγορίθμου σε Βάθος

Για την παρούσα εργασία θα δούμε ότι μπορούμε να αναπαραστήσουμε ένα ψηφιακό ολοκληρωμένο κύκλωμα βάση τον αλγόριθμο της αναζήτησης κατά βάθος (DFS)

με έναν γράφο , στον οποίο κάθε κόμβος του γράφου αντιστοιχίζεται και σε μια λογική πύλη του κυκλώματος, ενώ κάθε ακμή σε μια σύνδεση μεταξύ δύο πυλών. Οι συνδέσεις των λογικών πυλών είναι οι είσοδοι και οι έξοδοι του τρανζίστορ.

Στο κύκλωμα χρησιμοποιούμε έναν κόμβο ως σημείο αναφοράς και έτσι δημιουργούμε έναν κώνο με τις πύλες που τον ακολουθούν διασχίζοντας το κύκλωμα. Το κύκλωμα αυτό θα αποτελείται από πολλά επίπεδα και έτσι αν επιλέξουμε έναν μεγάλο αριθμό επιπέδων θα έχουμε την δυνατότητα για περισσότερες τοπολογίες.



## ΚΕΦΑΛΑΙΟ 7

### ΕΡΓΑΛΕΙΑ ΣΧΕΔΙΑΣΗΣ ΚΑΙ ΑΞΙΟΛΟΓΗΣΗΣ

#### ΤΩΝ ΠΕΙΡΑΜΑΤΩΝ

##### 7.1 Το Πρόγραμμα Σχεδίασης Vivado Design Suite της Xilinx

Το περιβάλλον που χρησιμοποιήθηκε για την εκπόνηση αυτής της διπλωματικής εργασίας είναι το Vivado Design Suite της εταιρίας Xilinx το οποίο είναι ένα αναπτυξιακό πρόγραμμα σχεδίασης ψηφιακών ολοκληρωμένων κυκλωμάτων . Είναι ένα πρόγραμμα το οποίο συνθέτει και αναλύει σχεδιασμούς γλώσσας υλικού εφαρμογής δίνει την δυνατότητα στον χρήστη να κάνει σύνθεση , προσομοίωση και υλοποίηση του σχεδίου μέσα από τη γραφική διεπαφή (Graphical User Interface - GUI) την κάνει εύκολη στην χρήση ενώ υπάρχει δυνατότητα ο χρήστης να χρησιμοποιήσει την γλώσσα TCL (Tool Command Language) για εισαγωγή εντολών από την γραμμή εισαγωγής εντολών ή με εκτέλεση αρχείων TCL. Το Vivado Design Suite υποστηρίζει τον προγραμματισμό FPGA και τις αναπτυξιακές πλακέτες όλων των μοντέλων της εταιρίας Xilinx.

Το Vivado Design Suite υποστηρίζει την σχεδίαση με γλώσσες περιγραφής υλικού όπως είναι η VHDL και η Verilog οι οποίες είναι γλώσσες περιγραφής αρχιτεκτονικής κυκλωμάτων σε υψηλό επίπεδο .

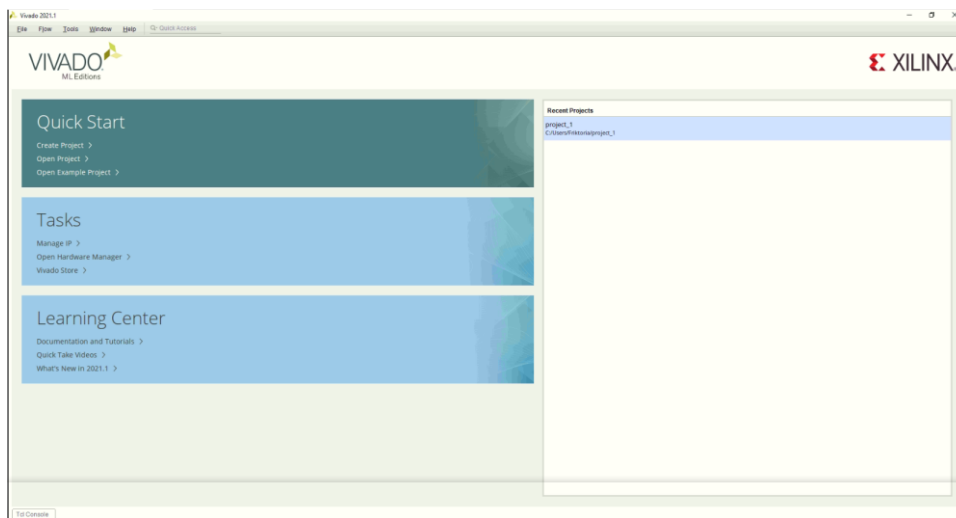
Ένας άλλος τρόπος σχεδίασης ενός ψηφιακού κυκλώματος στο Vivado Design Suite είναι η σχηματική σχεδίαση του κυκλώματος σε μορφή διαγράμματος block. Το Vivado Design Suite περιέχει έτοιμες βιβλιοθήκες από IP Blocks ενώ μας δίνει την δυνατότητα να δημιουργήσουμε τις δικές μας IP Blocks από εργαλεία που διαθέτει η εφαρμογή.

Επιπλέον, πριν τη σχεδίαση του συστήματος πρέπει να τοποθετήσουμε κάποιους περιορισμούς (constraints) οι οποίοι έχουν να κάνουν με ζητήματα χρονισμού (timing) και με τους ακροδέκτες του ψηφιακού ολοκληρωμένου κυκλώματος. Μετά θα πρέπει να γίνεται κάποιος έλεγχος ορθότητας του σχεδιασμένου συστήματος (design validation), κατά τον οποίο εντοπίζονται τυχόν σφάλματα στη σχεδίαση.

Εάν εντοπιστούν εν τέλει σφάλματα θα πρέπει να γίνει η διόρθωσή τους και μετά να ακολουθήσει το στάδιο της σύνθεσης (synthesis) στο οποίο τα αρχεία των γλωσσών περιγραφής υλικού (VHDL ή Verilog) που περιγράφουν το σύστημα να μετατρέπονται σε λίστες συνδέσεων πυλών (gate-level netlist). Αν η διαδικασία ολοκληρωθεί χωρίς σφάλματα, τότε το σύστημα είναι πλέον διαθέσιμο σε μορφή λογικών πυλών και μπορεί να προχωρήσει στο στάδιο της υλοποίησης. Κατά την υλοποίηση (implementation), το σύστημα αρχίζει και παίρνει την επιθυμητή του μορφή.

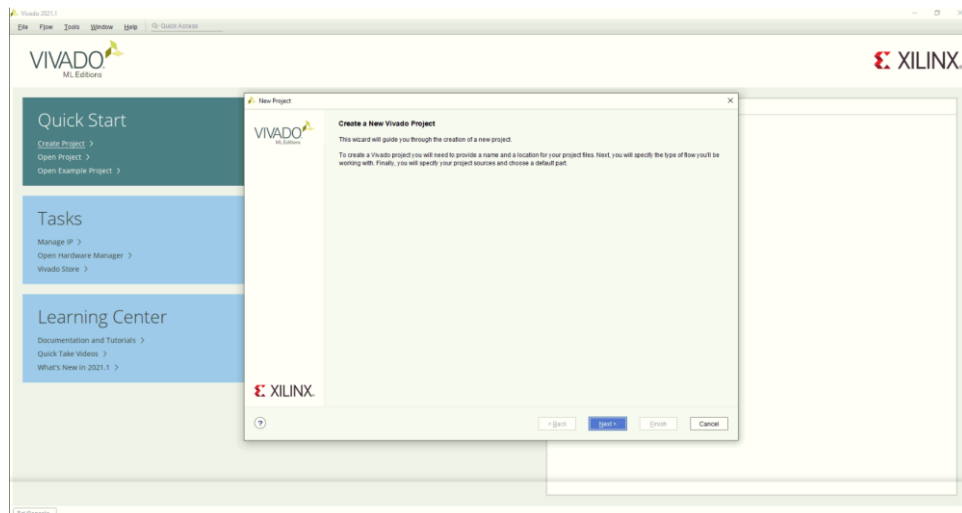
Ας δούμε τώρα πώς δουλεύει το πρόγραμμα Vivado Design Suite. Στην αρχική οθόνη της εφαρμογής υπάρχουν οι εξής επιλογές η “Create New Project” η οποία χρησιμοποιείται για τη δημιουργία νέου project , η “Open Project” η οποία είναι για το άνοιγμα υπάρχοντος project , η “Open Example Project” η οποία είναι για το άνοιγμα των

παραδειγμάτων και τελευταία η “Open Hardware Manager” η οποία χρησιμοποιείται για να συνδέει το λογισμικό με το FPGA για φόρτωση του σχεδίου στην πλακέτα.



Εικόνα 7.1 : Αρχική Οθόνη του Vivado Design Suite

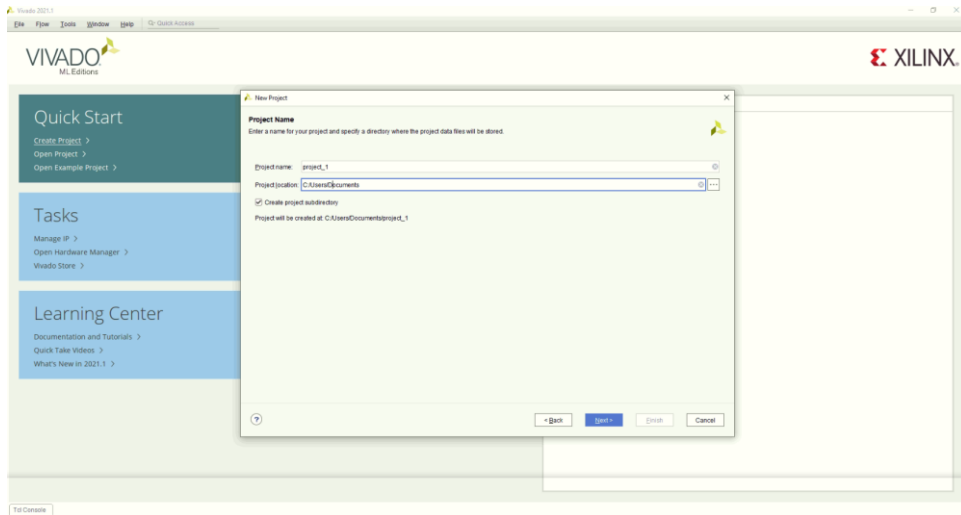
Για να μπορέσουμε να δημιουργήσουμε ένα νέο project πρέπει να επιλέξουμε την επιλογή “Create New Project” και στην συνέχεια πατάμε την επιλογή “Next” στο παράθυρο που εμφανίζεται.



Εικόνα 7.2 : Δημιουργία Νέου Project

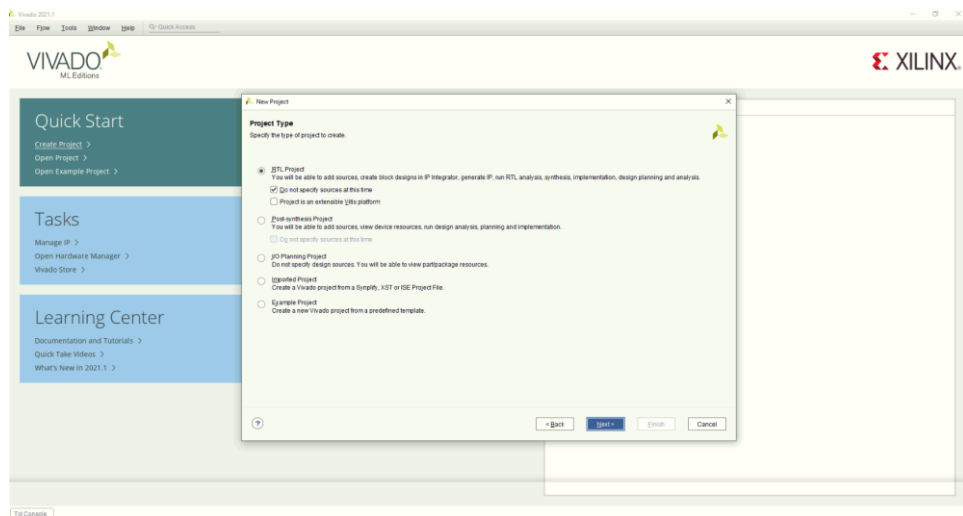
Στην συνέχεια ονομάζουμε το project που θα δημιουργήσουμε και επιλέγουμε που ακριβώς θέλουμε να το αποθηκεύσουμε και πάλι πατάμε την επιλογή “Next” στο παράθυρο που εμφανίζεται.





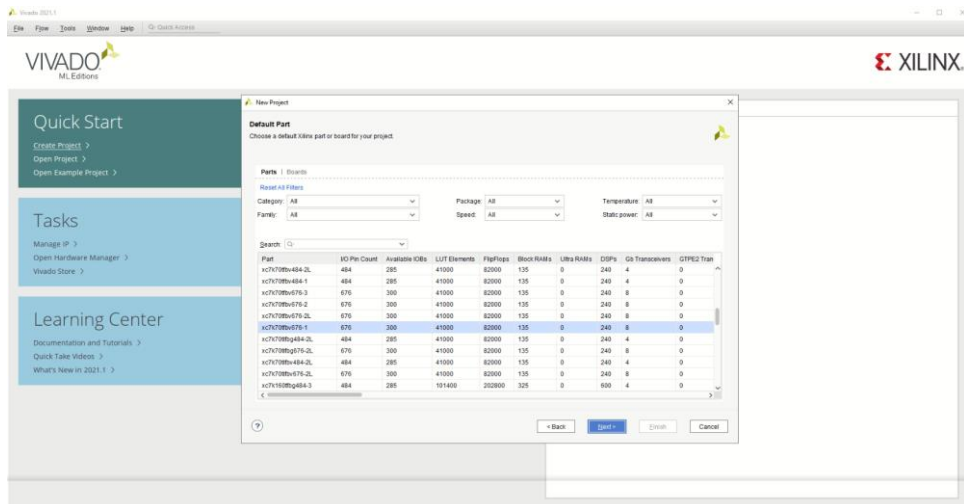
Εικόνα 7.3 : Επιλογή Project Name και Project Location

Στο επόμενο παράθυρο που εμφανίζεται πρέπει να επιλέξουμε τον τύπο που θέλουμε για το project . Επιλέγουμε το “RTL project” και το “Do not specify sources at this time” ώστε ο πηγαίος κώδικας να προστεθεί μετά την δημιουργία του project και στη συνέχεια πατάμε πάλι “Next”.



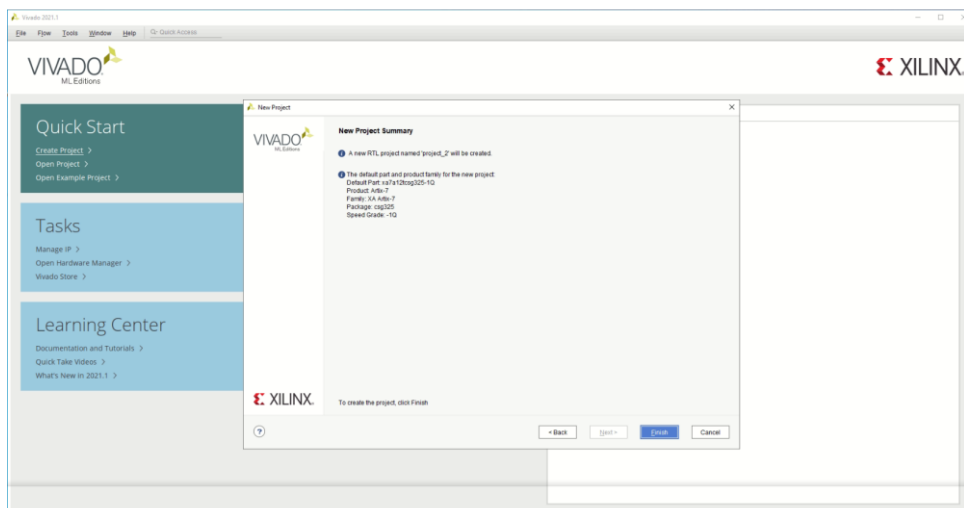
Εικόνα 7.4 : Επιλογή του Τύπου Project

Στο επόμενο παράθυρο που εμφανίζεται πρέπει να επιλέξουμε τον τύπο της πλακέτας που θα φορτωθεί το πρόγραμμα και στη συνέχεια πατάμε πάλι Next.



Εικόνα 7.5 : Επιλογή του Τύπου Πλακέτας

Στο τελευταίο παράθυρο που εμφανίζεται γίνεται μία σύνοψη των επιλογών που κάναμε και στη συνέχεια πατάμε Finish.

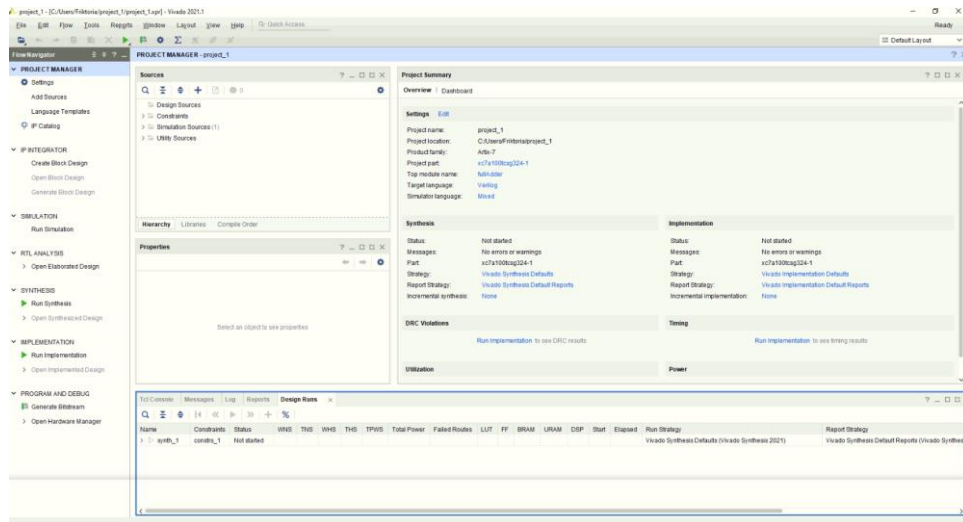


Εικόνα 7.6 : Σύνοψη Επιλογών

Μόλις ανοίξει το βασικό παράθυρο στην αριστερή μεριά βρίσκεται το Flow Navigator το οποίο είναι το πιο σημαντικό παράθυρο του Vivado, διότι ο χρήστης μπορεί να περιηγηθεί μεταξύ των διαφορετικών εργαλείων της εφαρμογής. Το Flow Navigator είναι χωρισμένο στα εξής επτά τμήματα: το “Project Manager”, το “IP Integrator”, το “Simulation”, το “RTL Analysis”, το “Synthesis”, το “Implementation” και το “Program and Debug”.

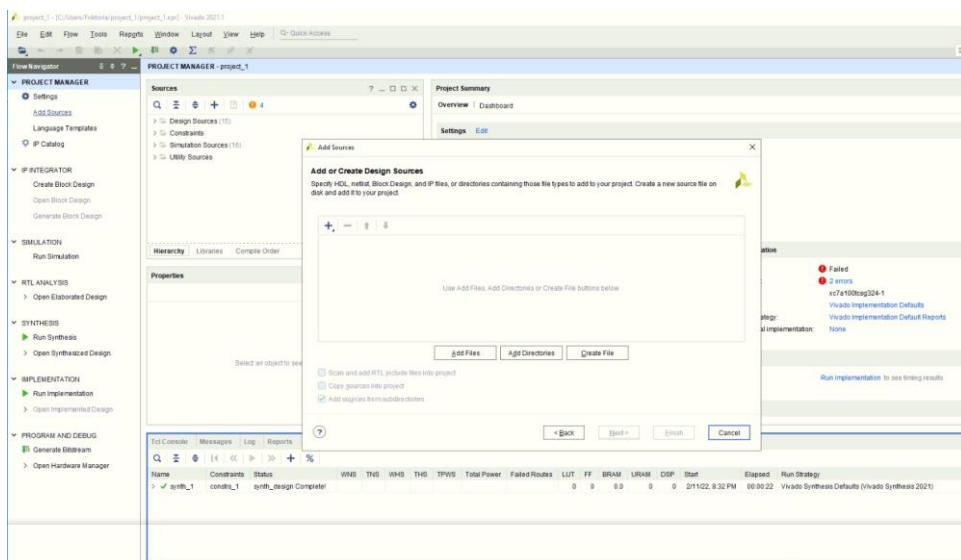
Στην δεξιά μεριά βρίσκεται το Project Manager το οποίο αποτελείται από τέσσερα παράθυρα: το χώρο εργασίας, τις πηγές, τις ιδιότητες και τα αποτελέσματα. Το παράθυρο πηγές περιέχει την ιεραρχία του project και από εκεί μπορούμε να ανοίξουμε τα αρχεία. Το παράθυρο ιδιότητες μας επιτρέπει να δούμε και να επεξεργαστούμε ιδιότητες του

αρχείου που έχουμε επιλέξει. Το παράθυρο με το χώρο εργασίας μας επιτρέπει να ανοίγουμε τις αναφορές για προβολή και τα αρχεία HDL για επεξεργασία. Το τελευταίο παράθυρο που εμφανίζεται στο κάτω μέρος του προγράμματος περιέχει διάφορα εργαλεία αποσφαλμάτωσης και προβολής μηνυμάτων και σφαλμάτων.



Εικόνα 7.7 : Το Αρχικό Παράθυρο του Προγράμματος

Για τη δημιουργία αρχείου Verilog πηγαίνουμε στο Flow Navigator και επιλέγουμε Add Sources στο παράθυρο που εμφανίζεται επιλέγουμε Add ή Create Design Sources και πατάμε Next. Στο επόμενο παράθυρο επιλέγουμε Create File και πατάμε Next. Στην συνέχεια επιλέγουμε τον τύπο αρχείου , το όνομα και τον χώρο αποθήκευσής του , πατάμε Ok και μετά Finish.



Εικόνα 7.8 : Προσθήκη ή Δημιουργία Αρχείου

### 7.1.1 Vivado High-Level Synthesis

Το Vivado High-Level Synthesis είναι ένα λογισμικό ανάπτυξης κώδικα το οποίο παρέχεται δωρεάν μαζί με το πρόγραμμα Vivado Design Suite. Το συγκεκριμένο λογισμικό ανάπτυξης δέχεται ως είσοδο αρχεία σε γλώσσες C , C++ και SystemC τα οποία περιγράφουν το hardware που θέλουμε να κατασκευάσουμε. Επίσης, δέχεται ως είσοδο C αρχεία για το testbench τα οποία είναι αρχεία που περιγράφουν το test που θέλουμε να εκτελέσουμε στο hardware. Τέλος, δέχεται και Tcl (Tool Command Language) το οποίο χωρίζεται σε δύο κατηγορίες τις εξής : τα Constraints που χρησιμοποιούνται ώστε να καθορίσουμε την επιθυμητή συσκευή , περίοδο ρολογιού καθώς και χρόνο αβεβαιότητας του ρολογιού και τα Directives που αφορούν διάφορες οδηγίες ως προς το εργαλείο σχετικά με το πως θέλουμε να πραγματοποιήσει τον κώδικα που του περιγράφουμε.

Από την άλλη οι έξοδοι του προγράμματος είναι οι εξής τρεις : πρώτον το Μοντέλο SystemC το οποίο είναι ένα μοντέλο σχεδιασμένο για RTL Simulation , δεύτερον ο RTL Code ο οποίος είναι κώδικας σε VHDL και Verilog που μπορεί να γίνει simulation ή να γίνει σύνθεση σε κάποιο FPGA και τρίτον είναι το Packaged IP το οποίο είναι ένα πακέτο με βάση το πρότυπο IP-XACT και χρησιμοποιείται για εύκολη εισαγωγή ως IP σε κάποιο άλλο Project.

### 7.2 Η Γλώσσα Verilog

Η Verilog είναι μία γλώσσα περιγραφής υλικού (HDL - Hardware Description Language ) η οποία χρησιμοποιείται για την σχεδίαση και την επαλήθευση των ψηφιακών συστημάτων σε επίπεδο καταχωρητή (RTL – Register Transfer Level). Η Verilog ως μία γλώσσα περιγραφής υλικού που είναι διαφέρει από τις γλώσσες προγραμματισμού λογισμικού επειδή περιγράφει την συμπεριφορά ενός κυκλώματος και του χρόνου που διαδίδονται τα σήματα.

Συντακτικά μοιάζει με τη γλώσσα C και είναι πιο συνοπτική γλώσσα σε σχέση με την VHDL η οποία είναι πιο πολύπλοκη. Η Verilog χρησιμοποιεί κάποιους συντακτικούς κανόνες όπως ο διαχωρισμός των πεζών και των κεφαλαίων , όλες οι λέξεις κλειδιά είναι με πεζά , όλα τα σήματα και οι ενότητες ξεκινάνε πάντα με γράμμα και ποτέ με αριθμό ή κάποιο άλλο σύμβολο. Επίσης , διαθέτει λέξεις οι οποίες είναι δεσμευμένες και δεν μπορούν να χρησιμοποιηθούν στον κώδικα εκτός από την ιδιότητα που έχουν και επιπλέον αγνοεί τα κενά.

Τα σχόλια γίνονται εισάγοντας στην αρχή του σχόλιου “//” εάν είναι σχόλιο μιας γραμμής, ενώ αν είναι σχόλιο πολλών γραμμών εισάγοντας “/\*” στην αρχή του σχόλιου και “\*/” στο τέλος του σχόλιου.

Στη γλώσσα Verilog μπορούμε να χρησιμοποιήσουμε ακεραίους αριθμούς προκαθορισμένου μεγέθους ή μη προκαθορισμένου μεγέθους. Στην περίπτωση του προκαθορισμένου μεγέθους δηλώνουμε την μορφή (δυαδικό, δεκαεξαδικό, οκταδικό ,δεκαδικό) που έχει ο αριθμός και μετά βάζουμε το μέγεθος του αριθμού σε bits. Στην περίπτωση του μη προκαθορισμένου μεγέθους όπου δεν προκαθορίζεται το μέγεθος των

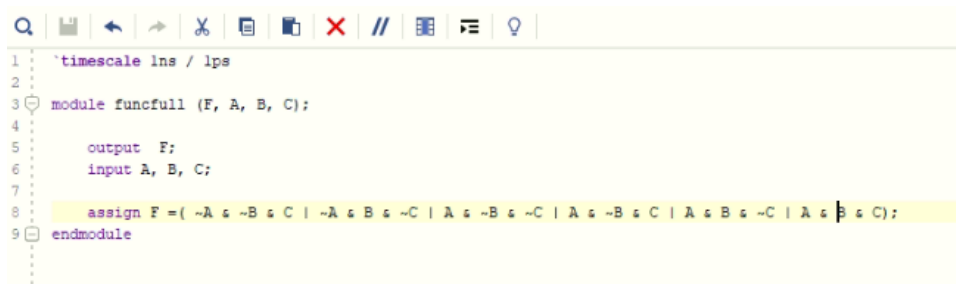
αριθμών δεσμεύεται μνήμη 32 Bit για κάθε ακέραιο αριθμό. Μπορούμε να δηλώσουμε τους ακέραιους αριθμούς σε δυαδικό, οκταδικό, δεκαδικό και δεκαεξαδικό. Επίσης, στην Verilog οι πραγματικοί αριθμοί που υποστηρίζονται μπορεί να είναι σταθερές ή μεταβλητές τιμές.

Επιπλέον, η γλώσσα Verilog μπορεί να υποστηρίξει και τους προσημασμένους αριθμούς και τους μη προσημασμένους αριθμούς τους δηλώνουμε ως αριθμούς και ανάλογα αν είναι προσημασμένοι τοποθετούμε για αρνητικούς αριθμούς το αντίστοιχο αρνητικό πρόσημο και για θετικούς αριθμούς το θετικό. Αν είναι μη προσημασμένος αριθμός τότε δεν τοποθετούμε πρόσημο στον αριθμό.

Στην Verilog ένα πρόγραμμα ξεκινάει με την λέξη module και τελειώνει με την λέξη endmodule. Η module είναι δομική μονάδα που μπορεί να χρησιμοποιηθεί σε οποιοδήποτε σημείο με εισόδους και εξόδους χωρίς να ξέρουμε την ακριβή λειτουργία του. Εσωτερικά μια δομική μονάδα περιέχει δηλώσεις εισόδων-εξόδων, εσωτερικών διασυνδέσεων, δηλώσεις συναρτήσεων και λειτουργιών και τέλος κλήσεις άλλων δομικών μονάδων οι οποίες χρησιμοποιούνται ως κομμάτι της ιεραρχίας. Κάθε module θα πρέπει να έχει και όνομα που θα είναι και το όνομα του προγράμματος, στην συνέχεια δηλώνουμε τις πόρτες με τις δεσμευμένες λέξεις input και output μέσα σε παρενθέσεις, κάθε input και output ακολουθείται από το αναγνωριστικό του. Τα αναγνωριστικά αποτελούνται πάντα από γράμμα ή αριθμούς (A-Z και a-z), (0-9) η και το σύμβολο της κάτω παύλας θα πρέπει όμως να ξεκινάνε πάντα με γράμμα.

### 7.3 Αποτελέσματα των Πειραμάτων

Στην παρούσα πτυχιακή χρησιμοποιήθηκε για τα πειράματα η εξίσωση  $y = f(a, b, c) = a'b'c + a'bc' + ab'c' + abc' + abc$  την οποία βελτιστοποιήσαμε όπως είδαμε και στα προηγούμενα κεφάλαια με την μέθοδο του Quine McCluskey. Για την εξίσωση αυτή γράψαμε τον κώδικα Verilog ο οποίος παραθέτετε παρακάτω (Εικόνα 7.9) ώστε να δημιουργήσουμε το κύκλωμα που αντιστοιχεί στην συγκεκριμένη εξίσωση.



```
1 `timescale 1ns / 1ps
2
3 module funcfull (F, A, B, C);
4
5     output F;
6     input A, B, C;
7
8     assign F = (~A & ~B & C | ~A & B & ~C | A & ~B & ~C | A & B & C | A & B & C);
9 endmodule
```

Εικόνα 7.9 : Ο Κώδικας σε Verilog

Επίσης για να μπορέσουμε να δούμε τις μετρήσεις δημιουργήσαμε και ένα αρχείο testbench σε Verilog το οποίο παραθέτετε και αυτό παρακάτω.

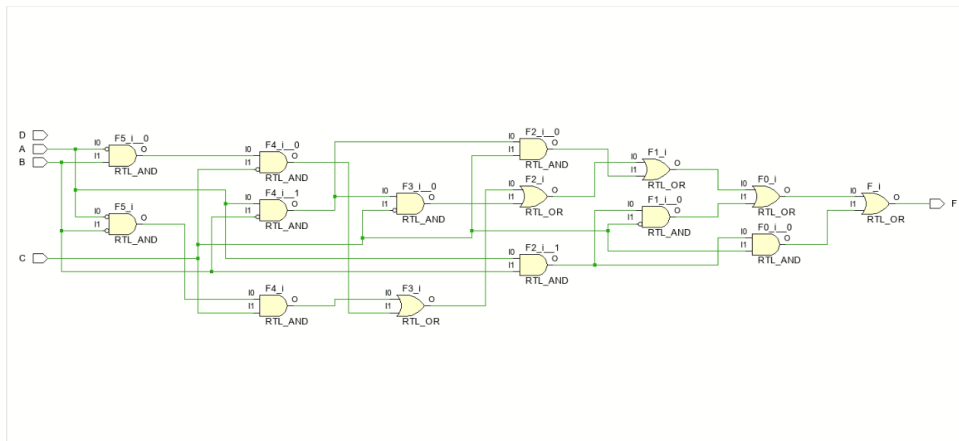
```

1  `timescale 1ns / 1ps
2
3  module testbench();
4      reg A, B, C;
5      wire F;
6
7      funcfull dut (.A(A) , .B(B) , .C(C) , .F(F));
8
9      initial
10     begin
11
12         A=0; B=0; C=0; #10;
13         A=0; B=0; C=1; #10;
14         A=0; B=1; C=0; #10;
15         A=0; B=1; C=1; #10;
16         A=1; B=0; C=0; #10;
17         A=1; B=0; C=1; #10;
18         A=1; B=1; C=0; #10;
19         A=1; B=1; C=1; #10;
20     end
21 endmodule
22

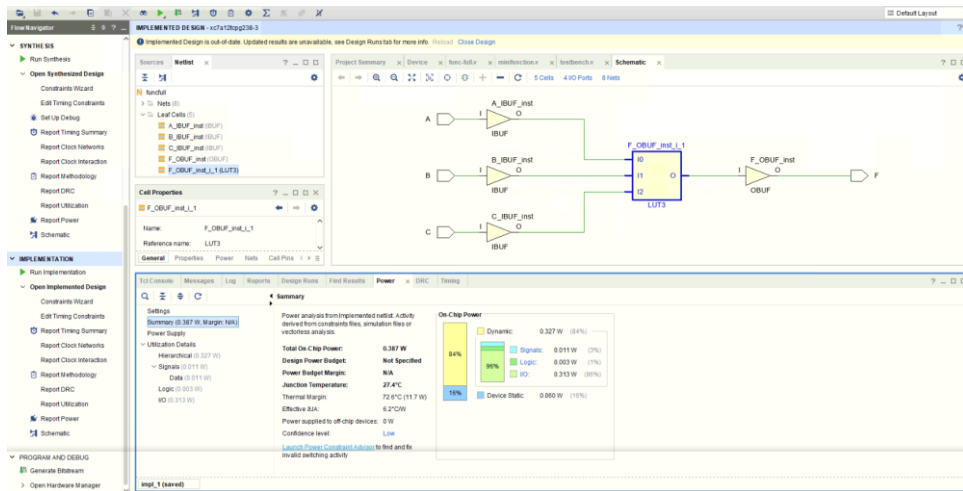
```

Εικόνα 7.10 : Ο Κώδικας του Testbench σε Verilog

Από το πρώτο κώδικα (Εικόνα 7.9) προκύπτει το κύκλωμα στο σχήμα 7.1 παρακάτω και με την βοήθεια του προγράμματος Vivado Design Suite μπορούμε να δούμε τις μετρήσεις του γύρω από την κατανάλωση.



Σχήμα 7.1 : Το Κύκλωμα της Εξίσωσης  
 $y = f(a, b, c) = a'b'c + a'bc' + ab'c' + abc' + abc' + abc$



Εικόνα 7.11 : Αποτελέσματα Μετρήσεων της Στατικής Κατανάλωσης

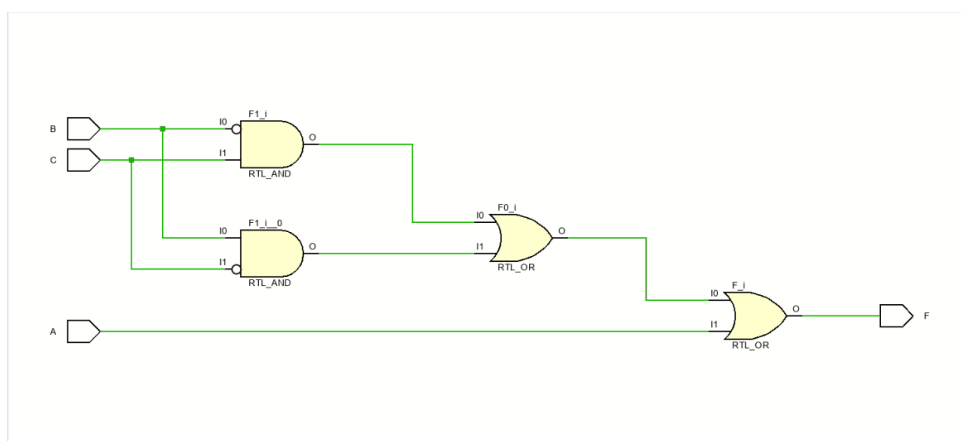
Για την βελτιστοποιημένη εξίσωση τώρα επαναλάβαμε την διαδικασία γράψαμε τον κώδικα Verilog από τον οποίο θα δημιουργήσουμε το ελαχιστοποιημένο κύκλωμα και στην συνέχεια με την βοήθεια του αρχείου testbench θα βγάλουμε τις νέες μετρήσεις.

```

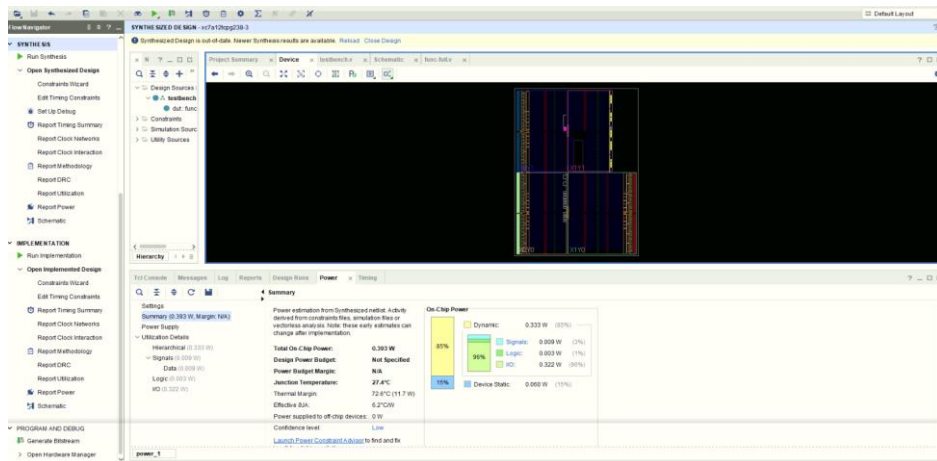
1  `timescale 1ns / 1ps
2
3  module funcfull (F, A, B, C);
4
5      output F;
6      input A, B, C;
7
8      assign F = (~B & C | B & ~C | A);
9  endmodule

```

Εικόνα 7.12 : Κώδικας Verilog της Δεύτερης Συνάρτησης



Σχήμα 7.2 : Το Κύκλωμα της Εξίσωσης  $y = f(a, b, c) = b'c + bc' + a$



Εικόνα 7.13 : Αποτελέσματα Μετρήσεων της Στατικής Κατανάλωσης της Δεύτερης Συνάρτησης





## BIBΛΙΟΓΡΑΦΙΑ

- [1] J.M. Rabucy, A. Chandrukason and B. Nikolic, Digital Integrated Circuit: A Design Perspective, 2<sup>nd</sup> ed., Prentice Hall, 2003.
- [2] M. Morris Mano, Digital Design, 3<sup>rd</sup> ed., Prentice Hall, 2005.
- [3] S. Kang and Y. Leblebici, CMOS Digital Integrated Circuits, 2<sup>nd</sup> ed., McGraw-Hill, 1999.
- [4] V. Kursun and E. Friedman, Multi-Voltage CMOS Circuit Design, John Wiley and Sons, Ltd, 2006.
- [5] Μπούντας Δημήτριος, Εργαλεία CAD για Υπολογισμό Ισχύος και Αξιοπιστίας Κυκλωμάτων VLSI, Διδακτορική Διατριβή, Τμήμα Μηχανικών Ηλεκτρονικών Υπολογιστών Τηλεπικοινωνιών και Δικτύων, Πανεπιστήμιο Θεσσαλίας, 2009.
- [6] Κατσίκος Παναγιώτης, Τεχνική Χαμηλής Στατικής Κατανάλωσης Ψηφιακών Ολοκληρωμένων Κυκλωμάτων με Χρήση Πολλαπλών Καταστάσεων Ύπνου, Μεταπτυχιακή Εργασία Εξειδίκευσης, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων, 2009.
- [7] Zhanping Chen, Mark Johnson, Liqiong Wei, Kaushik Roy, "Estimation of standby leakage power in CMOS circuits considering accurate modeling of transistor stacks," ISLPED '98: Proceedings of the 1998 international symposium on Low power electronics and design.
- [8] M.C. Johnson, D. Somasekhar, and K. Roy, "A model for leakage control by MOS transistor stacking." Technical Report TR-ECE 97-12, Purdue University, 1997.
- [9] J. Halter and F. Najm, "A gate-level leakage power reduction method for ultralow - power CMOS circuits", Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 475-478, 1997.
- [10] S. Kim, S.V. Kosonocky, D.R. Knebel and K. Stawiasz, "Experimental Measurement of a Novel Power Gating Structure with Intermediate Power Saving Mode" , Proceedings of the International Symposium on Low Power Electronics and Design, pp.20-25, 2004.
- [11] H. Singh, K. Agarwal and D. Sylvester, "Enhanced Leakage Reduction Techniques Using Intermediate Strength Power Gating" , IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol.15, no.11, pp.1215-1224, 2007.

- [12] S. Sirichotiyakul, T. Edwards, Chanhee Oh, R. Panda and D. Blaauw “Duet: An Accurate Leakage Estimation and Optimization Tool for Dual- $V_t$  Circuits”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 10, pp. 79-90, 2002.
- [13] [https://en.wikipedia.org/wiki/Standard\\_cell](https://en.wikipedia.org/wiki/Standard_cell)
- [14] <https://en.wikipedia.org/wiki/Transistor>
- [15] [https://en.wikipedia.org/wiki/Logical\\_effort](https://en.wikipedia.org/wiki/Logical_effort)
- [16] <https://en.wikipedia.org/wiki/MOSFET>
- [17] [https://en.wikipedia.org/wiki/Very\\_Large\\_Scale\\_Integration](https://en.wikipedia.org/wiki/Very_Large_Scale_Integration)
- [18] [https://en.wikipedia.org/wiki/Transistor-transistor\\_logic](https://en.wikipedia.org/wiki/Transistor-transistor_logic)
- [19] [https://en.wikipedia.org/wiki/Emitter-coupled\\_logic](https://en.wikipedia.org/wiki/Emitter-coupled_logic)
- [20] [https://en.wikipedia.org/wiki/Electronic\\_design\\_automation](https://en.wikipedia.org/wiki/Electronic_design_automation)
- [21] [https://el.wikipedia.org/wiki/Αναζήτηση\\_Κατά\\_Βάθος](https://el.wikipedia.org/wiki/Αναζήτηση_Κατά_Βάθος)
- [22] I. Sutherland, R. Sproull, “The theory of logical effort: designing for speed on the back of an envelope”, Advanced Research in VLSI, 1991.
- [23] I. Sutherland, B. Sproull , D. Harris, “Logical Effort, Designing Fast CMOS Circuits” , 1<sup>st</sup> ed., Academic Press, 1999.
- [24] T. Kawahara, et al., “Subthreshold Current Reduction for Decoder-Driver by Self-Reverse-Biasing ” , IEEE J. Solid-State Circuits, vol.28, no. 11, pp. 1136-1144, 1993.
- [25] D. Takashima, et al., “Standby/ Active Mode Logic for Sub-1-V Operating ULSI Memory” ,IEEE J. Solid-State Circuits, vol.29, no. 4, pp. 441-447, 1994.
- [26] K. Kumagai, et al., “A Novel Powering - Down Scheme for Low  $V_t$  CMOS Circuits”, Symp. On VLSI Circuits, Honolulu, 1998.
- [27] H. S. P. Wong, et al., “Nanoscale CMOS”, Proc. of the IEEE, vol. 87, no. 4, p.p. 537-570, 1999.
- [28] R. Hegde, N. Shanbhag, “Toward achieving energy efficiency in presence of deep submicron noise”, IEEE Transactions on VLSI Systems, p.p. 379-391, vol. 8, no. 4, 2000.

- [29] L. Shang, L. S. Peh, N. K. Jha, "Dynamic Voltage Scaling with Links for Power Optimization of Interconnection Networks" , HPCA – Proceedings of the International Symposium on High Performance Computer Architecture, Anaheim, p.p. 91-102, 2003.
- [30] D. Lee, W. Kwong, D. Blaauw and D. Sylvester, "Analysis and minimization techniques for total leakage considering gate oxide leakage" , Proc. Design Automation Conference, p.p. 175-180, 2003.
- [31] S. Banerji, "Computer Simulation Codes for the Quine-McCluskey Method of Logic Minimization" , RCC – Institute of Information Technology, 2014.
- [32] J. Huang, "Programming Implementation of the Quine-McCluskey Method for Minimization of Boolean Expression" , Department of Biological Sciences, Faculty of Science National University of Singapore , 2014.
- [33] R. B. Yehuda, J. A. Feldman, R. Y. Pinter, S. Wimer, "Depth-First-Search and Dynamic Programming Algorithms for Efficient CMOS Cell Generation", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, p.p. 737 - 743, vol. 8, no. 7, 1989.
- [34] H. Arslan , S. Dutt , "A Depth-First-Search Controlled Gridless Incremental Routing Algorithm for VLSI Circuits" , IEEE International Conference on Computer Design: VLSI in Computers and Processors, 2004.
- [35] <https://www.xilinx.com/>
- [36] Vivado Design Suite User Guide: System-Level Design Entry , UG895 , Xilinx.
- [37] Vivado Design Suite User Guide: Synthesis , UG901 , Xilinx.
- [38] Vivado Design Suite User Guide: High-Level Synthesis , UG902 , Xilinx.