



ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ &
ΜΗΧΑΝΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ**

Διπλωματική εργασία με τίτλο:

Σχεδιασμός ενός glitch-free κυκλώματος εναλλαγής ρολογιού

Στεργιοπούλου Κωνσταντίνα

Επιβλέποντες:

Πλέσσας Φώτιος, Επίκουρος Καθηγητής Πανεπιστημίου Θεσσαλίας
Ευμορφόπουλος Νέστωρ, Επίκουρος Καθηγητής Πανεπιστημίου Θεσσαλίας

Βόλος, Ιούνιος 2018

Ευχαριστίες

Με την ολοκλήρωση αυτής της διπλωματικής εργασίας, θα ήθελα να ευχαριστήσω ιδιαίτερα τον Επίκουρο Καθηγητή κ. Πλέσσα Φώτιο, για την άψογη συνεργασία, τη συνεχή βοήθεια και την καθοδήγηση καθ' όλη τη διάρκεια εκπόνησης της διπλωματικής μου εργασίας.

Επίσης, θα ήθελα να ευχαριστήσω θερμά και τον δεύτερο επιβλέποντα της διπλωματικής μου εργασίας, τον Επίκουρο Καθηγητή κ. Ευμορφόπουλο Νέστωρ.

Ιδιαίτερη αναφορά θα ήθελα να κάνω και στον υποψήφιο διδάκτορα του τμήματος Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών κ. Ιωάννη Ζωγραφόπουλο ο οποίος με την πολύτιμη βοήθεια του συνετέλεσε καταλυτικά στην περάτωση της διπλωματικής εργασίας. Τέλος, θα ήθελα να ευχαριστήσω την οικογένεια μου για τη στήριξη της όλα αυτά τα χρόνια.

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΕΡΙΛΗΨΗ	3
ΚΕΦΑΛΑΙΟ 1 Εισαγωγή	4
1.1 Περιγραφή προβλήματος.....	4
1.2 Διάρθρωση της διπλωματικής εργασίας.....	6
ΚΕΦΑΛΑΙΟ 2 Ανάλυση βασικών εννοιών	7
2.1 Ψηφιακά κυκλώματα	7
2.2 Ρολόγια στα ψηφιακά κυκλώματα.....	15
2.3 Σήματα ρολογιού.....	21
2.4 Καθυστέρηση διάδοσης(propagation Delay).....	24
2.5 Μετασταθερότητα (Metastability).....	28
ΚΕΦΑΛΑΙΟ 3 Σχεδιασμός κυκλωμάτων	34
3.1 Glitch-free clock switching circuit-Πρώτη υλοποίηση κυκλώματος πολυπλέκτη.....	34
3.2 flipflops	37
3.3 Πρώτος τρόπος αντιμετώπισης του φαινομένου των glitches.....	40
3.4 Δεύτερος τρόπος αντιμετώπισης του προβλήματος - Προστασία απο glitches για ρολογια που δεν σχετίζονται	43
3.5 Ανάλυση Λειτουργίας κυκλώματος.....	46

3.6 Συμπεράσματα τεχνικών αντιμετώπισης των glitches.....	48
3.7 Αντιμετώπιση των glitches με την χρήση του ICG (Integrated Clock Gating Cell)	49
3.8 Υλοποίηση κυκλώματος με ICG.....	52
3.9 Αναλυτική λειτουργία κυκλώματος.....	54
3.10 Σχεδίαση ενός glitch-free κυκλώματος εναλλαγής ρολογιού με ελάχιστο χρόνο μετάβασης.....	58
3.11 Ανάλυση κυκλώματος.....	60
ΚΕΦΑΛΑΙΟ 4 Επίλυση προβλημάτων και μελλοντικές προσθήκες	63
4.1 Θεωρητική ανάλυση καταστάσεων ειδικής περίπτωσης και τρόπος αντιμετώπισης περιορισμών.....	63
4.2 Ανάλυση προβήματος.....	64
4.3 Flip-flops με χρήση ασύγχρονης επαναφοράς.....	66
ΚΕΦΑΛΑΙΟ 5 Επίλογος	72
ΒΙΒΛΙΟΓΡΑΦΙΑ	73

ΠΕΡΙΛΗΨΗ

Η παρούσα διπλωματική εργασία έχει ως σκοπό την μελέτη και τον σχεδιασμό ψηφιακών κυκλωμάτων εναλλαγής ρολογιού, τα οποία θα επεξεργάζονται σήματα και θα παράγουν εξόδους απαλλαγμένες από glitches.

Η υλοποίηση των κυκλωμάτων έχει γίνει με τέτοιο τρόπο ώστε να μπορέσουμε να δούμε τις λειτουργίες τους, τα προβλήματα που προκύπτουν κατά την ενεργοποίηση τους και θα αναλυθούν τρόποι βελτιστοποίησης με βάση την εκάστοτε συνδεσμολογία.

Θα γίνει ανάλυση του τρόπου συμπεριφοράς όλων των συνδεσμολογιών που χρησιμοποιούνται, οι συχνότητες των ρολογιών που εισάγονται και οι αιτίες βελτίωσης ή μη των κυκλωμάτων από συγκεκριμένες επιλογές διάταξης και διαμόρφωσης των στοιχείων. Όλες οι υλοποιήσεις των κυκλωμάτων έχουν σχεδιαστεί στο PSpice.

Στόχος είναι να κατασκευαστεί ένα κύκλωμα το οποίο θα λύνει διεξοδικά το φαινόμενο των glitches που προκύπτουν σε κάποιες περιπτώσεις, χωρίς περιορισμούς και απαιτήσεις ειδικών καταστάσεων λειτουργίας από πλευράς των κυκλωμάτων.

ΚΕΦΑΛΑΙΟ 1

Εισαγωγή

1.1 Περιγραφή προβλήματος

Ο όρος glitch στα ψηφιακά κυκλώματα καλείται για να περιγράψει μια άκυρη και απρόβλεπτη έξοδο που μπορεί να μεταβιβαστεί στα επόμενα στάδια ενός κυκλώματος και να οδηγήσει σε λάθος ενέργειες. Κάποιες φορές το σήμα προτού φτάσει στην τελική τιμή μόνιμης κατάστασης, εμφανίζει λάθος ενδιάμεσες τιμές στην έξοδο, μέχρι να καταλήξει στη φάση ηρεμίας του (settle phase). Η αιτία δημιουργίας τέτοιων προβλημάτων έγκειται στα ψηφιακά σήματα και στις ενδιάμεσες τιμές που λαμβάνουν καθώς διαδίδονται μέσω της συνδυαστικής λογικής.

Οι διαφορετικές διαδρομές σήματος έχουν διαφορετικές καθυστερήσεις. Έτσι, όταν ένα σήμα φτάσει στην είσοδο μιας πύλης ενώ καθυστερεί κάποια άλλη είσοδος, μπορεί να εμφανιστεί μη αναμενόμενη έξοδος. Το σήμα εξόδου θα διορθωθεί αφού όλες οι σωστές εισοδοί έχουν μεταδοθεί. Ο όρος είναι ιδιαίτερα γνωστός στη βιομηχανία της πληροφορικής και των ηλεκτρονικών.

Πιο συγκεκριμένα, ένα ηλεκτρονικό glitch είναι μια ανεπιθύμητη μεταβολή που συμβαίνει πριν το σήμα καταλήξει στην προβλεπόμενη τιμή του. Με άλλα λόγια το glitch οφείλεται σε έναν ηλεκτρικό παλμό μικρής διάρκειας

που είναι συνήθως αποτέλεσμα λανθασμένου σχεδιασμού ιδιαίτερα στα ψηφιακά κυκλώματα.

Για παράδειγμα, πολλά ηλεκτρονικά στοιχεία όπως τα flip-flops ενεργοποιούνται από έναν παλμό ο οποίος δεν θα πρέπει να είναι μικρότερος από μια προκαθορισμένη ελάχιστη διάρκεια. Διαφορετικά το στοιχείο ενδέχεται να παρουσιάσει δυσλειτουργία. Έτσι αντί για μια γνωστή έξοδο που περιμένουμε να πάρουμε σε ένα κύκλωμα προτού παραληφθεί η προβλεπόμενη τιμή (παλμός) μπορεί να εντοπιστεί μία ή περισσότερες μεταβάσεις οι οποίες υποθετικά δεν θα έπρεπε να υπάρχουν.

Έχουμε ουσιαστικά να αντιμετωπίσουμε έναν παλμό ο οποίος είναι μικρότερος από τον προκαθορισμένο ελάχιστο. Μια σχετική ιδέα είναι ο runt pulse, ένας παλμός του οποίου το πλάτος είναι μικρότερο από το ελάχιστο επίπεδο που προδιαγράφεται για τη σωστή λειτουργία και ένα spike, που είναι ένας σύντομος παλμός παρόμοιος με ένα glitch αλλά συχνά προκαλείται από χτυπήματα ή παρεμβολές.

Ένα glitch μπορεί να προκληθεί από την παρουσία race condition σε ένα κακώς σχεδιασμένο κύκλωμα ψηφιακής λογικής. Για παράδειγμα όταν ένα σήμα βασίζεται σε άλλα δύο σήματα που προέρχονται από ένα κοινό, μπορεί να προκύψει ανεπιθύμητη παρεμβολή εάν υπάρχει καθυστέρηση σε ένα από αυτά.

1.2 Διάρθρωση της διπλωματικής εργασίας

Στο **Κεφάλαιο 2**, αναλύονται τα ψηφιακά κυκλώματα και οι λειτουργίες τους. Επιπλέον γίνεται ιδιαίτερη αναφορά σε κάποιες κάποιες βασικές έννοιες όπως τα σήματα ρολογιού η καθυστέρηση διάδοσης και το φαινόμενο του metastability, οι οποίες θα μας απασχολήσουν στα επόμενα κεφάλαια με σκοπό την ανάλυση και τη λύση του προβλήματος.

Στο **Κεφάλαιο 3**, γίνεται ο σχεδιασμός και η ανάλυση των κυκλωμάτων. Η εκάστοτε συνδεσμολογία συνοδεύεται με την απαραίτητη ανάλυση λειτουργίας της όπως επίσης και με τα συμπεράσματα της σωστής η λανθασμένης λειτουργίας του κυκλώματος σύμφωνα με τον σχεδιασμό τους.

Στο **Κεφάλαιο 4**, γίνεται θεωρητική ανάλυση και δίνονται πιθανές λύσεις των ειδικών καταστάσεων που μελετήθηκαν στα προηγούμενα, θέτοντας μελλοντικές επεκτάσεις και προσθήκες που μπορούν να γίνουν στα κυκλώματα με απώτερο σκοπό τη λύση περισσότερων φαινομένων glitches.

Στο **Κεφάλαιο 5**, γίνεται μια συνοπτική αναφορά στα σημεία που μελετήθηκαν στην διπλωματική όσον αφορά την επίτευξη του στόχου.

ΚΕΦΑΛΑΙΟ 2

Ανάλυση βασικών εννοιών

2.1 Ψηφιακά κυκλώματα

Τα ψηφιακά ηλεκτρονικά κυκλώματα είναι κυκλώματα που λειτουργούν με ψηφιακά σήματα. Σε αντίθεση, τα αναλογικά κυκλώματα χειρίζονται αναλογικά σήματα των οποίων η απόδοση εξαρτάται περισσότερο από την κατασκευαστική ανοχή, την εξασθένιση του σήματος και τον θόρυβο. Τα ψηφιακά ηλεκτρονικά συνήθως υλοποιούνται από συνδεσμολογίες πολλών λογικών πυλών, απλές ηλεκτρονικές αναπαραστάσεις λογικών συναρτήσεων άλγεβρας Boole.

Ένα πλεονέκτημα των ψηφιακών κυκλωμάτων σε σύγκριση με τα αναλογικά είναι ότι τα σήματα που αντιπροσωπεύονται ψηφιακά μπορούν να μεταδοθούν χωρίς υποβάθμιση λόγω θορύβου. Για παράδειγμα, ένα συνεχές ηχητικό σήμα που μεταδίδεται ως ακολουθία των 1s και 0s, μπορεί να ανακατασκευαστεί χωρίς σφάλμα, υπό την προϋπόθεση ότι ο θόρυβος που λαμβάνεται στη μετάδοση δεν είναι αρκετός για να αποτρέψει την ταυτοποίηση των 1s και 0s. Σε ένα ψηφιακό σύστημα, μια ακριβέστερη αναπαράσταση ενός σήματος μπορεί να επιτευχθεί με τη χρήση περισσότερων δυαδικών ψηφίων για την αναπαραγωγή του.

Ενώ αυτό απαιτεί περισσότερα ψηφιακά κυκλώματα για την επεξεργασία των σημάτων, κάθε ψηφίο διαχειρίζεται το ίδιο είδος υλικού, με αποτέλεσμα την δημιουργία ενός εύκολου κλιμακωτού συστήματος. Σε ένα αναλογικό

σύστημα, η πρόσθετη ανάλυση απαιτεί θεμελιώδεις βελτιώσεις στα χαρακτηριστικά γραμμικότητας και θορύβου σε κάθε στάδιο της αλυσίδας του σήματος. Τα ψηφιακά κυκλώματα τα οποία ελέγχονται από υπολογιστικά συστήματα μπορούν να ελέγχονται από λογισμικό επιτρέποντας την προσθήκη νέων λειτουργιών χωρίς αλλαγή υλικού. Συχνά αυτό γίνεται με την ενημέρωση του λογισμικού του προϊόντος.

Με αυτόν τον τρόπο μπορεί να διορθωθούν σφάλματα σχεδίασης. Η αποθήκευση πληροφοριών μπορεί να γίνει ευκολότερα σε ψηφιακά συστήματα παρά σε αναλογικά. Η θωράκιση των ψηφιακών συστημάτων επιτρέπει την αποθήκευση και την ανάκτηση δεδομένων χωρίς υποβάθμιση. Σε ένα αναλογικό σύστημα, ο θόρυβος από τη φθορά υποβαθμίζει τις αποθηκευμένες πληροφορίες. Σε ένα ψηφιακό σύστημα, εφόσον ο συνολικός θόρυβος είναι κάτω από ένα ορισμένο επίπεδο, οι πληροφορίες μπορούν να ανακτηθούν τέλεια. Ακόμα κι αν παρουσιαστεί μεγαλύτερος από τον προβλεπόμενο θόρυβο, η χρήση πλεονασμού (redundancy) επιτρέπει την ανάκτηση δεδομένων, δεδομένου ότι δεν συμβαίνουν πολλές αστοχίες.

Σε ορισμένες περιπτώσεις, η ενέργεια που καταναλώνεται από τα ψηφιακά κυκλώματα είναι περισσότερη από την ενέργεια που καταναλώνουν τα αναλογικά για να επιτύχουν τις ίδιες λειτουργίες. Δημιουργούν έτσι περισσότερη θερμότητα, η οποία αυξάνει την πολυπλοκότητα των κυκλωμάτων. Σε φορητά ή γενικά σε συστήματα που φέρουν μπαταρία αυτό το πρόβλημα μπορεί να περιορίσει τη χρήση των ψηφιακών συστημάτων.

Για παράδειγμα, τα κινητά τηλέφωνα που τροφοδοτούνται από μπαταρία χρησιμοποιούν συχνά αναλογικό front-end χαμηλής ισχύος για την ενίσχυση και τον συντονισμό των ραδιοσημάτων από τον σταθμό βάσης. Ωστόσο, ένας σταθμός βάσης έχει ισχύ δικτύου και μπορεί να χρησιμοποιήσει μεγάλης ισχύς, αλλά πολύ ευέλικτα, ραδιοσήματα λογισμικού. Τέτοιοι σταθμοί βάσης μπορούν εύκολα να επαναπρογραμματιστούν για να επεξεργαστούν σήματα που χρησιμοποιούνται σε νέα κυψελοειδή πρότυπα.

Τα πιο χρήσιμα ψηφιακά συστήματα πρέπει να μεταφράζονται από συνεχόμενα αναλογικά σήματα σε διακεκριμένα ψηφιακά σήματα. Αυτό

προκαλεί σφάλματα κβαντισμού. Το σφάλμα ποσοτικοποίησης μπορεί να μειωθεί εάν το σύστημα αποθηκεύσει αρκετά ψηφιακά δεδομένα για να αντιπροσωπεύσει το σήμα στον επιθυμητό βαθμό πιστότητας.

Το θεώρημα δειγματοληψίας Nyquist-Shannon παρέχει μία σημαντική κατευθυντήρια γραμμή ως προς το πόσα ψηφιακά δεδομένα είναι απαραίτητα για την απεικόνιση με ακρίβεια ενός δεδομένου αναλογικού σήματος.

Σε ορισμένα συστήματα αν χαθεί ή παρερμηνευθεί ένα κομμάτι ψηφιακών δεδομένων, μπορεί να αλλάξει εντελώς η σημασία μεγάλων ομάδων σχετικών δεδομένων. Λόγω του φαινομένου cliff effect, μπορεί να είναι δύσκολο να διακρίνουμε αν ένα συγκεκριμένο σύστημα είναι σωστό σε κρίσιμες καταστάσεις ή αν μπορεί να ανεχθεί πολύ περισσότερο θόρυβο προτού αποτύχει. Η ψηφιακή ευθραυστότητα μπορεί να μειωθεί με το σχεδιασμό ενός ψηφιακού κυκλώματος ευρωστίας.

Για παράδειγμα, ένα bit ισοτιμίας ή άλλη μέθοδος διαχείρισης σφάλματος μπορεί να εισαχθεί στη διαδρομή του σήματος. Αυτά τα στοιχεία βοηθούν το σύστημα να ανιχνεύσει σφάλματα και στη συνέχεια να τα διορθώσει ή τουλάχιστον να ζητήσει ένα νέο αντίγραφο των δεδομένων. Σε μία μηχανή καταστάσεων, η λογική μετάβασης κατάστασης μπορεί να σχεδιαστεί για να εντοπίσει τις αχρησιμοποίητες καταστάσεις και να ενεργοποιήσει μία ακολουθία επαναφοράς ή άλλη ρουτίνα ανάκτησης σφάλματος.

Τα συστήματα ψηφιακής μνήμης και μετάδοσης μπορούν να χρησιμοποιούν τεχνικές όπως ανίχνευση σφαλμάτων και διόρθωση με τη χρήση πρόσθετων δεδομένων με σκοπό την διόρθωση οποιωνδήποτε σφαλμάτων στην μετάδοση και στην αποθήκευση. Από την άλλη πλευρά, μερικές τεχνικές που χρησιμοποιούνται καθιστούν τα συστήματα αυτά πιο ευάλωτα σε σφάλματα του ενός bit. Αυτές οι τεχνικές είναι αποδεκτές όταν τα συγκεκριμένα bit είναι αρκετά αξιόπιστα ώστε τέτοια λάθη να είναι εξαιρετικά απίθανα. (Ένα σφάλμα ενός δυαδικού ψηφίου σε δεδομένα που αποθηκεύονται απευθείας ως διαμόρφωση γραμμικού παλμικού κώδικα μπορεί να καταστρέψει ολόκληρο το αρχείο).

Ένα ψηφιακό κύκλωμα κατασκευάζεται συνήθως από μικρά ηλεκτρονικά κυκλώματα που ονομάζονται λογικές πύλες και μπορούν να χρησιμοποιηθούν για τη δημιουργία συνδυαστικής λογικής. Κάθε λογική πύλη έχει σχεδιαστεί για να εκτελεί μία λειτουργία της δυαδικής λογικής όταν ενεργεί σε λογικά σήματα. Μία λογική πύλη γενικά δημιουργείται από έναν ή περισσότερους ηλεκτρικά ελεγχόμενους διακόπτες, συνήθως τρανζίστορες. Η έξοδος μιας λογικής πύλης μπορεί, με τη σειρά της, να ελέγξει ή να τροφοδοτήσει περισσότερες λογικές πύλες.

Τα ολοκληρωμένα κυκλώματα αποτελούνται από πολλαπλά τρανζίστορ σε ένα chip πυριτίου και είναι ο λιγότερο δαπανηρός τρόπος για να δημιουργηθεί μεγάλος αριθμός διασυνδεδεμένων θυρών λογικής. Σχεδιάζονται συνήθως με τη χρήση αυτοματοποιημένου λογισμικού ηλεκτρονικής σχεδίασης με σκοπό την εκτέλεση των λειτουργιών τους. Κάθε λογικό σύμβολο αντιπροσωπεύεται από ένα διαφορετικό σχήμα. Το πραγματικό σύνολο σχημάτων εισήχθη το 1984 σύμφωνα με το πρότυπο IEEE/ANSI 91-1984.

Μια άλλη μορφή ψηφιακού κυκλώματος κατασκευάζεται από πίνακες αναζήτησης. Οι πίνακες αναζήτησης μπορούν να εκτελούν τις ίδιες λειτουργίες με τα συστήματα που βασίζονται σε λογικές πύλες, αλλά μπορούν εύκολα να επαναπρογραμματιστούν χωρίς να αλλάξουν την καλωδίωση. Αυτό σημαίνει πως μπορεί συχνά να επιδιορθωθούν σφάλματα σχεδιασμού χωρίς την αλλαγή της διάταξης των καλωδίων. Επομένως, σε συστήματα μικρού όγκου, οι προγραμματιζόμενες λογικές συσκευές είναι συχνά η προτιμώμενη λύση. Όταν οι όγκοι είναι μεσαίου έως μεγάλου μεγέθους και η λογική μπορεί να είναι αργή ή περιλαμβάνει σύνθετους αλγορίθμους ή ακολουθίες, συχνά ένας μικροελεγκτής προγραμματίζεται να δημιουργήσει ένα ενσωματωμένο σύστημα.

Στην περίπτωση που απαιτείται μόνο ένα ψηφιακό κύκλωμα και ο σχεδιασμός του είναι πλήρως προσαρμοσμένος, όπως συμβαίνει και με τον ελεγκτή μίας γραμμής παραγωγής, η συμβατική λύση είναι ένας προγραμματιζόμενος λογικός ελεγκτής ή PLC. Προγραμματίζονται συνήθως χρησιμοποιώντας τη λογική κλίμακας (ladder logic).

Έχουν χρησιμοποιηθεί πολλοί μέθοδοι για την ελαχιστοποίηση των λογικών λειτουργιών, προκειμένου να μειωθεί η πολυπλοκότητα του κυκλώματος. Όταν η πολυπλοκότητα είναι μικρότερη, το κύκλωμα έχει επίσης λιγότερα σφάλματα λιγότερα ηλεκτρονικά και επομένως είναι λιγότερο δαπανηρό. Η πιο ευρέως χρησιμοποιούμενη απλοποίηση είναι ο αλγόριθμος ελαχιστοποίησης όπως ο Espresso μέσα σε ένα σύστημα CAD, αν και έχουν χρησιμοποιηθεί ιστορικά διαγράμματα δυαδικής απόφασης, ο αυτοματοποιημένος αλγόριθμος Quine-McCluskey, πίνακες αληθείας, χάρτες Karnaugh και Boolean άλγεβρα. Οι αναπαραστάσεις είναι ζωτικής σημασίας για τον σχεδιασμό ψηφιακών κυκλωμάτων. Ορισμένες μέθοδοι ανάλυσης λειτουργούν μόνο με συγκεκριμένες αναπαραστάσεις.

Ο κλασικός τρόπος αναπαράστασης ενός ψηφιακού κυκλώματος είναι ένα ισοδύναμο σύνολο λογικών πυλών. Ένας άλλος τρόπος, συχνά με λιγότερα ηλεκτρονικά, είναι η κατασκευή ενός ισοδύναμου συστήματος ηλεκτρονικών διακοπών (συνήθως τρανζίστορ). Ένας από τους ευκολότερους τρόπους είναι έχοντας απλά μια μνήμη που να περιέχει έναν πίνακα αληθείας. Οι είσοδοι τροφοδοτούνται στη διεύθυνση της μνήμης και οι έξοδοι δεδομένων της μνήμης γίνονται οι έξοδοι. Για αυτοματοποιημένη ανάλυση, αυτές οι αναπαραστάσεις έχουν ψηφιακές μορφές αρχείων που μπορούν να επεξεργαστούν με υπολογιστικά προγράμματα. Τα περισσότερα ψηφιακά συστήματα χωρίζονται σε συνδυαστικά συστήματα (combinational systems) και σε ακολουθιακά συστήματα (sequential systems).

Ένα συνδυαστικό σύστημα παρουσιάζει πάντα την ίδια έξοδο όταν δίνονται οι ίδιες είσοδοι. Είναι βασικά μια παράσταση ενός συνόλου λογικών λειτουργιών, όπως ήδη συζητήθηκε.

Ένα ακολουθιακό σύστημα είναι ένα συνδυαστικό σύστημα στο οποίο μερικές από τις εξόδους του τροφοδοτούνται ως είσοδοι. Αυτό το γεγονός κάνει το ψηφιακό σύστημα να εκτελεί μια ακολουθία των λειτουργιών. Το απλούστερο ακολουθιακό σύστημα είναι ένα flipflop, ένας μηχανισμός που αντιπροσωπεύει ένα δυαδικό ψηφίο ή ένα bit.

Τα ακολουθιακά συστήματα συχνά σχεδιάζονται ως μηχανές κατάστασης.

Με αυτόν τον τρόπο μπορεί να προσχεδιαστεί η ολική συμπεριφορά ενός συστήματος χωρίς να ληφθούν υπόψη όλες οι λεπτομέρειες των λογικών λειτουργιών.

Τα ακολουθιακά συστήματα χωρίζονται σε ακόμα δύο υποκατηγορίες. Τα Σύγχρονα και τα Ασύγχρονα συστήματα. Τα σύγχρονα συστήματα αλλάζουν κατάσταση ταυτόχρονα όταν αλλάζει το σήμα ρολογιού, ενώ τα ασύγχρονα συστήματα μεταδίδουν αλλαγές κάθε φορά που οι είσοδοι τους αλλάζουν. Συγχρονισμένα ακολουθιακά συστήματα κατασκευάζονται από καλώς χαρακτηρισμένα ασύγχρονα κυκλώματα, όπως τα flip-flops, τα οποία αλλάζουν μόνο όταν αλλάζουν το ρολόι και έχουν προσεκτικά σχεδιασμένα περιθώρια χρονισμού.

Σύγχρονα συστήματα

Ο πιο συνηθισμένος τρόπος για την υλοποίηση ενός σύγχρονου συστήματος διαδοχικών καταστάσεων είναι να το διαιρέσουμε σε ένα τμήμα συνδυαστικής λογικής και σε ένα τμήμα συνόλου flipflop που καλείται καταχωρητής καταστάσεων. Κάθε φορά που εισέρχεται ένα σήμα ρολογιού, ο καταχωρητής καταστάσεων καταγράφει την ανατροφοδότηση που παράγεται από την προηγούμενη κατάσταση της συνδυαστικής λογικής και την τροφοδοτεί πίσω ως αμετάβητη είσοδο στο συνδιαστικό μέρος της μηχανής κατάστασης. Ο ταχύτερος ρυθμός του ρολογιού ρυθμίζεται από τον πιο χρονοβόρο λογικό υπολογισμό στην συνδυαστική λογική.

Ο καταχωρητής κατάστασης είναι απλώς μια αναπαράσταση ενός δυαδικού αριθμού. Εάν οι καταστάσεις στην μηχανή κατάστασης είναι αριθμημένες, η λογική συνάρτηση είναι κάποια συνδυαστική λογική που παράγει τον αριθμό της επόμενης κατάστασης.

Ασύγχρονα συστήματα

Από το 2014, η περισσότερη ψηφιακή λογική είναι σύγχρονη, διότι είναι ευκολότερο να δημιουργηθεί και να επαληθευτεί ένας σύγχρονος σχεδιασμός. Ωστόσο, η ασύγχρονη λογική θεωρείται ότι μπορεί να είναι ανώτερη επειδή η ταχύτητά της δεν περιορίζεται από αυθαίρετο ρολόι. Αντίθετα, τρέχει με τη μέγιστη ταχύτητα των λογικών πυλών του. Η κατασκευή ενός ασύγχρονου συστήματος με ταχύτερα εξαρτήματα καθιστά το κύκλωμα πιο γρήγορο. Ωστόσο, τα περισσότερα συστήματα χρειάζονται κυκλώματα που επιτρέπουν σε εξωτερικά ασύγχρονα σήματα να εισέλθουν σε σύγχρονα λογικά κυκλώματα. Αυτά είναι εγγενώς ασύγχρονα στο σχεδιασμό τους και πρέπει να αναλύονται ως έχουν. Τα στοιχεία ασύγχρονης λογικής μπορεί να είναι δύσκολο να σχεδιαστούν επειδή πρέπει να ληφθούν υπόψη όλες οι πιθανές καταστάσεις, σε όλες τις πιθανές χρονικές στιγμές.

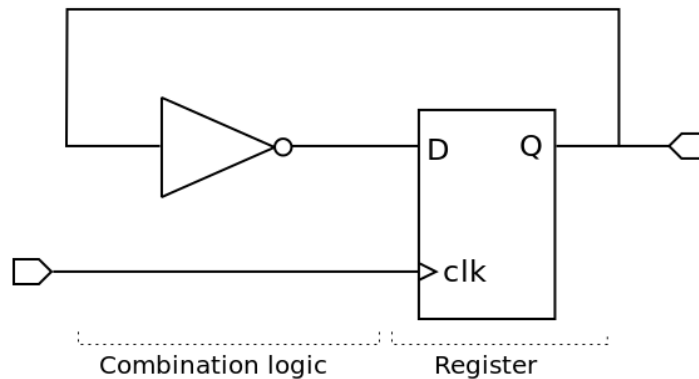
Η συνήθης μέθοδος είναι να δημιουργηθεί ένας πίνακας του ελάχιστου και του μέγιστου χρόνου που μπορεί να υπάρχει κάθε τέτοια κατάσταση και στη συνέχεια να ρυθμιστεί το κύκλωμα ώστε να ελαχιστοποιηθεί ο αριθμός των καταστάσεων αυτών. Στη συνέχεια, η σχεδίαση πρέπει να γίνει με τέτοιο τρόπο ώστε να εξαναγκαστεί το κύκλωμα να περιμένει περιοδικά όλα τα μέρη του να εισέλθουν σε μια συμβατή κατάσταση (αυτό ονομάζεται "αυτο-επανασυγχρονισμός"). Χωρίς τέτοιο προσεκτικό σχεδιασμό, είναι εύκολο να παράγεται κατά λάθος ασύγχρονη λογική που είναι "ασταθής", δηλαδή, τα πραγματικά ηλεκτρονικά θα έχουν απρόβλεπτα αποτελέσματα λόγω των σωρευτικών καθυστερήσεων που προκαλούνται από μικρές διακυμάνσεις των τιμών των ηλεκτρονικών εξαρτημάτων.

Πολλά ψηφιακά συστήματα είναι μηχανές ροής δεδομένων. Αυτά συνήθως σχεδιάζονται χρησιμοποιώντας σύγχρονη λογική μεταφοράς καταχωρητών, χρησιμοποιώντας γλώσσες περιγραφής υλικού όπως VHDL ή Verilog. Στη λογική μεταφοράς καταχωρητών, οι δυαδικοί αριθμοί αποθηκεύονται σε ομάδες flipflops τα οποία λειτουργούν ως καταχωρητές. Οι έξοδοι κάθε καταχωρητή είναι μια δέσμη καλωδίων που ονομάζεται «δίαυλος»(bus) που μεταφέρει αυτόν τον αριθμό σε άλλους υπολογισμούς.

Ο υπολογισμός είναι απλώς ένα κομμάτι συνδυαστικής λογικής. Κάθε

υπολογισμός έχει επίσης ένα δίαυλο εξόδου και αυτά μπορούν να συνδεθούν με τις εισόδους πολλών καταχωρητών. Μερικές φορές ένας καταχωρητής θα έχει έναν πολυπλέκτη στην είσοδο του, έτσι ώστε να μπορεί να αποθηκεύσει έναν αριθμό από οποιοδήποτε από τα διάφορα buses.

Εναλλακτικά, οι εξοδοί πολλών στοιχείων μπορούν να συνδεθούν σε ένα δίαυλο μέσω buffer που μπορεί να απενεργοποιήσει την έξοδο όλων των συσκευών εκτός από μία. Μια μηχανή διαδοχικών καταστάσεων ελέγχει όταν κάθε καταχωρητής δέχεται νέα δεδομένα από την είσοδο του.



Τα ασύγχρονα συστήματα μεταφοράς καταχωρητών έχουν μια γενική λύση. Στη δεκαετία του 1980, μερικοί ερευνητές ανακάλυψαν ότι σχεδόν όλες οι σύγχρονες μηχανές μεταφοράς καταχωρητών μπορούν να μετατραπούν σε ασύγχρονες χρησιμοποιώντας τη λογική συγχρονισμού first-in-first-out. Στο σχήμα αυτό, η ψηφιακή μηχανή χαρακτηρίζεται ως ένα σύνολο ροών δεδομένων.

Σε κάθε βήμα της ροής, ένα ασύγχρονο "κύκλωμα συγχρονισμού" καθορίζει πότε οι εξόδους αυτού του βήματος είναι έγκυρες και παρουσιάζει ένα σήμα το οποίο δίνει εντολή λήψης των δεδομένων στα στάδια που χρησιμοποιούν τις εισόδους αυτού του σταδίου. Αποδεικνύεται έτσι, ότι χρειάζονται λίγα σχετικά απλά κυκλώματα συγχρονισμού.

2.2 Ρολόγια στα ψηφιακά κυκλώματα

Κάθε ηλεκτρονικό σύστημα χρειάζεται κάποια μορφή ρολογιού, το ρολόι παρέχει τον λεγόμενο παλμό στο σύστημα. Το σήμα ρολογιού ρυθμίζει τη ροή των λογικών σημάτων έτσι ώστε το σύστημα να μπορεί να λειτουργεί με τη βέλτιστη ταχύτητα.

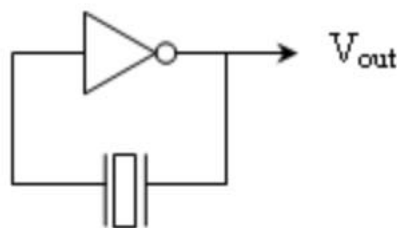
Έτσι λοιπόν καλούμε ρολόι μια συσκευή η οποία δημιουργεί περιοδικά σήματα χρονισμού. Τα συστήματα που απαιτούν ρολόι είναι οποιοδήποτε σύστημα απαιτεί αναφορά σε χρόνο για συγχρονισμό, εκτέλεση εντολών και μεταφορά δεδομένων. Συνδέονται με οτιδήποτε επεξεργάζεται ένα σήμα στον ψηφιακό τομέα. Συνεπώς χρειαζόμαστε ρολόγια για τη σύνδεση DSP/FPGA/ASIC, Data Converters και Interface components.

Ο ρόλος που παίζουν σε ένα σύστημα είναι να δημιουργούν ένα δίκτυο ρολογιού που παρέχει τις εισόδους συχνότητας στις διάφορες συσκευές, επιτρέποντας τους να εκτελούν την προβλεπόμενη λειτουργία τους

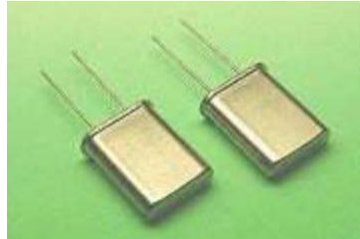
Γενικά, μία γεννήτρια ρολογιού χρησιμοποιείται για την κατασκευή του ρολογιού, όπως για παράδειγμα, ένας ταλαντωτής που παρέχει μια τετραγωνική έξοδο.

Ένα κύκλωμα ταλαντωτή έχει πάντα μια ανατροφοδότηση που κάνει το κύκλωμα να ταλαντεύεται. Αυτή η ανατροφοδότηση παρέχει επίσης παραμέτρους που μπορούν να ορίσουν μια συγκεκριμένη συχνότητα.

Υπάρχουν πολλοί διαφορετικοί τρόποι για την δημιουργία ενός ταλαντωτή. Όπως βλέπουμε στην επόμενη εικόνα χρησιμοποιούμε έναν απλό αντιστροφέα και ένα στοιχείο ανατροφοδότησης που είναι συνήθως κρύσταλλος.



Ο κρύσταλλος είναι ένα ηλεκτρικό στοιχείο που είναι πολύ ακριβές φίλτρο και επιτρέπει μόνο μια πολύ συγκεκριμένη συχνότητα να περάσει. Ένας τύπος κρυστάλλου φαίνεται στην επόμενη εικόνα, το μέγεθος και η μορφή του μπορεί να διαφέρουν κατά περίπτωση.



Η ονομασία του προέρχεται από τον πεζοηλεκτρικό κρύσταλλο που περιέχει με πολύ συγκεκριμένο μέγεθος και βάρος. Όταν εφαρμόζεται τάση σε έναν πιεζοκρύσταλλο, μπορεί να συντονιστεί με μια πολύ ακριβή συχνότητα που εξαρτάται από το μέγεθος και τις ιδιότητες του και επιτρέπει μόνο σήματα με τη συχνότητα συντονισμού του. Αυτός είναι ο λόγος που χρησιμοποιείται για να φιλτράρει οποιαδήποτε άλλη συχνότητα και να παρέχει ένα σταθερό σήμα.

Η συχνότητα συντονισμού του κρυστάλλου καθορίζεται ανάλογα με τη συσκευή.

Στο προηγούμενο κύκλωμα υποθέτουμε πρώτα ότι η είσοδος του μετατροπέα βρίσκεται σε χαμηλή κατάσταση, επομένως η έξοδος καθίσταται σε υψηλή. Αυτή η μετάβαση περνάει από πολλές διαφορετικές αρμονικές συχνότητες αλλά μόνο αυτή που έχει την ίδια τιμή με τον κρύσταλλο θα περάσει στην έξοδο. Έτσι η συνεχόμενη αυτή μετατροπή στην κατάσταση οδηγεί στην παραγωγή ενός τετραγωνικού παλμού σταθερής συχνότητας.

Λειτουργία ρολογιού

Ένα ρολόι λαμβάνει μια συχνότητα εισόδου από μια πηγή και είτε διανέμει αυτή τη συχνότητα είτε παράγει νέες συχνότητες για να στείλει ως έξοδο σε άλλες συσκευές εντός του συστήματος. Αυτό μπορεί να γίνει είτε με τη χρήση κυκλωμάτων βασισμένων σε φάσεις (PLL) είτε σε non-PLL κυκλώματα.

Τα non-PLL ρολόγια χρησιμοποιούνται όταν η χρονική καθυστέρηση μεταξύ της πηγής και της εξόδου, γνωστή ως καθυστέρηση διάδοσης, δεν είναι σημαντική για το σύστημα.

Τα PLL ρολόγια χρησιμοποιούνται όταν το σύστημα πρέπει να ελαχιστοποιήσει την καθυστέρηση διάδοσης.

Είναι σε θέση να το κάνει αυτό ενεργώντας ως ανιχνευτής φάσης για να κρατήσει ένα ρολόι εισόδου σε φάση με μία εισερχόμενη συχνότητα μέσω της χρήσης ενός βρόχου ανατροφοδότησης.

Τα PLL's επιτρέπουν σε ένα ρολόι τα εξής:

- εξαλείφουν την καθυστέρηση διάδοσης
- επιτρέπουν τις προσαρμογές φάσης
- εκτελούν πολλαπλασιασμό ή κλασματικό πολλαπλασιασμό
- κάνουν διορθώσεις του κύκλου λειτουργίας τους
- αφαιρούν τον θόρυβο από το ρολόι

Τύποι ρολογιών

Fanout Buffers

Είναι ο πιο βασικός τύπος ρολογιού και χρησιμοποιούνται για τη διανομή μίας συχνότητας εισόδου σε πολλαπλές εξόδους με την ίδια συχνότητα. Χρησιμοποιούνται συνήθως σε χαμηλού phase-noise κατανομές ρολογιών. Τα Fanout Buffers μπορεί να είναι βασισμένα σε PLL ή σε non-PLL, ανάλογα με τις απαιτήσεις του συστήματος.

Multiplier/Divider

Ένα ρολόι που μπορεί να μεταφράσει ένα ρολόι εισόδου σε ένα ρολόι εξόδου με υψηλότερη ή χαμηλότερη συχνότητα. Ένα Divider ρολόι μπορεί να είναι βασισμένο σε PLL είτε σε non-PLL.

Synthesizer

Ένα ειδικό είδος κυκλώματος που περιέχει ένα ή περισσότερα PLL. Λαμβάνει ένα ερέθισμα, συνήθως ένα σήμα χαμηλής συχνότητας από ένα κρύσταλλο και παράγει πολλαπλές εξόδους με διαφορετικές (ακέραιες ή κλασματικές) συχνότητες.

Jitter cleaner

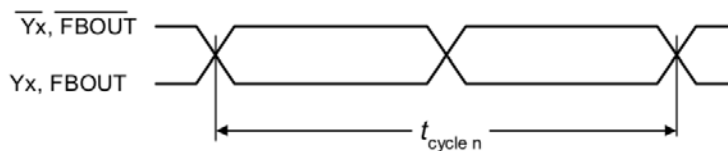
Οποιοδήποτε ρολόι που βασίζεται σε PLL το οποίο καθαρίζει τους θορύβους και παρέχει ένα καθαρό και συγχρονισμένο σήμα για τους δέκτες χρησιμοποιώντας VCO.

Απόδοση ρολογιού Jitter

Είναι το πιο συχνά χρησιμοποιούμενο μέτρο της απόδοσης ενός ρολογιού. Ορίζεται ως οποιαδήποτε απόκλιση ακμής σήματος από την ιδανική. Υπάρχουν τρεις κύριοι τύποι jitter που συνήθως εξετάζονται. Αυτοί είναι η περίοδος το cycle-to-cycle και η φάση. Η κοινή απόδοση του jitter μπορεί να κυμαίνεται από < 200 fs έως 100 ps.

Πιο αναλυτικά:

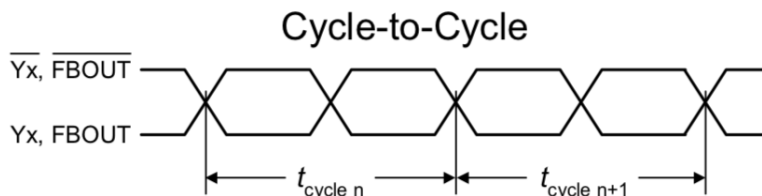
Περίοδος είναι η απόκλιση του χρόνου κύκλου ενός σήματος σε σχέση με την ιδανική περίοδο σε ένα τυχαίο δείγμα κύκλων. Αναφέρεται επίσης ως βραχυπρόθεσμο jitter.



Period Jitter

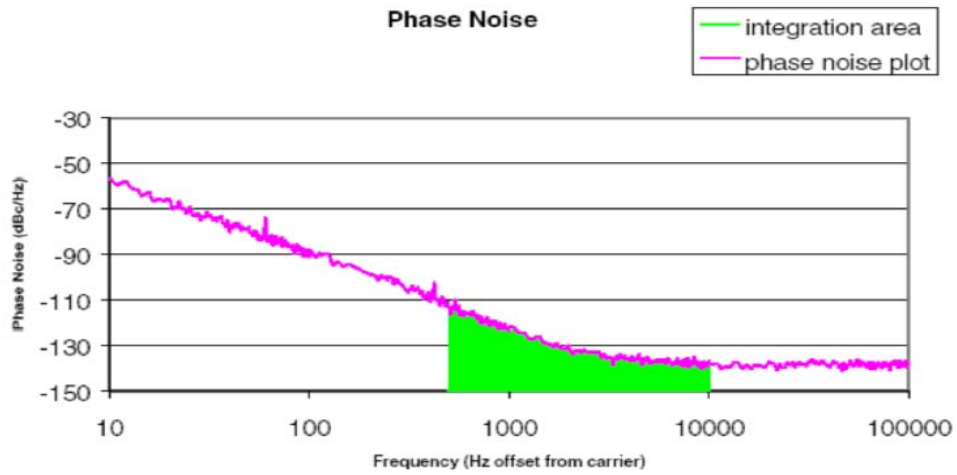
$$t_{jit(per)} = t_{cycle\ n} - \frac{1}{f_0}$$

Ο όρος Cycle-to-Cycle προσδιορίζει την μεταβολή του cycle time ενός σήματος μεταξύ διαδοχικών κύκλων σε ένα τυχαίο δείγμα διαδοχικών ζεύγων κύκλων. Επίσης είναι γνωστό και ως γειτονικό κύκλωμα jitter.



$$t_{jit(cc)} = t_{cycle\ n} - t_{cycle\ n+1}$$

Τέλος, η φάση είναι η ενσωματωμένη τιμή από το χρονοδιάγραμμα θορύβου φάσης σε χρόνο πάνω απο μία συγκεκριμένη ζώνη συχνοτήτων. Αναφέρεται επίσης και ως μακροχρόνιο jitter.

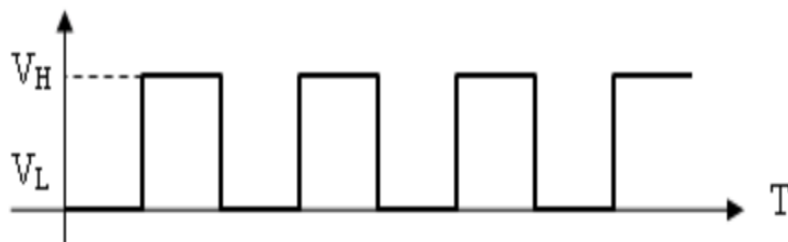


2.3 Σήματα ρολογιού

Στον τομέα της ηλεκτρονικής και ειδικά στα σύγχρονα ψηφιακά κυκλώματα, ένα σήμα ρολογιού είναι ένας ιδιαίτερος τύπος σήματος που κυμαίνεται μεταξύ μιας υψηλής και μιας χαμηλής κατάστασης και χρησιμοποιείται σαν μετρονόμος για τον συντονισμό των ενεργειών των ψηφιακών κυκλωμάτων.

Ένα σήμα ρολογιού παράγεται από μια γεννήτρια ρολογιού. Αν και χρησιμοποιούνται πιο περίπλοκες ρυθμίσεις, το πιο κοινό σήμα ρολογιού είναι υπό την μορφή τετραγωνικού παλμού συνήθως με σταθερή συχνότητα λειτουργίας.

Τα κυκλώματα που χρησιμοποιούν το σήμα ρολογιού για συγχρονισμό μπορεί να ενεργοποιηθούν είτε στην ανοδική ακμή είτε στην καθοδική ακμή του ρολογιού. Στην περίπτωση του double data rate θα έχουμε ενεργοποίηση τόσο στην άνοδο όσο και στην κάθοδο της ακμής του ρολογιού. Ένα ψηφιακό σήμα ρολογιού είναι βασικά ένας τετραγωνικός παλμός τάσης παρόμοια με αυτή που φαίνεται στο παρακάτω σχήμα.



Όπως φαίνεται έχει μόνο δύο επίπεδα, το ένα είναι μηδέν και το άλλο υψηλό, το υψηλό επίπεδο μπορεί να είναι διαφορετικό ανάλογα με τις απαιτήσεις του κυκλώματος. Για παράδειγμα, το υψηλό επίπεδο στο πρότυπο TTL είναι 5V.

Το σήμα αυτό έχει ως επί το πλείστον 50% duty cycle, πράγμα που σημαίνει ότι η διάρκεια ενός υψηλού και ενός χαμηλού σταδίου να είναι το ίδιο.

Η συχνότητα του ρολογιού μπορεί να έχει οποιαδήποτε τιμή ανάλογα με τις απαιτήσεις του ψηφιακού κυκλώματος που το χρησιμοποιεί.

Τα ψηφιακά κυκλώματα έχουν πάντα κάποια είσοδο και παράγουν ανάλογα ψηφιακές εξόδους. Ορισμένα ψηφιακά κυκλώματα δεν είναι χρονισμένα, δηλαδή η είσοδος που εφαρμόζεται στο κύκλωμα “ρέει” μέσω ψηφιακών λογικών πυλών χωρίς χρονισμό ή αποθήκευση και παράγει την έξοδο. Αυτή η διαδικασία παίρνει χρόνο ίσο με τον χρόνο καθυστέρησης διάδοσης μέχρι να φτάσει στην έξοδο.

Από την άλλη πλευρά, τα περισσότερα ψηφιακά κυκλώματα που κάνουν πιο περίπλοκη επεξεργασία στις ψηφιακές εισόδους, όπως οι μικροεπεξεργαστές, είναι χρονισμένες και το σήμα δεν μπορεί να περάσει απλά. Σε αυτά τα κυκλώματα χρησιμοποιείται ρολόι με σταθερή συχνότητα χρονισμού. Ο ρόλος των σημάτων ρολογιού σε ένα κύκλωμα είναι ιδιαίτερα σημαντικός, καθώς μπορεί να ανοίξει ή να κλείσει ψηφιακές διαδρομές, να σταματήσει ή να επιτρέψει μια διαδικασία και γενικά παρέχει χρονισμό στο κύκλωμα.

Η συγκεκριμένη τεχνική χρησιμοποιείται συχνά για την εξοικονόμηση ενέργειας, κλείνοντας αποτελεσματικά τμήματα ενός ψηφιακού κυκλώματος όταν δεν χρησιμοποιούνται, αλλά παρόλα αυτά συμβάλουν σημαντικά στην αύξηση του κόστους λόγω πολυπλοκότητας στην ανάλυση χρονισμού.

Σήματα ρολογιού χρησιμοποιούνται ειδικά για ψηφιακά κυκλώματα με ανατροφοδοτήσεις και επίσης συμβάλουν σημαντικά στην αποφυγή των glitches που σηματοδοτούν απρόβλεπτη συμπεριφορά στην έξοδο.

Για παράδειγμα, εάν η χρονική περίοδος του σήματος ρολογιού είναι υψηλότερη από την καθυστέρηση της συνολικής μετάδοσης του κυκλώματος, η έξοδος θα διαβαστεί όταν θα έχει επέλθει η σταθερότητα και επομένως δεν θα εντοπιστούν glitches.

Σήματα ρολογιού πολλαπλών συχνοτήτων

Τα σήματα ρολογιού πολλαπλών συχνοτήτων χρησιμοποιούνται ευρέως σε ψηφιακά κυκλώματα, ειδικά στον τομέα των τηλεπικοινωνιών.

Ο τρόπος λειτουργίας αυτών των ρολογιών βασίζεται στον ορισμό της συχνότητας των σημάτων τους, τα οποία καθορίζονται σύμφωνα με τις απαιτήσεις του κάθε κυκλώματος. Οι συχνότητες αυτών των σημάτων ρολογιού μπορούν να είναι πολλαπλάσιες μεταξύ τους ή να μην σχετίζονται με κανέναν τρόπο.

Στους σύγχρονους μικροεπεξεργαστές χρησιμοποιούνται πολλαπλά σήματα ρολογιού και είναι σε θέση να λειτουργούν υπό διαφορετικές συνθήκες φορτίου και υπό πολλές συχνότητες.

Όταν απαιτούνται μεγάλες ποσότητες επεξεργασίας δεδομένων από τον μικροεπεξεργαστή η ταχύτητα ρυθμίζεται στο μέγιστο επίπεδο. Σε ορισμένες άλλες συνθήκες λειτουργίας, για παράδειγμα, όταν οι μικροεπεξεργαστές είναι ενσωματωμένοι σε ασύρματους αισθητήρες ή κατανάλωση ενέργειας είναι εξαιρετικά μειωμένη. Η συχνότητα ρολογιού επηρεάζει τη δυναμική συνιστώσα της εξουδετέρωσης ισχύος και η μείωση της συχνότητας ρολογιού οδηγεί στην μείωση της συνολικής κατανάλωσης ισχύος.

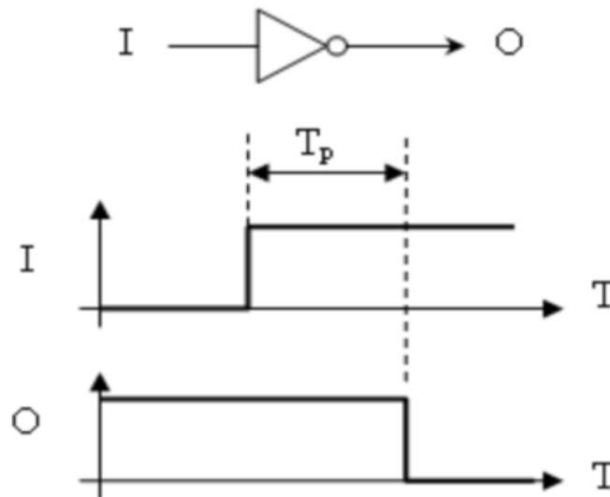
Στα ψηφιακά συστήματα σήματος πολλαπλών χρονιστών υπάρχει πιθανότητα εμφάνισης glitch ή διακοπής (chopping) σήματος στη γραμμή ρολογιού τη στιγμή που αλλάζει το σήμα. Στην αποφυγή αυτών των προβλημάτων χρονισμού πρέπει να δοθεί ιδιαίτερη προσοχή. Στα επόμενα κεφάλαια θα αναλυθούν οι τεχνικές εναλλαγής ρολογιού χωρίς glitches, στον σχεδιασμό των ψηφιακών κυκλωμάτων.

2.4 Καθυστέρηση διάδοσης (propagation Delay)

Η καθυστέρηση διάδοσης είναι ο χρόνος που σχετίζεται με οποιοδήποτε ψηφιακό κύκλωμα. Δηλαδή, ο χρόνος μεταξύ μίας αλλαγής εισόδου στο κύκλωμα έως ότου η αλλαγή αυτή να μεταδοθεί μέσω του κυκλώματος και να προκαλέσει αλλαγή στην έξοδο. Κάθε ψηφιακή πύλη (AND, OR, INVERTER) έχει τη δική της καθυστέρηση διάδοσης.

Για μοναδικές πύλες αυτή η καθυστέρηση μπορεί να είναι πολύ μικρή, προσεγγιστικά, λίγων δευτερολέπτων, ή και μικρότερη. Καθώς όμως το κύκλωμα επεκτείνεται και τοποθετούνται και επιπλέον λογικές συνδεσμολογίες η μία μετά την άλλη, η καθυστέρηση αυξάνεται επιπλέον.

Στο επόμενο σχήμα, φαίνεται η επίδραση καθυστέρησης μετάδοσης ενός απλού αντιστροφes στην έξοδο του, όπου T_p είναι ο χρόνος διάδοσης.



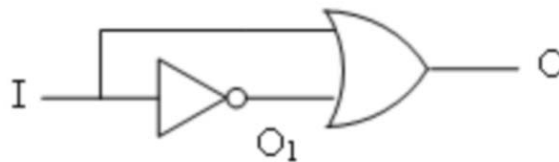
Σε ένα πιο σύνθετο κύκλωμα, κάθε είσοδος μπορεί να περάσει από πολλά διαφορετικά μονοπάτια μέχρι να φτάσει στην έξοδο.

Κάθε διαδρομή στο κύκλωμα έχει τη δική της συνολική καθυστέρηση. Για κάθε καθυστέρηση διάδοσης εισόδου συνυπολογίζεται η καθυστέρηση της διαδρομής με τη μεγαλύτερη καθυστέρηση, δεδομένου ότι χρειάζεται πολύς χρόνος για αυτή την είσοδο με σκοπό να δώσει μια έγκυρη έξοδο.

Για ένα κύκλωμα πολλαπλών εισόδων, η καθυστέρηση διάδοσης ισούται με τη μέγιστη καθυστέρηση στο κύκλωμα. Αυτό συμβαίνει επειδή αν η έξοδος του κυκλώματος διαβάσει μικρότερη από τη μέγιστη καθυστέρηση, σε ορισμένες περιπτώσεις η έξοδος μπορεί να μην είναι έγκυρη και μπορεί να οδηγήσει σε λανθασμένες ερμηνείες και ενέργειες.

Η διαφορά στην καθυστέρηση μετάδοσης διαφορετικών μονοπατιών στο κύκλωμα μπορεί να έχει ως αποτέλεσμα απρόσμενη συμπεριφορά στο σήμα εξόδου (glitches) όπως αναλύεται παρακάτω.

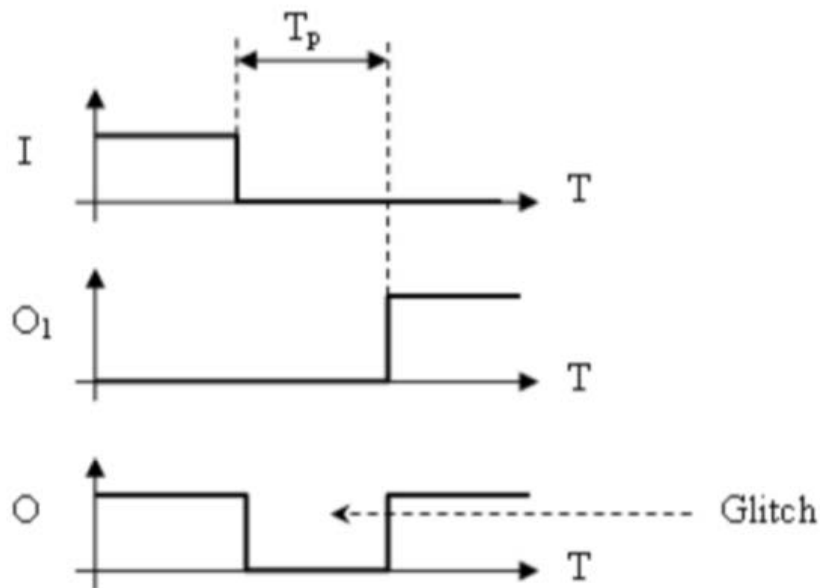
Οδηγούμεστε έτσι σε μια άκυρη και απρόβλεπτη έξοδο ενός ψηφιακού κυκλώματος που μπορεί να διαβαστεί από το επόμενο στάδιο και να οδηγήσει σε λάθος ενέργεια. Το φαινόμενο του glitch οφείλονται κυρίως σε καθυστερήσεις διαδοχής σε ένα ψηφιακό κύκλωμα. Για παράδειγμα υποθέτουμε αρχικά ένα απλό κύκλωμα όπως φαίνεται παρακάτω:



Αναλύοντας το, βλέπουμε ότι:

- Όταν η είσοδος είναι $I=1$, η έξοδος είναι επίσης 1, καθώς μια από τις εισόδους στην πύλη OR είναι 1.
- Όταν $I=0$, η έξοδος είναι 1, καθώς η έξοδος του αντιστροφέα θα είναι 1, κατευθυνόμενη στην πύλη OR. Έτσι και για τις δύο περιπτώσεις η έξοδος θα παραμείνει ως 1.

Ας υποθέσουμε τώρα ότι συμβαίνει κάποια καθυστέρηση διάδοσης για τον αντιστροφέα. Στην επόμενο γραφική παράσταση δίνεται σχηματική περιγραφή των σημάτων του κυκλώματος και της εξόδου



Όπως μπορούμε να δούμε όταν η είσοδος αλλάζει από 1 σε 0, παίρνει ένα σύντομο χρονικό διάστημα ώστε ο αντιστροφέας να δώσει 1 στην έξοδο του λόγω της καθυστέρησης διάδοσης του. Συνεπώς, για αυτή τη σύντομη χρονική περίοδο και οι δύο εισοδοι στην πύλη OR είναι 0, με αποτέλεσμα η

πύλη να δώσει μηδενική έξοδο. Τελικά μετά την αλλαγή της εξόδου του αντιστροφέα σε 1, η έξοδος της πύλης OR αλλάζει επίσης σε 1.

Το συγκεκριμένο απλό παράδειγμα δείχνει ότι συμβαίνει ένα μη αναμενόμενο μηδέν στο κύκλωμα. Αυτό είναι ένα τυπικό παράδειγμα glitch και μπορεί να προκαλέσει πρόβλημα για το υπόλοιπο κύκλωμα, καθώς θα μεταδοθεί στα επόμενα κυκλώματα και θα έχει ως αποτέλεσμα όλο και περισσότερες δυσλειτουργίες.

Υπάρχουν τρόποι αποφυγής του συγκεκριμένου φαινομένου οι οποίοι και θα μελετηθούν στη συνέχεια.

Έν συντομία ένας πρακτικός τρόπος είναι η τοποθέτηση μιας χρονικής πύλης όπως ένα latch ή ένα flipflop με σκοπό την απομόνωση της εξόδου αυτού του κυκλώματος από το επόμενο και να επιτραπεί η έξοδος στο επόμενο κύκλωμα μόνο όταν αυτή είναι έγκυρη.

Το ψηφιακό σήμα που επιτρέπει την διέλευση της εξόδου αυτού του κυκλώματος πρέπει να περιμένει αρκετό χρόνο από την αλλαγή των εισόδων μέχρι να ξεπεραστούν όλες οι δυσλειτουργίες, πράγμα που θα ήταν μεγαλύτερο από τη μέγιστη καθυστέρηση διάδοσης του κυκλώματος. Στη συνέχεια μπορεί να αφήσει την έξοδο του κυκλώματος να περάσει στο επόμενο στάδιο.

Η καθυστέρηση διάδοσης ενός κυκλώματος είναι ένας σημαντικός παράγοντας για το πόσο γρήγορα μπορεί να λειτουργήσει ένα κύκλωμα. Όταν ένα μπλοκ του κυκλώματος έχει μεγάλη καθυστέρηση, όλο το υπόλοιπο κύκλωμα θα πρέπει να περιμένει για αυτό το ένα μπλοκ για να παρέχει μία έγκυρη έξοδο.

2.5 Μετασταθερότητα (Metastability)

Η μετασταθερότητα στα ηλεκτρονικά είναι η ικανότητα ενός ψηφιακού ηλεκτρονικού συστήματος να παραμένει για απεριόριστο χρόνο σε κατάσταση ασταθούς ισορροπίας ή μεταστάσεως.

Στα κυκλώματα ψηφιακής λογικής απαιτείται ένα ψηφιακό σήμα να είναι εντός ορισμένων ορίων τάσης ή ρεύματος για να αντιπροσωπεύει ένα λογικό 0 ή ένα λογικό 1 με σκοπό τη σωστή λειτουργία του κυκλώματος. Εάν το σήμα οποιαδήποτε στιγμή βρεθεί σε μια ενδιάμεση τιμή, μπορεί να προκληθεί ελαττωματική συμπεριφορά στις λογικές πύλες στις οποίες εφαρμόζεται το συγκεκριμένο σήμα.

Σε μεταστατικές καταστάσεις, το κύκλωμα μπορεί να μην είναι σε θέση να τεθεί σε μια λογική τιμή (0 είτε 1 αντίστοιχα) εντός του χρόνου που απαιτείται για τη σωστή λειτουργία του κυκλώματος. Ως αποτέλεσμα, το κύκλωμα μπορεί να ενεργεί με απρόβλεπτο τρόπο και μπορεί να προκαλέσει αποτυχία στην ορθή λειτουργία του συνολικού συστήματος που μερικές φορές αναφέρεται ως "glitch". Η μετασταθερότητα είναι ένα παράδειγμα του παράδοξου του Buridan.

Οι μεταστατικές καταστάσεις είναι εγγενή χαρακτηριστικά των ασύγχρονων ψηφιακών συστημάτων και των συστημάτων που εμπεριέχουν περισσότερα από ένα ανεξάρτητα πεδία ρολογιού.

Σε αυτοχρονιζόμενα ασύγχρονα συστήματα, οι arbiters σχεδιάζονται με τέτοιο τρόπο ώστε να επιτρέπουν στο σύστημα να συνεχίσει τη λειτουργία του μόνο μετά από την επίλυση του προβλήματος, οπότε η μετασταθερότητα είναι μια φυσιολογική κατάσταση και όχι μία κατάσταση σφάλματος.

Στα σύγχρονα συστήματα με ασύγχρονες εισόδους, οι συγχρονιστές σχεδιάζονται έτσι ώστε να καθιστούν την πιθανότητα αστοχίας συγχρονισμού αποδεκτά μικρή.

Μεταστατικές καταστάσεις μπορούν να αποφευχθούν σε πλήρως συγχρονισμένα συστήματα όταν πληρούνται οι απαιτήσεις ρύθμισης του input setup και του hold time των flipflops που εισάγονται.

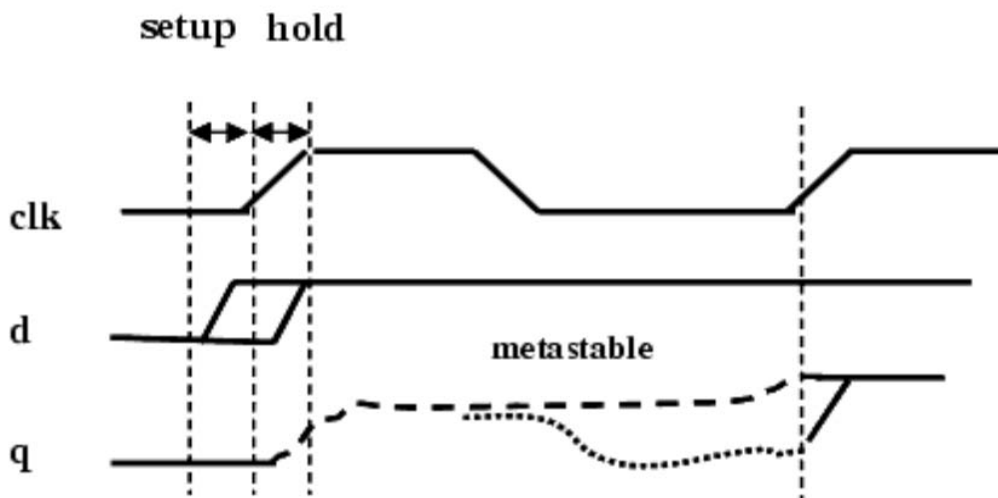
Παρόλο που η μετασταθερότητα είναι καλά κατανοητή και οι αρχιτεκτονικές τεχνικές για τον έλεγχο της είναι γνωστές, εξακολουθεί να υφίσταται και να αποτελεί βασικό λόγο αστοχιών.

Αρχικά η ιδέα, ότι μια δισταθής συσκευή μπορεί να εισέλθει σε μια κατάσταση που δεν είναι ούτε αληθής ούτε ψευδής και έχει πιθανότητα να παραμείνει απεριόριστα για οποιαδήποτε χρονική περίοδο εκεί, δεν μπόρεσε να γίνει απόλυτα κατανοητή. Ωστόσο η μετασταθερότητα είναι ένα αναπόφευκτο αποτέλεσμα οποιασδήποτε προσπάθειας χαρτογράφησης ενός συνεχούς τομέα σε έναν διακριτό.

Έτσι εάν οι είσοδοι σε ένα flipflop φθάνουν σχεδόν ταυτόχρονα, το κύκλωμα πιθανότατα θα διασχίσει ένα σημείο μετασταθερότητας. Αυτό μπορεί να συμβεί όταν δύο είσοδοι όπως τα δεδομένα και το ρολόι ή το ρολόι και η επαναφορά (reset), αλλάζουν περίπου την ίδια χρονική στιγμή. Όταν η σειρά δεν είναι σαφής, μέσα σε κατάλληλους περιορισμούς χρονισμού, το αποτέλεσμα είναι ότι η έξοδος μπορεί να συμπεριφερθεί απρόβλεπτα, παίρνοντας πολλές φορές περισσότερο από το κανονικό για να σταθεροποιηθεί σε μία κατάσταση ή ακόμα και να ταλαντεύεται αρκετές φορές πριν την διευθέτηση. Θεωρητικά ο χρόνος καθορισμού δεν περιορίζεται. Σε ένα σύστημα όμως αυτή η κατάσταση μπορεί να προκαλέσει σοβαρές δυσλειτουργίες εάν η κατάσταση δεν είναι σταθερή πριν ένα άλλο κύκλωμα χρησιμοποιήσει την τιμή της.

Πιο συγκεκριμένα, εάν δύο διαφορετικές λογικές διαδρομές χρησιμοποιούν την έξοδο ενός flipflop, μία διαδρομή μπορεί να την ερμηνεύσει ως 0 και η άλλη ως 1 όταν δεν έχει προ έρθει από σταθερή κατάσταση, θέτοντας έτσι το σύστημα σε ασυνεπή κατάσταση.

Η μετασταθερότητα στα flipflop μπορεί να αποφευχθεί διασφαλίζοντας ότι οι είσοδοι δεδομένων και ελέγχου διατηρούνται έγκυρες και σταθερές για συγκεκριμένες περιόδους πριν μετά τον παλμό του ρολογιού, που ονομάζεται setup time (tsu) και hold time (th) αντίστοιχα.

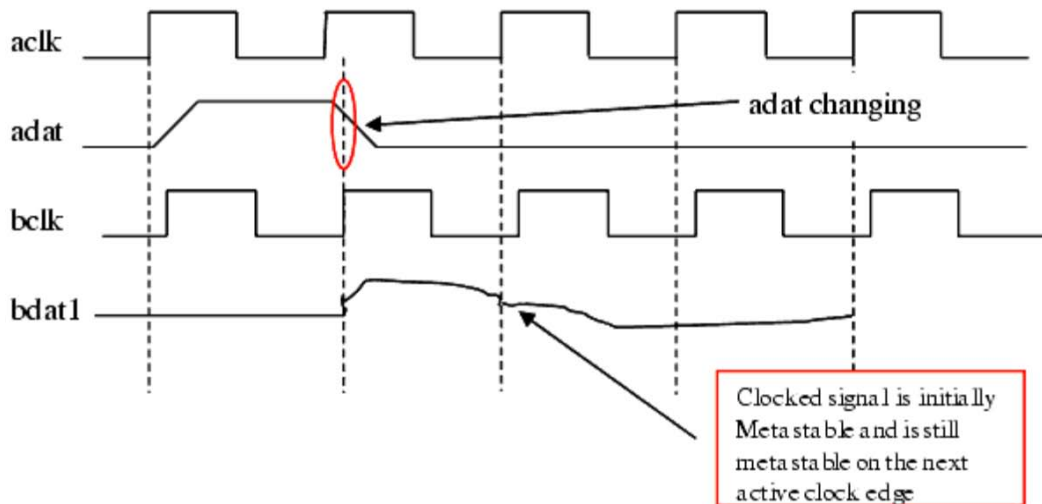


Αυτοί οι χρόνοι καθορίζονται στα data sheets των συσκευών και είναι συνήθως μερικά εκατοντάδες πικοδευτερόλεπτα για τα σύγχρονα κυκλώματα. Ανάλογα με την εσωτερική οργάνωση των flipflops, είναι δυνατό να κατασκευαστεί μια συσκευή με μηδενική τιμή (ή ακόμα και αρνητική) setup ή hold time, αλλά όχι αμφότερες ταυτόχρονα.

Δυστυχώς, δεν είναι πάντοτε δυνατό να πληρούνται τα κριτήρια ρύθμισης των δύο αυτών τιμών, επειδή το flipflop μπορεί να συνδεθεί σε ένα σήμα πραγματικού χρόνου που θα μπορούσε να αλλάξει ανά πάσα στιγμή, εκτός ελέγχου του σχεδιαστή.

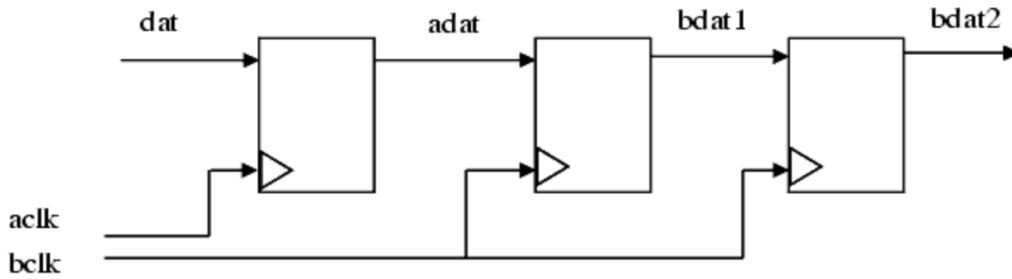
Στην περίπτωση αυτή, το καλύτερο που μπορεί να γίνει είναι να μειωθεί σχεδιαστικά η πιθανότητα εμφάνισης της συγκεκριμένης κατάστασης, ανάλογα με την αξιοπιστία του κυκλώματος.

Ειδικά σε ένα κύκλωμα στο οποίο συμμετέχουν πολλά ρολόγια, το φαινόμενο εντείνεται όπως φαίνεται και σχηματικά στην επόμενη γραφική παράσταση όπου παρουσιάζει ένα σενάριο μετασταθερότητας σε κύκλωμα με 2 ρολόγια.



Στη συνέχεια της ενότητας θα γίνει αναφορά σε ορισμένες τεχνικές σχεδίασης που βοηθούν στην αποφυγή της πιθανότητας να μετασταθούν.

Μία τεχνική για την καταστολή της μετασταθερότητας είναι η σύνδεση δύο ή περισσότερων flipflops σε σειρά, έτσι ώστε η έξοδος καθενός να τροφοδοτεί την είσοδο του επόμενου και όλες οι συσκευές μοιράζονται ένα κοινό ρολόι. Με αυτή τη μέθοδο, την οποία θα χρησιμοποιήσουμε σε πολλές περιπτώσεις στο κεφάλαιο 3, η πιθανότητα ενός μεταστατούμενου συμβάντος μπορεί να μειωθεί σε αμελητέα τιμή, αλλά ποτέ να μηδενιστεί.



Η πιθανότητα γίνεται όλο και πιο κοντά στο μηδέν, καθώς αυξάνεται ο αριθμός των flipflops που συνδέονται σε σειρά όπως φαίνεται στην προηγούμενη σχηματική αναπαράσταση.

Ετσι τα λεγόμενα metastable-hardened flipflops είναι διαθέσιμα και μειώνουν όσο το δυνατόν περισσότερο τους χρόνους set και hold χωρίς να εξαλείφουν το πρόβλημα. Αυτό το γεγονός οφείλεται γιατί η μετασταθερότητα δεν είναι απλά θέμα σχεδιασμού του κυκλώματος. Όταν οι μεταβάσεις στο ρολόι και στα δεδομένα εκτελούνται χρονικά κοντά, το flipflop “αναγκάζεται” να αποφασίσει ποιά συμβάν συνέβη πρώτο.

Όσο πιο γρήγορο γίνεται ένα σύστημα, υπάρχει πάντα η πιθανότητα τα συμβάντα εισόδου να είναι τόσο κοντά ώστε να μην μπορεί να ανιχνευθεί ποιά έλαβε χώρα πρώτο. Επομένως, είναι λογικά αδύνατο να κατασκευαστεί ένα τέλειο flipflop απαλλαγμένο από το φαινόμενο της μετασταθερότητας. Τα flipflops ορισμένες φορές χαρακτηρίζονται με βάση τον μέγιστο χρόνο καθίζησης (ο μέγιστος χρόνος που θα παραμείνουν μεταστατικά υπόσυγκεκριμένες συνθήκες).

Τέλος όσον αφορά το υπόλοιπο κύκλωμα έχουν γίνει πολλές προτάσεις κυκλωμάτων που πιθανολογούν πως λύνουν το πρόβλημα αλλά αυτό που στην πραγματικότητα γίνεται είναι η μετατόπιση του προβλήματος από το ένα μέρος στο άλλο.

Κάποιες λύσεις που μπορεί να προταθούν είναι οι εξής:

Για κυκλώματα τα οποία χρησιμοποιούν πολλαπλές πηγές ρολογιού συχνά γίνεται προσπάθεια να λυθεί το πρόβλημα θέτοντας σε αυτά σταθερές σχέσεις φάσης. Αυτή η ενέργεια εμποδίζει ρητά την εμφάνιση μεταστατικής αστοχίας η οποία μπορεί να γίνει εμφανής στο πεδίο.

Επιπλέον μια καλή τεχνική για την αντιμετώπιση της μετασταθερότητας, είναι οι κατάλληλες δοκιμές στις συχνότητες των ρολογιών που εισάγονται. Συνήθως χρησιμοποιούνται ρολόγια τα οποία έχουν ελαφρώς διαφορετικές συχνότητες και εξασφαλίζουν τη σωστή λειτουργία του κυκλώματος.

ΚΕΦΑΛΑΙΟ 3

Σχεδιασμός κυκλωμάτων

3.1 Glitch-free clock switching circuit-Πρώτη υλοποίηση κυκλώματος πολυπλέκτη

Ο απλούστερος διακόπτης ρολογιού είναι το κύκλωμα του πολυπλέκτη. Ο πολυπλέκτης αποτελείται από λογικές πύλες (AND, OR, inverter). Το κύκλωμα λαμβάνει δύο πηγές σήματος ρολογιού στις εισόδους του, τα σήματα CLK1 και CLK2 αντίστοιχα (όπως φαίνεται στο κύκλωμα της εικόνας 1). Επιπλέον σαν είσοδο δίνεται και ένα ακόμα σήμα ελέγχου SELECT με το οποίο ο πολυπλέκτης σε κάθε περίπτωση αλλάζει την είσοδο της πηγής ρολογιού και καθορίζει το σήμα εξόδου κάθε φορά που αλλάζει.

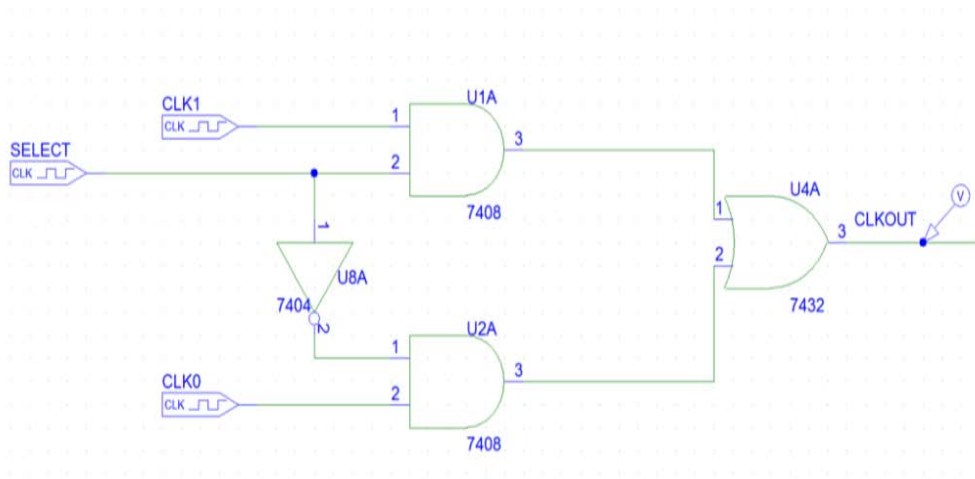
Οι συχνότητες των δύο ρολογιών του πολυπλέκτη στην είσοδο όπως προαναφέρθηκε μπορεί να είναι πολλαπλάσιες μεταξύ τους ή να μην σχετίζονται με κανέναν τρόπο. Η επιλογή του σήματος ελέγχου SELECT παράγεται συνήθως από κάποιο διαδοχικό κύκλωμα οδηγούμενο από το CLK0 και το CLK1.

Καθώς πραγματοποιούνται αυτές οι εναλλαγές μεταξύ των ρολογιών επιλογής, σύμφωνα πάντα με το σήμα ελέγχου, υπάρχει περίπτωση να

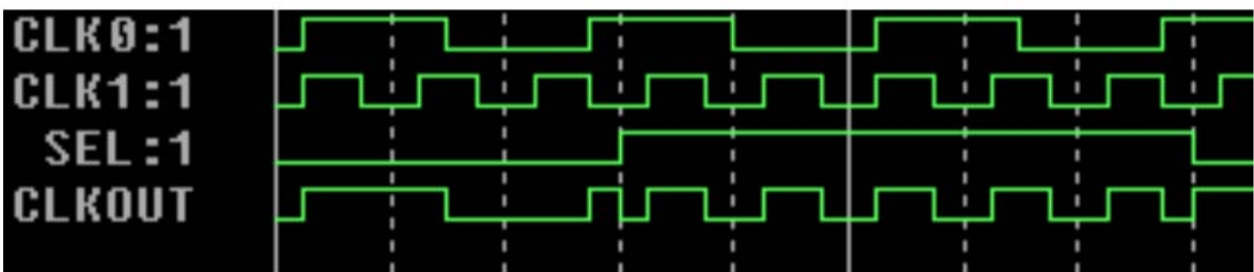
παραχθεί ένα κομμένο σήμα ρολογιού ή ένας ανεπαίσθητος παλμός στον καθορισμό του σήματος εξόδου.

Μια διακοπή στη γραμμή του ρολογιού είναι επικίνδυνη για όλο το σύστημα, καθώς θα μπορούσε να ερμηνευτεί ως μια ακμή ρολογιού από κάποιους καταχωρητές ενώ θα αγνοηθούν από κάποιους άλλους.

Ένα παράδειγμα αυτής της συνδεσμολογίας φαίνεται στην επόμενη υλοποίηση.



εικόνα1-υλοποίηση πρώτου κυκλώματος



εικόνα 2- αποτελέσματα υλοποίησης

Το διάγραμμα χρονισμού δείχνει πως δημιουργείται ένας απροσδιόριστος, μη αναμενόμενος παλμός στο σήμα εξόδου CLKOUT, όταν αλλάζει το σήμα ελέγχου SELECT. Το πρόβλημα αυτού του είδους της εναλλαγής είναι ότι το σήμα ελέγχου μπορεί να αλλάξει οποιαδήποτε στιγμή σε σχέση με τα ρολόγια προέλευσης δημιουργώντας έτσι πιθανότατα κοπή (chopping) του ρολογιού εξόδου ή παράγοντας ένα glitch στην έξοδο.

Η εναλλαγή κατά τη διάρκεια της υψηλής κατάστασης (high stage) του ρολογιού θα πρέπει να αποφευχθεί χωρίς να υπάρχει ενημέρωση για τις συχνότητες ή την σχέση φάσης αυτών των ρολογιών.

Η σταθερή καθυστέρηση μπορεί να χρησιμοποιηθεί για να προκαλέσει το χάσμα μεταξύ του χρόνου έναρξης και του χρόνου διακοπής των 2 ρολογιών προέλευσης, αλλά μόνο αν υπάρχει σταθερή σχέση μεταξύ των δύο πηγών ρολογιού. Δεν μπορεί να χρησιμοποιηθεί όταν δεν είναι γνωστές ούτε οι συχνότητες εισόδου ούτε αν τα ρολόγια σχετίζονται ή όχι.

Η λύση σε αυτό το πρόβλημα μπορεί να δοθεί με την εισαγωγή στο κύκλωμα ειδικών δομικών στοιχείων flipflop. Υπάρχουν διάφοροι τύποι flipflop ανάλογα με το κύκλωμα που θέλουμε να υλοποιήσουμε, σε αυτή την περίπτωση θα ασχοληθούμε με τα flipflop τύπου D.

3.2 Flipflops

Στα ηλεκτρονικά συστήματα, ένα flipflop είναι ένα κύκλωμα που έχει δύο σταθερές καταστάσεις και μπορεί να χρησιμοποιηθεί για την αποθήκευση πληροφοριών κατάστασης.

Ένα flipflop καλείται ένας δισθενής multivibrator. Το κύκλωμα μπορεί γίνει για να αλλάζει καταστάσεις ανάλογα με τα σήματα που δέχεται σε μία ή σε περισσότερες εισόδους ελέγχου και θα έχει μία ή δύο εξόδους. Αποτελούν βασικό στοιχείο αποθήκευσης με δυαδική λογική. Ως θεμελιώδεις δομικές μονάδες ψηφιακών κυκλωμάτων, τα flipflops χρησιμοποιούνται σε πολλούς τύπους συστημάτων. Έχουν τη δυνατότητα να αποθηκεύσουν ένα μόνο bit πληροφορίας (ένα λογικό 0 ή ένα λογικό 1).

Αυτή η αποθήκευση δεδομένων μπορεί να χρησιμοποιηθεί για να κρατήσει μία κατάσταση και ένα τέτοιο κύκλωμα περιγράφεται ως διαδοχική λογική. Όταν χρησιμοποιούνται σε συστήματα πεπερασμένης κατάστασης, η έξοδος και η επόμενη κατάσταση εξαρτώνται όχι μόνο από την τρέχουσα είσοδο της, αλλά και από την τρέχουσα κατάσταση της (και επομένως τις προηγούμενες εισόδους).

Μπορεί επίσης να χρησιμοποιηθεί για καταμέτρηση παλμών και για συγχρονισμό μεταβλητών συγχρονισμένων σημάτων εισόδου σε κάποιο σήμα χρονισμού αναφοράς.

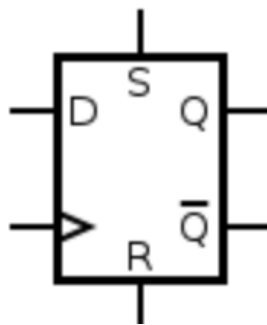
Τα flipflops μπορεί να είναι απλά (διαφανή) είτε να είναι χρονισμένα (συγχρονισμένα ή με ενεργοποιημένα άκρα). Αν και ο όρος έχει χρησιμοποιηθεί ιστορικά γενικά τόσο για τα απλά όσο και για τα χρονισμένα κυκλώματα, στη σύγχρονη χρήση του όρου είναι κοινό να διατηρούμε τον όρο flipflop αποκλειστικά για να συζητήσουμε για χρονισμένα κυκλώματα. τα απλά αποκαλούνται latches.

Ένα latch είναι level-sensitive, ενώ αντίθετα ένα flipflop είναι edge-sensitive. Αυτό σημαίνει πως όταν ένα latch είναι ενεργοποιημένο γίνεται διαφανές ενώ αντίθετα η έξοδος ενός flipflop αλλάζει μόνο με έναν τρόπο (θετικά ή αρνητικά) σύμφωνα με την ακμή του σήματος ρολογιού.

D flipflops

Τα D flipflops είναι ευρέως διαδεδομένα είναι επίσης γνωστά και ως “data” ή “delay” flipflops.

Το flipflop τύπου D καταγράφει την τιμή της εισόδου D (που αποτελεί την είσοδο ελέγχου) σε ένα καθορισμένο τμήμα του κύκλου του ρολογιού (όπως το ανερχόμενο άκρο του ρολογιού). Αυτή η ληφθείσα τιμή γίνεται η έξοδος Q. Σε κάποιες περιπτώσεις η παραγωγή του Q δεν αλλάζει. Η άλλη είσοδος είναι η είσοδος του ρολογιού και συμβολίζεται με τριγωνικό σύμβολο. Στην επόμενη εικόνα φαίνεται η μορφοποίηση.



Χωρίζονται σε δύο κατηγορίες ανάλογα με τα άκρα τους. Τα flipflop που έχουν θετικά ακμοπυροδοτούμενα άκρα (positive edge triggered), είναι αυτά που αλλάζουν τις τιμές εξόδου μόνο όταν το ρολόι βρίσκεται στην θετική ακμή του.

Αντίθετα, αυτά που έχουν αρνητικά ακμοπυροδοτούμενα άκρα τα οποία αλλάζουν τις τιμές εξόδου μόνο όταν το ρολόι βρίσκεται στην αρνητική ακμή του.

Οι αντίστοιχες έξοδοι Q και Q' είναι στην πραγματικότητα το bit που αποθηκεύεται καθώς το flip flop πάντα βγάζει στην έξοδο του ένα bit πληροφορίας.

Υπάρχουν 2 πιθανά output $Q=0$ $Q'=1$ και $Q=1$ $Q'=0$. Καθώς η δεύτερη έξοδος αναιρείται από την πρώτη και δεν υπάρχει επιπλέον αποθηκευτικός χώρος. Στην επόμενη εικόνα παραθέτεται ο πίνακας αληθείας για τα θετικά ακμοπυροδοτούμενα flipflops.

Clock	D	Q_{next}
Rising edge	0	0
Rising edge	1	1
Non-Rising	X	Q

Τα περισσότερα D ffs έχουν την ικανότητα μέσω των άκρων S και R να επαναρχικοποιούν την κατάσταση τους κάνοντας επαναφορά, θέτοντας τις τιμές τους στο 0 ή στο 1.

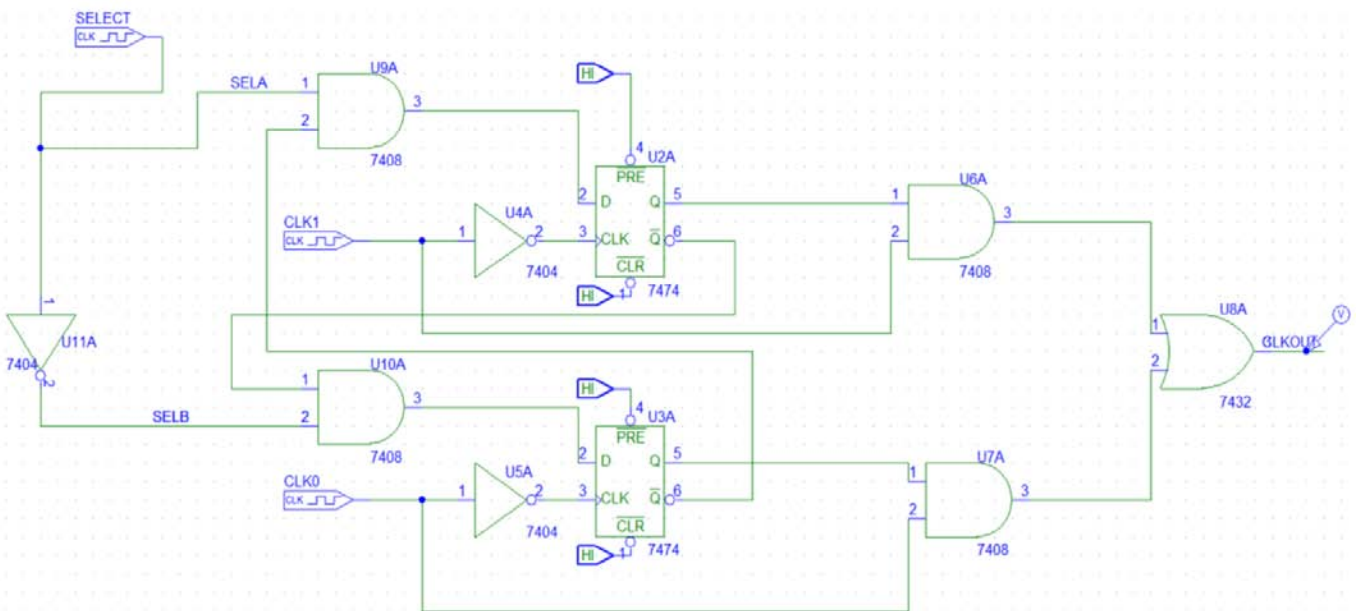
Η κατάσταση ενός flip flop αλλάζει με μια στιγμιαία αλλαγή στο σήμα εισόδου. Αυτή η αλλαγή λέγεται trigger και η μετάβαση αυτή συντελεί στην ενεργοποίηση του. Μπορεί να θεωρηθεί σαν ένας τύπος μνήμης ή γραμμή καθυστέρησης.

3.3 Πρώτος τρόπος αντιμετώπισης του φαινομένου των glitches

Μια πρώτη προσέγγιση για την αντιμετώπιση του προβλήματος που παρουσιάστηκε στην πρώτη υλοποίηση του κυκλώματος (εικόνα1), είναι η σύνδεση negative edge triggered D flipflops στα δύο ξεχωριστά μονοπάτια των συγχρονισμένων ρολογιών.

Τα flipflop αυτά εισάγονται στο μονοπάτι επιλογής για κάθε πηγή ρολογιού και χρησιμοποιούνται για να αποθηκεύσουν τα σήματα επιλογής SELA και SELB (όπως φαίνεται στην υλοποίηση της εικόνας 3).

Νέες τιμές SELA και SELB αποθηκεύονται στις αρνητικές ακμές των σημάτων ρολογιού CLK0 και CLK1 αντίστοιχα.

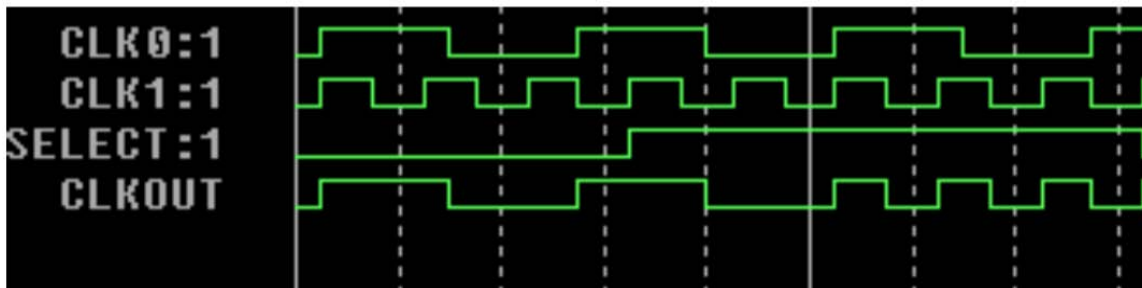


εικόνα 3-υλοποίηση δεύτερου κυκλώματος

Η επόμενη πηγή ρολογιού επιλέγεται μόνο εφόσον το προηγούμενο ρολόι έχει αποεπιλεγεί.

Στην πραγματικότητα η αλλαγή-διακοπή πρέπει να περιμένει την απαλοιφή του τρέχοντος ρολογιού πριν ξεκινήσει η μετάδοση της επόμενης πηγής ρολογιού. Αυτό εγγυάται ότι δεν πραγματοποιούνται αλλαγές στην έξοδο ενώ ένα από τα δύο ρολόγια είναι σε υψηλό επίπεδο αποφεύγοντας έτσι την δημιουργία glitch στο σήμα εξόδου.

Το διάγραμμα χρονισμού του παρακάτω σχήματος δείχνει πως η μετάβαση του σήματος SELECT από 0 σε 1 σταματά πρώτα τη διάδοση του CLK0 στην έξοδο. Αυτό συμβαίνει στη συνεχιζόμενη πτώση ακμής του CLK0 και στη συνέχεια ξεκινά η διάδοση του CLK1 στην έξοδο στην ακόλουθη αρνητική ακμή του CLK1



εικόνα 4-αποτελέσματα υλοποίησης 2

Υπάρχουν τρεις διαδρομές χρονισμού σε αυτό το κύκλωμα οι οποίες χρειάζονται ιδιαίτερη προσοχή. Το σήμα SELECT στο καθένα από τις δύο αρνητικές ακμές του flipflop στην έξοδο του U3A και στην είσοδο του U2A, στην έξοδο του U2A και στην είσοδο του U3A.

(όπου U2A και U3A τα flipflops σύμφωνα με τις ονομασίες τους στην εικόνα3). Αν το σήμα σε οποιαδήποτε από τις 3 περιπτώσεις αλλάξει την ίδια στιγμή με την ακμή του ρολογιού του flipflop, υπάρχει μια μικρή πιθανότητα η έξοδος του καταχωρητή να μετασταθμιστεί, πράγμα που σημαίνει ότι μπορεί να φτάσει σε κατάσταση μεταξύ ενός ιδανικού ένα και ενός ιδανικού μηδέν.

Μια μεταστατική κατάσταση μπορεί να ερμηνευτεί διαφορετικά απο τον πολυπλέκτη ρολογιού και την ανάδραση ενεργοποίησης του άλλου flip flop, όπως προαναφέρθηκε στο κεφάλαιο 2. Ως εκ τούτου απαιτείται, οι συνδεδεμένες άκρες και των δυο flip flop και οι άκρες του σήματος SELECT, να είναι διαχωρισμένες μεταξύ τους για να αποφευχθεί οποιαδήποτε ασύγχρονη αλληλεπίδραση.

Αυτό μπορεί εύκολα να επιτευχθεί χρησιμοποιώντας κατάλληλους περιορισμούς συγκράτησης πολλαπλών κύκλων ή περιορισμούς ελάχιστης καθυστέρησης, καθώς η σχέση χρονισμού των 2 ρολογιών είναι γνωστή. Κατά την εκκίνηση των chip και τα δύο flipflop U2A και U3A θα πρέπει να είναι ρυθμισμένα στην κατάσταση 0 έτσι ώστε κανένα από τα δύο ρολόγια να μην διαδίδεται αρχικά.

Ξεκινώντας και τα δύο flip flop απο την κατάσταση 0 η ανοχή σε glitch ενσωματώνεται στον διακόπτη ρολογιού. Ας θεωρήσουμε ότι ένα από τα ρολόγια δεν ήταν εναλλάξιμο λόγω σφάλματος κατά την εκκίνηση. Εάν το flip flop που σχετιζόταν με το ελαττωματικό ρολόι είχε ξεκινήσει σε κατάσταση ένα-υψηλή, θα εμπόδιζε την επιλογή του άλλου ρολογιου ως επόμενο ρολόι και η δική του κατάσταση δεν είναι μεταβλητή λόγω έλλειψης ρολογιού.

Ξεκινώντας και τα δύο flip flop από την κατάσταση 0, ακόμα κι αν το ένα από τα δύο ρολόγια δεν εκτελείται, εξακολουθεί να υπάρχει η δυνατότητα διάδοσης του άλλου λειτουργικού ρολογιού στην έξοδο.

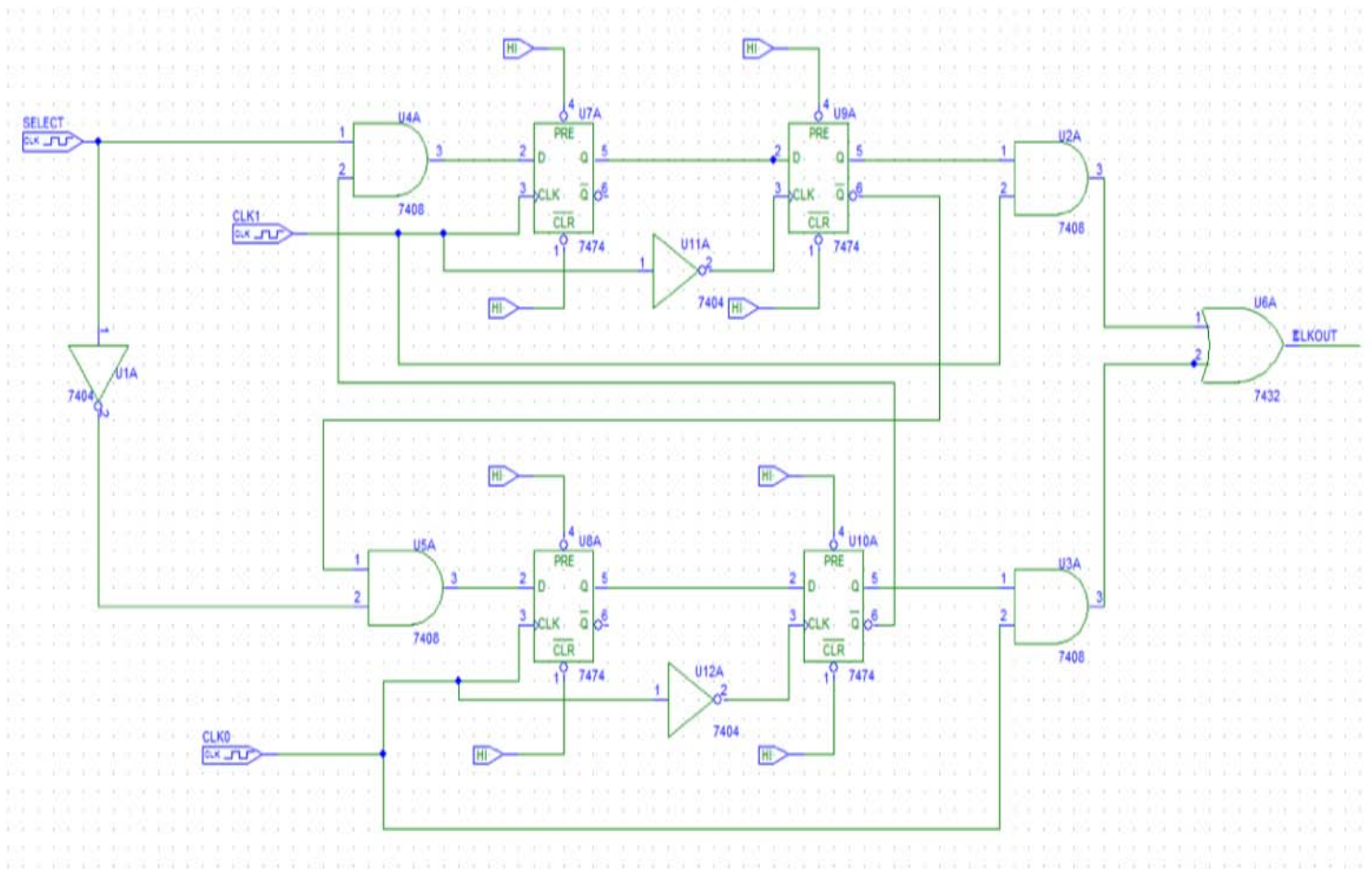
3.4 Δεύτερος τρόπος αντιμετώπισης του προβλήματος - Προστασία απο glitches για ρολογια που δεν σχετίζονται

Η προηγούμενη μέθοδος αποφυγής σφάλματος στην έξοδο ενός διακόπτη ρολογιού απαιτεί οι συχνότητες των δυο πηγών ρολογιού να είναι πολλαπλάσιες μεταξύ τους. Όταν έγινε η εφαρμογή της συγκεκριμένης μεθόδου εισάγοντας σήματα ρολογιού των οποίων οι συχνότητες δεν σχετίζονταν η μέθοδος απέτυχε, καθώς δεν υπάρχει μηχανισμός για την αντιμετώπιση σημάτων τέτοιου είδους.

Αυτό το πρόβλημα που αναφέρθηκε στην προηγούμενη παράγραφο μας οδηγεί στη δεύτερη μέθοδο εφαρμογής του διακόπτη ρολογιού με κυκλώματα συγχρονισμού, με σκοπό να αποφευχθεί πιθανή μεταστατική κατάσταση που προκαλείται από τέτοια σήματα.

Η πηγή ασύγχρονης συμπεριφοράς μπορεί να είναι είτε το σήμα SELECT είτε η ανατροφοδότηση από το ένα πεδίο ρολογιού στο άλλο, όταν οι δύο πηγές ρολογιού δεν σχετίζονται με κανέναν τρόπο μεταξύ τους όσον αφορά τις συχνότητες τους.

Όπως φαίνεται στο κύκλωμα της εικόνας 5 στην επόμενη σελίδα, η προστασία κατά της μετασταθερότητας παρέχεται προσθέτοντας ένα επιπλέον στάδιο θετικού άκρου ενεργοποίησης flip flop για κάθε ένα από τα δύο ρολόγια πηγής.



Εικόνα 5 - υλοποίηση κυκλώματος

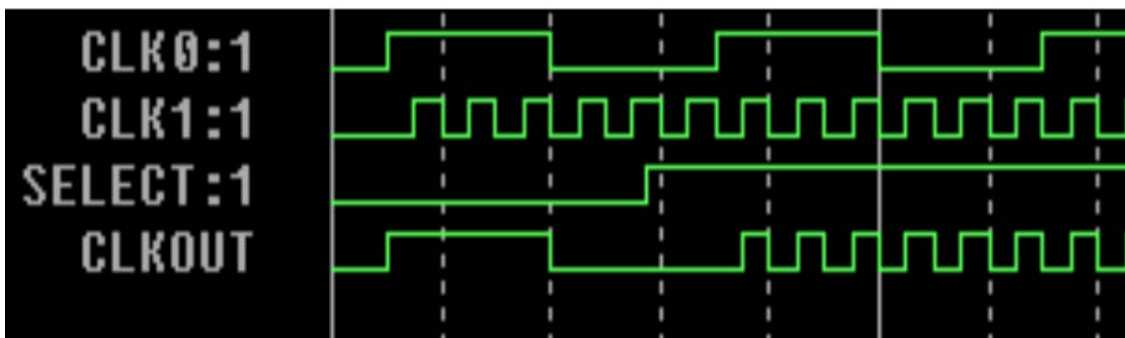
Το θετικά ενεργοποιημένο (positive edge triggered) flip flop σε κάθε μονοπάτι επιλογής, μαζί με το υπάρχον αρνητικά ενεργοποιημένο (negative edge) flip flop προστατεύει από πιθανή κατάσταση μετασταθερότητας που μπορεί να προκληθεί από ασύγχρονα SELECT σήματα ή ασύγχρονη ανάδραση του ενός ή του άλλου ρολογιού.

Συγκεκριμένα η διάταξη των 2 negative-edge triggered D flip flop εξασφαλίζουν ότι ο έλεγχος επιλογής καταγράφεται στην πτώση της ακμής του σήματος ρολογιού και ότι η επιλογή ενεργοποιείται μόνο μετά την απενεργοποίηση του προεπιλεγμένου ρολογιού.

Αυτός ο περιορισμός συντελεί σημαντικά στην αποφυγή του προβλήματος ύπαρξης ανεπιθύμητων φαινομένων στην έξοδο του κυκλώματος.

Επιπλέον ένα positive edge triggered D-type flip flop σε κάθε μονοπάτι επιλογής των 2 ρολογιών εμποδίζει το φαινόμενο της μετασταθερότητας (metastability) που σχετίζεται με ασύγχρονα σήματα εισόδου.

Στην εικόνα 6 φαίνεται το αποτέλεσμα της προσομοίωσης του κυκλώματος της εικόνας 5 και όπως μπορούμε να παρατηρήσουμε η έξοδος CLKOUT δεν παρουσιάζει κάποιο glitch και σύμφωνα με το σήμα ελέγχου SELECT, το σήμα εξόδου εναλλάσσει την κατάσταση του χωρίς ανεπιθύμητες μη προβλεπόμενες ακμές.



εικόνα 6-αποτελέσματα υλοποίησης κυκλώματος

3.5 Ανάλυση Λειτουργίας κυκλώματος

Η ανάλυση του κυκλώματος δείχνει ότι αν και τα δύο ρολόγια εισόδου CLK0 και CLK1 εκτελούνται όταν το σήμα SELECT είναι στην χαμηλή κατάσταση (LOW) η έξοδος της πύλης AND U4A είναι επίσης στην χαμηλή κατάσταση. Αυτό σημαίνει ότι η είσοδος δεδομένων του D-type flip-flop U7A είναι επίσης στο LOW και έτσι η έξοδος Q είναι σε χαμηλή κατάσταση.

Ταυτόχρονα η έξοδος Q του U9A flip-flop είναι επίσης σε χαμηλή κατάσταση καθώς η εισαγωγή δεδομένων είναι η έξοδος Q από το U9A. Αυτή η διαμόρφωση ρυθμίζει την έξοδο της πύλης AND U2A σε χαμηλή κατάσταση. Ως αποτέλεσμα το CLK1 δεν μπορεί να μεταδοθεί στην έξοδο του κυκλώματος πολυπλεξίας.

Σε αυτή την κατάσταση και οι δύο είσοδοι στο AND U2A είναι σε υψηλή κατάσταση, αφού η έξοδος QN του U9A είναι το συμπλήρωμα της εξόδου Q και η πύλη U1A αναστρέφει το σήμα SELECT από χαμηλή σε υψηλή κατάσταση.

Επομένως η είσοδος δεδομένων του U8A οδηγείται σε υψηλή κατάσταση. Ως αποτέλεσμα η έξοδος Q πηγαίνει επίσης σε υψηλή κατάσταση, η οποία οδηγεί με τη σειρά της την είσοδο δεδομένων του U10A σε υψηλή κατάσταση. Αυτό το γεγονός οδηγεί την έξοδο Q του U10A, όταν το CLK0 είναι υψηλό.

Αυτό κρατά την είσοδο στην πύλη AND U2A σε μια σταθερή HIGH κατάσταση. Η έξοδος ακολουθεί την άλλη είσοδο από το CLK0. Επομένως κάθε φορά που το σήμα SELECT είναι χαμηλό το CLK0 μεταδίδεται στην έξοδο του κυκλώματος μέσω της πύλης OR.

Αντίθετα όταν το σήμα SELECT μεταβαίνει σε υψηλή κατάσταση το σήμα του αντιστροφέα στην είσοδο αλλάζει τη μια είσοδο της πύλης AND U5A σε κατάσταση LOW. Η έξοδος της πύλης AND U5A μεταβάλλεται στη συνέχεια σε χαμηλή κατάσταση επίσης.

Η έξοδος αυτή με τη σειρά της μεταφέρεται στην είσοδο δεδομένων του U8A και το καθιστά σε χαμηλή κατάσταση. Η έξοδος Q του flip-flop U8A στη συνέχεια ωθείται σε LOW η οποία με τη σειρά της οδηγεί την έξοδο Q του U10A σε χαμηλή κατάσταση. Αυτό αποεπιλέγει το CLK0 εξαναγκάζοντας την έξοδο του AND U3A σε LOW.

Ταυτόχρονα, η έξοδος QN του U10A αλλάζει σε HIGH η οποία με τη σειρά της τροποποιεί την έξοδο της πύλης AND U4A σε HIGH. Αυτή η ενέργεια ωθεί την έξοδο του U7A flipflop σε HIGH η οποία επίσης με τη σειρά της μεταφέρει την έξοδο του U9A σε HIGH.

Το αποτέλεσμα είναι ότι μία είσοδος της πύλης AND U2A διατηρείται σε σταθερή υψηλή κατάσταση και συνεπώς η έξοδος ακολουθεί τη δεύτερη είσοδο που είναι το σήμα ρολογιού CLK1. Με αυτόν τον τρόπο το CLK1 μεταδίδεται μέσω της εξόδου του κυκλώματος πολυπλεξίας ρολογιού κάθε φορά που το σήμα SELECT είναι υψηλό.

3.6 Συμπεράσματα τεχνικών αντιμετώπισης των glitches

Ο κίνδυνος δημιουργίας ενός glitch σε μια γραμμή ρολογιού κατά την εναλλαγή μεταξύ των δύο πηγών ρολογιού μπορεί να αποφευχθεί με ελάχιστη επιβάρυνση χρησιμοποιώντας τις δύο τεχνικές που αναφέρθηκαν. Αυτές οι τεχνικές είναι πλήρως κλιμακούμενες και μπορούν να επεκταθούν σε ένα διακόπτη ρολογιού για περισσότερα από 2 ρολόγια. Για πολλές πηγές ρολογιού το σήμα επιλογής SELECT θα ενεργοποιηθεί με ανατροφοδότηση από τις άλλες πηγές.

Παρόλα αυτά, αυτό το κύκλωμα επιλογής έχει ένα πιθανό μειονέκτημα. Το κύκλωμα μεταγωγής ρολογιού δεν μπορεί να αλλάξει το ρολόι εκτός κι αν και οι δύο πηγές ρολογιού λειτουργούν κανονικά, αφού η εναλλαγή μεταξύ των ρολογιών απαιτεί την αλλαγή της κατάστασης επιλογής από κάθε διαδρομή επιλογής.

Δηλαδή αν αποτύχει μια από τις δύο πηγές ρολογιού αυτό το κύκλωμα δεν μπορεί να λειτουργήσει. Αλλά ορισμένα κυκλώματα μπορεί να χρειάζονται πραγματικά μια τέτοια λειτουργία που μπορεί να απομακρυνθεί από ένα ανεπαρκές σήμα ρολογιού.

Για παράδειγμα ένα από τα σήματα ρολογιού εισόδου του πολυπλέκτη μπορεί να αποτύχει από υποφέροντα ιόντα ή ηλεκτρομαγνητική ακτινοβολία. Επιπλέον, στη διαδικασία της δυναμικής αναδιάταξης του FPGA καθώς μετασχηματίζεται μέρος των λογικών πόρων κάποια σήματα του ρολογιού εξαφανίζονται. Στο τέταρτο κεφάλαιο της εργασίας θα γίνει η ανάλυση αυτών των προβλημάτων και θα αναφερθούν κυκλωματικά οι τρόποι αντιμετώπισης τους.

3.7 Αντιμετώπιση των glitches με την χρήση του ICG (Integrated Clock Gating Cell)

Ανάλυση ICG

Στον σύγχρονο σχεδιασμό συστημάτων για την δημιουργία τσιπ (SoC), η κατανάλωση ενέργειας έχει γίνει ένα σημαντικό ζήτημα. Καθώς το μέγεθος των χαρακτηριστικών έχει συρρικνωθεί και η ζήτηση των επεξεργαστών μεγάλης ταχύτητας αυξάνεται, η επίδραση της κατανάλωσης ρεύματος έχει καταστεί ένα από τα σημαντικότερα εμπόδια στη διαδικασία σχεδιασμού ολοκληρωμένων κυκλωμάτων.

Η συνολική κατανάλωση ενέργειας σε ένα κύκλωμα χωρίζεται σε στατική και δυναμική ισχύ.

Παρόλο που η στατική ισχύς έχει μεγάλη σημασία στο σχεδιασμό ψηφιακών κυκλωμάτων CMOS νανοκλίμακας, η διαχείριση της δυναμικής κατανάλωσης ενέργειας είναι σήμερα η πιο αποτελεσματική στρατηγική για τη μείωση της ισχύος στα ψηφιακά κυκλώματα, ιδιαίτερα για τις τεχνολογίες FinFET σε νανοκλίμακα, όπου η ισχύς διαρροής έχει μειωθεί σημαντικά. Η συνολική κατανάλωση ισχύος σε ένα ψηφιακό κύκλωμα CMOS είναι:

$$P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$$

όπου

$$P_{\text{dynamic}} = P_{\text{switching}} + P_{\text{short-circuit}}.$$

Η ενέργεια που καταναλώνεται λόγω της μεταγωγής (φόρτιση και εκφόρτιση) του φορτίου και η χωρητικότητα συμβάλλει στην ενεργοποίηση του $P_{\text{switching}}$.

Εάν η χωρητικότητα του C φορτιστεί και εκφορτιστεί από ένα σήμα ρολογιού με συχνότητα f και μέγιστη τάση του V , η δυναμική κατανάλωση ενέργειας είναι:

$$P = \alpha C(V^2) f$$

όπου α είναι ο παράγοντας δραστηριότητας. Ο συντελεστής δραστηριότητας είναι η μέση πιθανότητα 0 σε 1 μετάβαση σε έναν κύκλο. Για παράδειγμα, εάν ένα σήμα μεταβαίνει μία φορά σε κάθε κύκλο, ο παράγοντας δραστηριότητας είναι $\alpha = 1/2$.

Καθώς το σήμα ρολογιού κάνει δύο μεταβάσεις σε κάθε κύκλο, αυτό έχει τον μέγιστο συντελεστή δραστηριότητας 1. Συνεπώς, αν η μετάδοση σήματος ρολογιού μπορεί να ελεγχθεί, η δυναμική κατανάλωση ισχύος μπορεί επίσης να μειωθεί σημαντικά.

Υπάρχουν διάφορες τεχνικές για τη μείωση της δυναμικής κατανάλωσης ισχύος, όπως η μείωση της συχνότητας λειτουργίας, της ταλάντωσης τάσης ή του χωρητικού φορτίου του δικτύου διανομής ρολογιού. Η κατανάλωση ενέργειας μπορεί να μειωθεί περαιτέρω με την εισαγωγή τεχνικών για τη μείωση της τάσης τροφοδοσίας, παρόλο που μπορεί να προκληθεί λόγω της δυσκολίας κλιμάκωσης της τάσης κατωφλίου.

Κάθε μία από αυτές τις τεχνικές παρουσιάζει διαφορετικές συμφωνίες με απόδοση και αξιοπιστία. Εναλλακτικά, η μείωση του συντελεστή δραστηριότητας του σήματος ρολογιού εξασφαλίζοντας ότι δεν αλλάζει όταν δεν είναι απαραίτητο μπορεί να μειώσει σημαντικά τη δυναμική κατανάλωση ισχύος χωρίς να επηρεάσει την τάση τροφοδοσίας ή τη συχνότητα. Το clock gating αναφέρεται στην απενεργοποίηση του σήματος ρολογιού όταν τα flip-flops είναι αδρανή. Χρησιμοποιήθηκε με επιτυχία σε προσαρμοσμένα ASIC, μικροεπεξεργαστές και σε FPGAs.

Ο πιο πρωτόγονος τρόπος για την επίτευξη του clock gating συμπεριλαμβάνει ένα σήμα ενεργοποίησης και ένα gate clock σήμα χρησιμοποιώντας μια AND ή μια NOR πύλη, ανάλογα με τον τύπο του flip-flop που επιλέγεται να χρησιμοποιηθεί. Η έξοδος αυτής της πύλης αναφέρεται ως ένα gated clock που δεν λειτουργεί όταν το σήμα ενεργοποίησης είναι ενεργό.

Το σήμα ενεργοποίησης επιτυγχάνεται εσωτερικά ή εξωτερικά από ένα συνδυαστικό κύκλωμα ανάλογα με την προσέγγιση που χρησιμοποιείται.

Η χρήση μίας ενιαίας πύλης όπως η AND ή η NOR έχει σημαντικό περιορισμό καθώς εισάγει ανεπιθύμητες δυσλειτουργίες στο σήμα του gated clock. Δεδομένου ότι το σήμα μπορεί να αλλάξει οποιαδήποτε στιγμή, η οποία μπορεί να μην είναι συγχρονισμένη με το σήμα ρολογιού μπορεί να προκαλέσει σφάλμα στο ρολόι.

Για να αποφευχθεί αυτή η κατάσταση, προστίθεται ένα latch μπροστά από τη λογική πύλη, προκειμένου να συγχρονιστεί το σήμα ενεργοποίησης με την άκρη του ρολογιού (edge clock). Το latch και η λογική πύλη σχηματίζουν ένα νέο standard cell που αναφέρεται ως πυρήνας ενσωματωμένου ρολογιού (ICG).

Υπάρχουν πολλαπλές υλοποιήσεις πυρήνων ICG χρησιμοποιώντας latches ή flip-flops με λογικές πύλες που στοχεύουν στη μείωση της κατανάλωσης ενέργειας και στη σωστή λειτουργία του κυκλώματος.

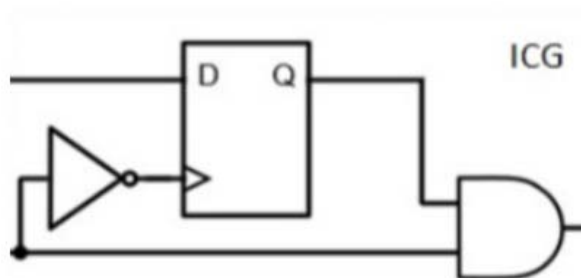
3.8 Υλοποίηση κυκλώματος με ICG

Στο κύκλωμα που ακολουθεί έχουμε χρησιμοποιήσει ICG, πιο αναλυτικά:

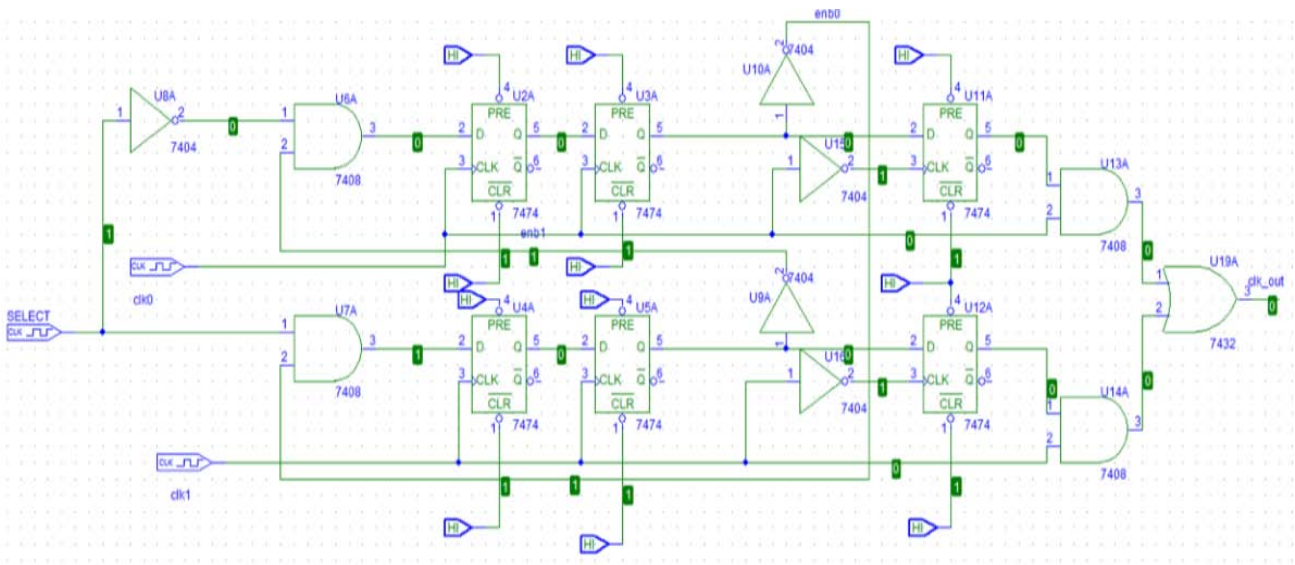
Όπως προαναφέρθηκε αυτή η δημοφιλής τεχνική χρησιμοποιείται σε πολλά σύγχρονα κυκλώματα για τη μείωση της δυναμικής ισχύος. Η εξοικονόμηση ενέργειας που παρέχεται από το clock gating βασίζεται στην εισαγωγή περισσότερης λογικής σε ένα κύκλωμα, με σκοπό τον περιορισμό του μονοπατιού του ρολογιού.

Περιορίζοντας το μονοπάτι του ρολογιού, απενεργοποιούνται τμήματα του κυκλώματος έτσι ώστε τα flip-flops να μην χρειάζονται να αλλάζουν καταστάσεις. Οι καταστάσεις μεταγωγής καταναλώνουν ενέργεια. Όταν είναι απενεργοποιημένα η κατανάλωση ρεύματος μεταγωγής μεταβαίνει στο μηδέν και παράγονται μόνο ρεύματα διαρροής. Το clock gating λειτουργεί με τη λήψη συνθηκών ενεργοποίησης που συνδέονται με τα σήματα ενεργοποίησης και τις χρησιμοποιεί για την απενεργοποίηση των ρολογιών. Ένας σχεδιασμός πρέπει να περιλαμβάνει αυτές τις συνθήκες ενεργοποίησης για να τις χρησιμοποιήσει και να επωφεληθεί από το ρολόι. Αυτή η διαδικασία ρύθμισης ρολογιού όχι μόνο μπορεί να εξοικονομήσει ενέργεια αλλά και στην περίπτωση μας γίνεται σωστή ρύθμιση των ρολογιών ώστε να μην έχουμε απροσδόκητες περιπτώσεις αστοχιών.

Η συνδεσμολογία ICG, όπως φαίνεται στην επόμενη εικόνα, αποτελείται από ένα D flip-flop με ένα ανεστραμένο ρολόι και μία πύλη AND.



Η είσοδος του ICG πρέπει να είναι στον ίδιο τομέα ρολογιού, διαφορετικά η έξοδος μας θα παρουσιάσει ανεπιθύμητη απρόβλεπτη συμπεριφορά. Δεύτερον όπως φαίνεται και στη σχηματική υλοποίηση του κυκλώματος της εικόνας 7 παρακάτω, χρησιμοποιήθηκαν δύο flip-flops ώστε να δημιουργηθεί ένας ξεκάθαρος συντονιστής.

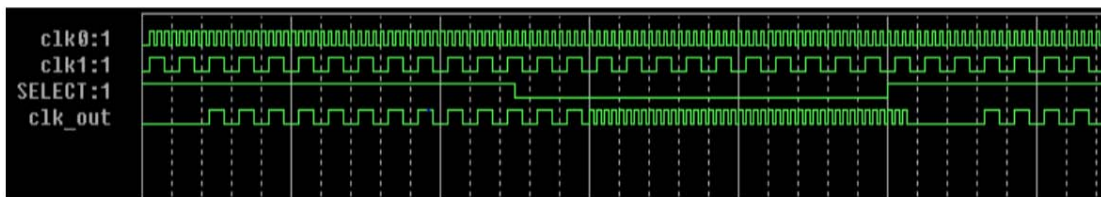


Εικόνα7 - σχεδίαση κυκλώματος icg

3.9 Αναλυτική λειτουργία κυκλώματος

Το παραπάνω κύκλωμα λειτουργεί ως εξής:

- Όταν το σήμα SELECT γίνει 1 οι έξοδοι των flip-flops είναι 0 και τα δύο ICG αποκλείουν τα clk0 και clk1.
- Όταν το σήμα SELECT γίνει 0 η πύλη AND πριν από τον συγχρονιστή του clk0 δίνει έξοδο 1 επειδή και οι δύο είσοδοι της πύλης είναι ανεστραμμένες (SELECT=1 και enb=1).



Εικόνα 8-αποτελέσματα υλοποίησης

Το σήμα SELECT και το enb1 δεν σχετίζονται με το clk0. Έτσι η έξοδος της πύλης AND δεν μπορεί να οδηγηθεί απευθείας στο ICG cell για αυτό χρειαζόμαστε τον flip-flop συγχρονιστή. Μετά από 2 κύκλους του clk0, ο συγχρονιστής περνά από το clk1 στο clk0 ICG και ενεργοποιεί το clk0.

Όταν το σήμα select γίνει 1 το enb0=0, θα κρατήσει το clk1 απενεργοποιημένο το enb1=1 και θα περάσει το σήμα SELECT για να απενεργοποιήσει το clk0.

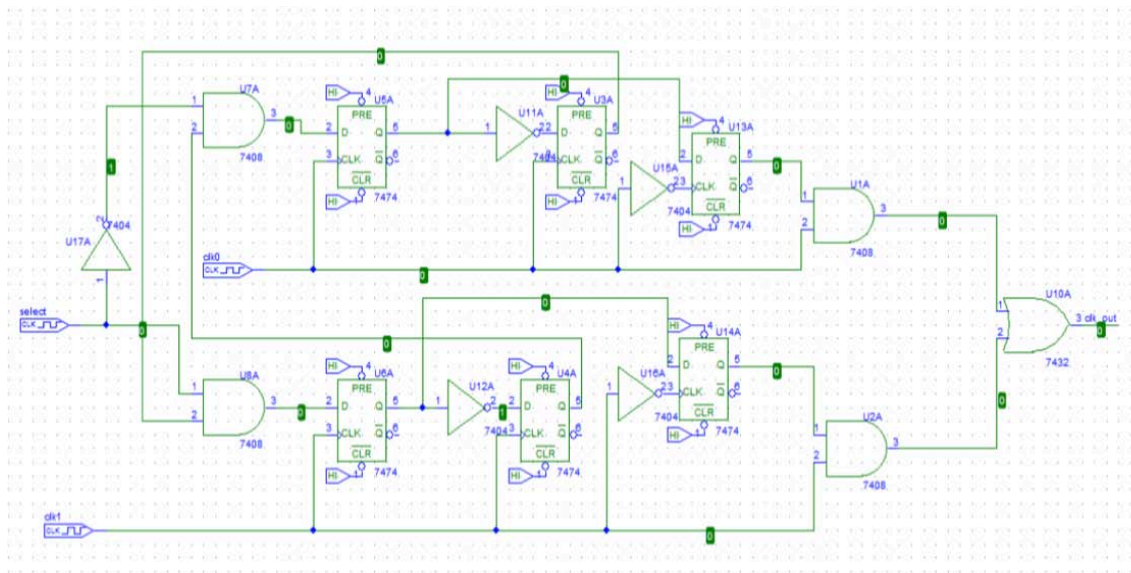
Όταν το $clk0$ είναι απενεργοποιημένο το $enb0$ γίνεται 1 και αυτό έχει ως αποτέλεσμα να ενεργοποιήσει το μονοπάτι του $clk1$.

Όπως μπορούμε να δούμε η κεντρική ιδέα για τη δημιουργία ενός κυκλώματος εναλλαγής ρολογιού χωρίς παρενέργειες είναι να προνοούμε πάντα την απενεργοποίηση ενός ρολογιού πριν την ενεργοποίηση του άλλου.

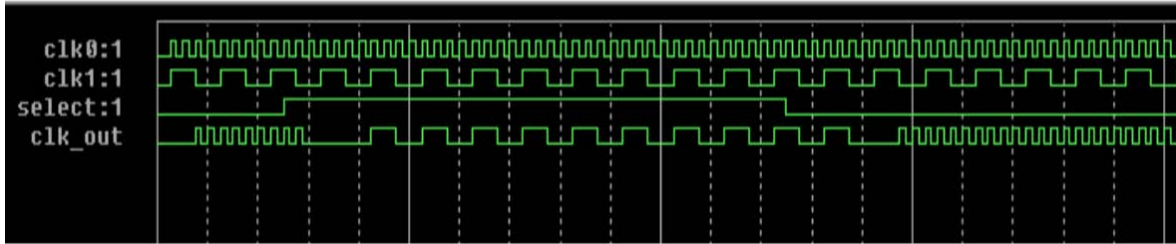
Στην πραγματικότητα το συγκεκριμένο κύκλωμα έχει κάποιους περιορισμούς:

Όταν το σήμα $select$ πηγαίνει από 0 στο 1 και το $enb0$ πηγαίνει επίσης από 0 στο 1, χρειάζεται μισό κύκλο $clk0$ για να μπορέσει το $clk0$ ICG να απενεργοποιηθεί το $clk0$ καθώς απαιτείται 2.5 κύκλοι του $clk1$ για να μπορέσει να ενεργοποιηθεί από το μονοπάτι του $clk1$ το ρολόι. Έτσι στην περίπτωση που η περίοδος του $clk1$ είναι 2.5 φορές της περιόδου του $clk0$, κύκλωμα παρουσιάζει πρόβλημα.

Για να διορθωθεί αυτή η κατάσταση μπορεί να προστεθεί μία καθυστέρηση ρολογιού στα $enb0$ και $enb1$, όπως φαίνεται στην υλοποίηση του παρακάτω κυκλώματος και στη λήψη της γραφικής παράστασης όπως προέκυψε από την υλοποίηση στο PSpice.



Εικόνα 9-Βελτίωση icg κυκλώματος



Εικόνα 10-Αποτελέσματα υλοποίησης Βελτιωμένου κυκλώματος icg

Τέλος, η συγκεκριμένη μεταγωγή ρολογιού μπορεί να επεκταθεί εύκολα και στην εισαγωγή περισσότερων ρολογιών.

Αυτό μπορεί να συμβεί με την εφαρμογή στην είσοδο του κυκλώματος ενός one-hot κωδικοποιητή με τον οποίο θα γίνεται η ενεργοποίηση του σήματος SELECT, επιτρέποντας έτσι κάθε φορά την ενεργοποίηση μίας διαδρομής ρολογιού ώστε να μην έχουμε επικάλυψη και απρόβλεπτη συμπεριφορά.

Επιπρόσθετα, η πύλη AND πριν από κάθε διαδρομή clk παίρνει το enb σήμα από κάθε διαδρομή ρολογιού εκτός από το ίδιο. Έτσι το συγκεκριμένο ρολόι, κάθε στιγμή, θα ενεργοποιείται μετά την απενεργοποίηση όλων των άλλων.

3.10 Σχεδίαση glitch-free κυκλώματος εναλλαγής ρολογιού με ελάχιστο χρόνο μετάβασης

Σε αυτή την ενότητα του κεφαλαίου θα αναλύσουμε ένα άλλο συμμετρικό κύκλωμα εναλλαγής ρολογιού που επιτρέπει στο σήμα εισόδου μιας ψηφιακής μονάδας επεξεργασίας να μεταβαίνει από μία συχνότητα στην άλλη ανα πάσα στιγμή κατά τη διάρκεια λειτουργίας του.

Στη συγκεκριμένη περίπτωση, υποθέτουμε και πάλι πως και τα δύο ρολόγια που εισάγονται στο κύκλωμα είναι σταθερά.

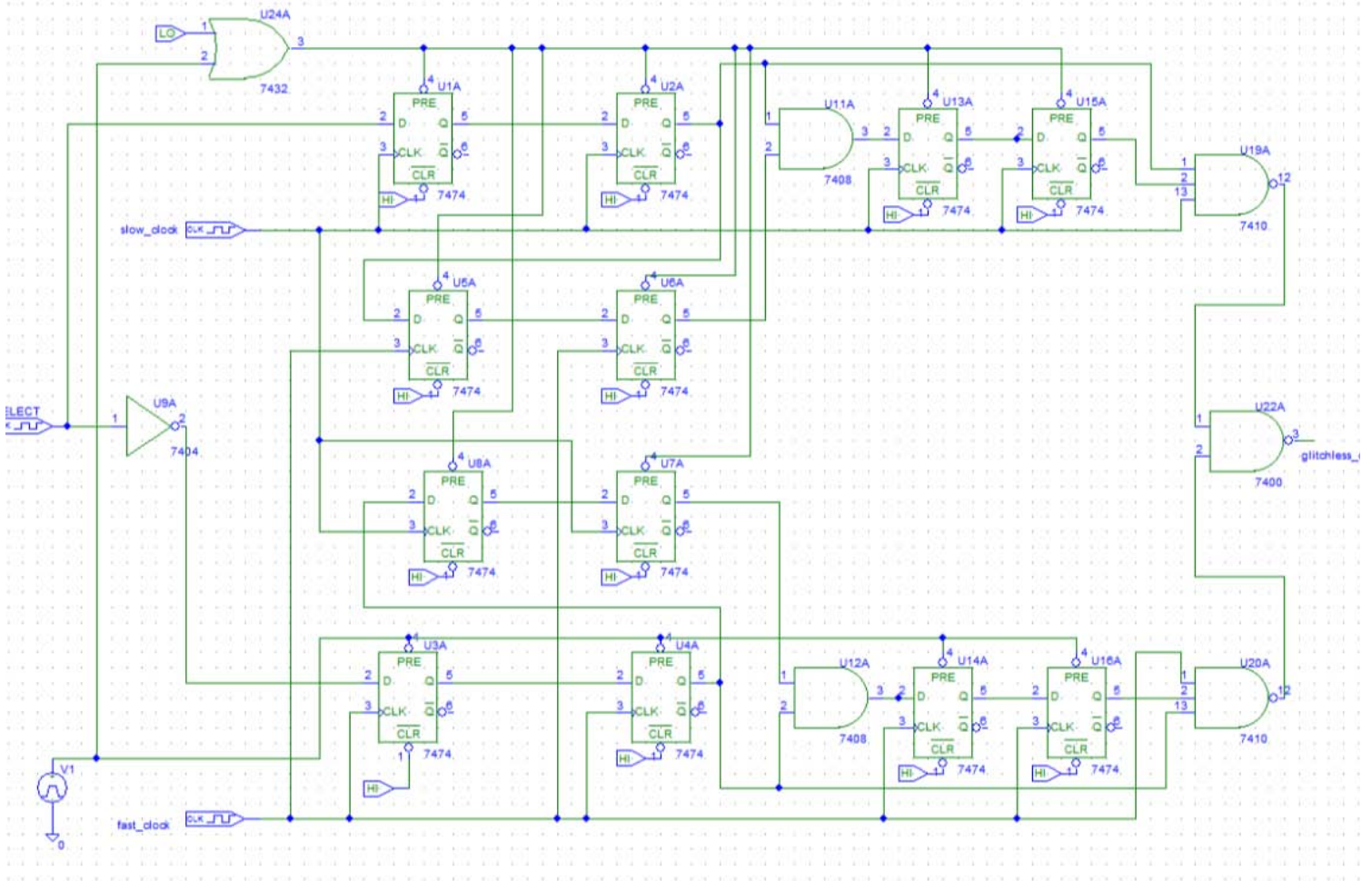
Παρόλο που θεωρούμε ότι τα δύο ρολόγια λειτουργούν χωρίς προβλήματα, δεν υπάρχουν περιορισμοί συγχρονισμού των συχνοτήτων τους με οποιοδήποτε τρόπο. Το συγκεκριμένο κύκλωμα εγγυάται μια έξοδο χωρίς glitch και αποτρέπει το short cycling στην έξοδο. Δεδομένου ότι όλα τα σχετικά ρολόγια και το σήμα εισόδου είναι ασύγχρονα αυτό το κύκλωμα εξαλείφει περαιτέρω τα προβλήματα μεταστατικής σταθερότητας.

Η συμμετρική αρχιτεκτονική του, επιτρέπει στο κύκλωμα να λειτουργεί σταθερά με το σήμα εξόδου να αλλάζει από το αργό ρολόι στο γρήγορο και αντίστροφα.

Το πιο σημαντικό είναι ότι η πλήρης μεταγωγή από το ένα ρολόι στο άλλο διαρκεί μόνο δύο κύκλους του επόμενου ρολογιού στην καλύτερη περίπτωση, όταν η αλλαγή γίνεται από το αργό στο γρήγορο ρολόι. Ενώ αντίθετα κατά την μετάβαση από το γρήγορο στο αργό ρολόι θα έχουμε 4 κύκλους ρολογιού, στην περίπτωση που το ενεργό ρολόι είναι απενεργοποιημένο.

Σύμφωνα με την υλοποίηση το κύκλωμα που κατασκευάζεται περιλαμβάνει:

- Ένα πρώτο κασκοδικό κύκλωμα συγχρονισμού που διαμορφώνεται για να παράξει μια πρώτη έξοδο ρολογιού, βασιζόμενο σε ένα σήμα ρολογιού αναφοράς και ενός σήματος ελέγχου.
- Ένα δεύτερο κασκοδικό κύκλωμα συγχρονισμού που διαμορφώνεται ώστε να παράγει ένα ακόμα ρολόι εξόδου βασιζόμενο σε ένα σήμα γρήγορου ρολογιού και ενός σήματος ελέγχου το οποίο διαδίδεται μετά από την είσοδο του σε αντιστροφή.
- Τέλος ένα συνδυαστικό στοιχείο διαμορφωμένο έτσι ώστε να παράγει ένα ουσιαστικά glitchless ρολόι εξόδου σε απόκριση του πρώτου και του δεύτερου ρολογιού εξόδου. Η υλοποίηση του κυκλώματος βασίζεται στην τεχνική “stop one before start the other”, μια τεχνική στην οποία βασίζονται όλες οι υλοποιήσεις κατασκευής κυκλωμάτων εναλλαγής ρολογιού χωρίς την δημιουργία glitches στο σήμα.



Εικόνα 11-υλοποίηση κυκλώματος

3.11 Ανάλυση κυκλώματος

Όπως φαίνεται στην υλοποίηση σχήμα της εικόνας 11, το κύκλωμα περιλαμβάνει 2 πανομοιότυπα μονοπάτια οδηγούμενα από τα δύο ρολόγια `slow_clock` και `fast_clock`.

Τρία σετ κασκοδικών συγχρονισμένων flipflops χρησιμοποιούνται για την δημιουργία των μονοπατιών. Το πρώτο σετ των flipflop U1A-U2A και U3A-U4A εξασφαλίζει ασφαλή συγχρονισμό του ασύγχρονου σήματος ελέγχου SELECT στις αντίστοιχες περιοχές του κάθε ρολογιού.

Η έξοδος αυτού του σετ λειτουργεί ως ένα σήμα πρόωρης απενεργοποίησης του μονοπατιού του ενεργού ρολογιού, απενεργοποιώντας την πρώτη είσοδο της πύλης NAND U19A στο τέλος του πάνω μονοπατιού.

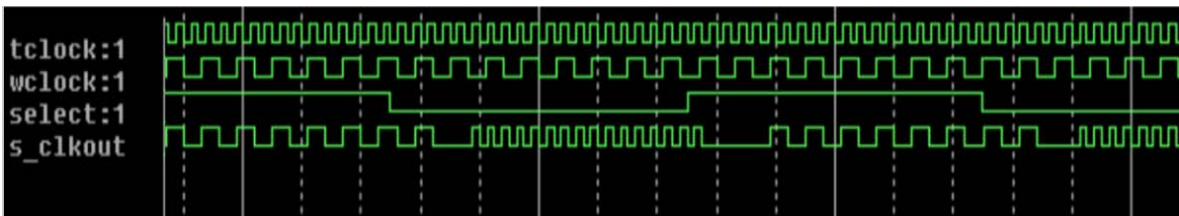
Μόλις το `slow_clock` της πάνω διαδρομής απενεργοποιηθεί, το δεύτερο σετ συγχρονισμού U7A-U8A στην κάτω διαδρομή, οδηγούμενο από το συζευγμένο ρολόι παρέχει ένα συγχρονισμένο (καθυστερημένο λόγω του τρίτου σετ flipflop U14A-U16A) ενεργό μονοπάτι στην δεύτερη είσοδο της πύλης NAND U20A στο τέλος του κάτω μονοπατιού.

Όλα τα flipflops ενεργοποιούνται στην πτωτική ακμή του `fast-clock` για να ελεγχθεί τότε τα ρολόγια είναι συνδεδεμένα ταυτόχρονα στην τρίτη είσοδο των NAND πυλών παρέχοντας glitchless output. Οι δύο έξοδοι του πάνω και του κάτω μονοπατιού προερχόμενοι από τις πύλες NAND (U19A, U20A αντίστοιχα) και συνδέονται στην τελική πύλη που θα μας δώσει το τελικό σήμα εξόδου.

Καθώς η σχεδίαση βασίστηκε στην τεχνική σύμφωνα με την οποία “απενεργοποιούμε” την λειτουργία του ενός ρολογιού πριν την εκκίνηση μετάδοσης του δευτέρου, η έξοδος της τελικής πύλης NAND U22A είναι εγγυημένα απαλλαγμένη από glitches.

Κάνοντας την ίδια εκτέλεση μεταβαίνοντας τώρα απο το γρήγορο στο αργό ρολόι, παρατηρούμε ότι αν και το σήμα εξόδου του κυκλώματος συμπεριφέρεται καλά χωρίς προβλήματα όταν γίνεται η μεταγωγή, ο χρόνος που χρειάζεται υποβαθμίζεται μέχρι και δύο αργούς κύκλους ρολογιού. Εκτός από τους δύο γρήγορους κύκλους ρολογιού δηλαδή που είχαμε προβλέψει στο σενάριο χειρότερης περίπτωσης αφού τερματιστεί το αργό ρολόι.

Η επόμενη εικόνα δείχνει μια προσομοίωση σε PSpice που απεικονίζει την μεταγωγή χωρίς βλάβη επιλέγοντας με βάση το σήμα SELECT το ρολόι υψηλής συχνότητας ή χαμηλής συχνότητας αντίστοιχα.



Εικόνα 12

Όλα τα σήματα ρολογιού και ελέγχου που χρησιμοποιήθηκαν για την υλοποίηση του συγκεκριμένου κυκλώματος δεν παρουσιάζουν καμία χρονική εξάρτηση, χωρίς η υλοποίηση να θέτει περαιτέρω περιορισμούς ώστε να φτάσει στη σωστή επιθυμητή λειτουργία.

Τα κασκοδικά κυκλώματα συγχρονισμού που περιλαμβάνει εγγυώνται την εξάλειψη των δυνητικών προβλημάτων που μπορεί να προκληθούν εξαιτίας

του φαινομένου της μετασταθερότητας. Τα οποία μπορεί να προκύψουν λόγω των ασύγχρονων σημάτων και εξασφαλίζει στο σήμα έξοδο ανοχή σε glitches.

Η επιθυμητή εναλλαγή μπορεί να εμφανιστεί ανά πάσα στιγμή, ακόμα και όταν μονάδες του κυκλώματος είναι ενεργοποιημένες και μπορεί να ολοκληρωθεί μετά από δύο κύκλους ρολογιού από τη στιγμή που τερματίζεται το ενεργό ρολόι στην καλύτερη περίπτωση.

Στη χειρότερη περίπτωση όταν η αλλαγή γίνει από το αργό ρολόι στο γρήγορο, 4 κύκλους ρολογιού και οδηγούμαστε σε ασφαλή έξοδο και πάλι.

Αυτή η διαπίστωση στηρίζεται στο γεγονός ότι οι ενσωματώσεις που χρησιμοποιήθηκαν παραπάνω περικλείουν συμμετρικά κυκλώματα μεταγωγής και στις δύο διευθύνσεις ρολογιού. Η συνδεσμολογία αυτή εγγυάται ότι το σήμα εξόδου μπορεί να αλλάξει και προς τις δύο κατευθύνσεις χωρίς περιορισμούς.

ΚΕΦΑΛΑΙΟ 4

Επίλυση προβλημάτων και μελλοντικές προσθήκες

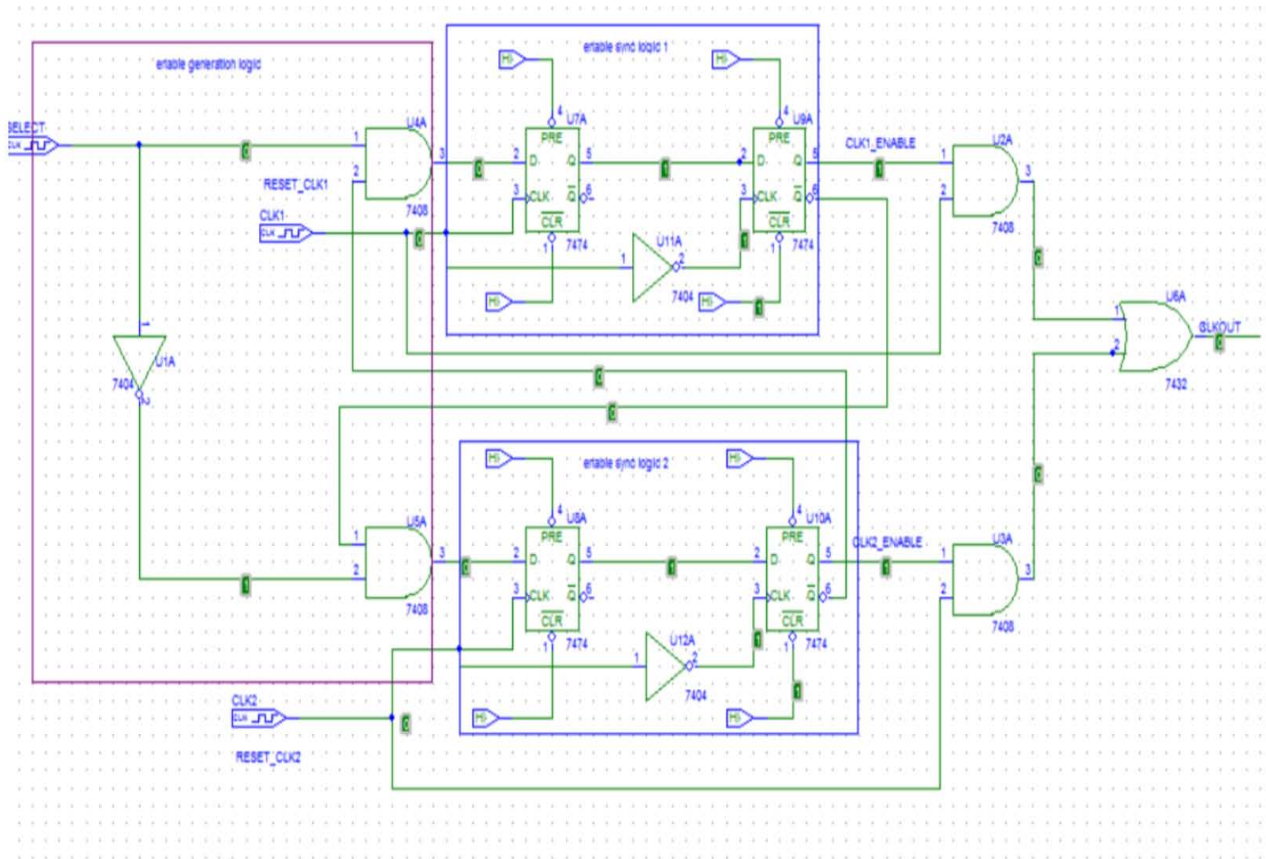
4.1 Θεωρητική ανάλυση καταστάσεων ειδικής περίπτωσης και τρόπος αντιμετώπισης περιορισμών

Όπως προαναφέρθηκε στο κεφάλαιο 2, μετά την ανάλυση του κυκλώματος που λειτουργεί με σήματα ρολογιού των οποίων οι περίοδοι τους δεν σχετίζονται με κανέναν τρόπο και περιορισμό, αποδείχθηκε να μην η σωστή λειτουργία του υπό φυσιολογικές συνθήκες, αλλά εντοπίστηκαν και κάποιοι περιορισμοί.

Στο συγκεκριμένο κεφάλαιο θα αναλύσουμε τα προβλήματα που προκύπτουν όταν μια πηγή ρολογιού δεν είναι εγγυημένα λειτουργική με σκοπό να δοθούν κάποιες λύσεις. Θα γίνει η ανάλυση λειτουργίας του κυκλώματος μετά από την επαναφορά του ρολογιού.

Εδώ πρέπει να σημειωθεί ότι οποιοδήποτε κύκλωμα εναλλαγής ρολογιού θα έχει προεπιλεγμένη πηγή ρολογιού όταν το κύκλωμα είναι ενεργοποιημένο. Για να εξηγηθούν οι περιορισμοί θεωρούμε ότι το CLK1 είναι προεπιλεγμένη πηγή που σημαίνει ότι το κύκλωμα μεταγωγής θα βγάλει έξοδο το σήμα CLK1 μετά την επαναφορά.

Στην εικόνα 13 που ακολουθεί δίνεται το κύκλωμα περιγραφικά, με σκοπό να διαφαίνονται οι λογικές ενεργοποίησης και συντονισμού οι οποίες θα αναφερθούν στην συνέχεια.



Εικόνα 13

4.2 Ανάλυση προβήματος

Ας υποθέσουμε ότι το CLK2 δεν αλλάζει ή δεν συγχρονίζεται κατά τη φάση της εναλλαγής της συνδεσμολογίας. Εφόσον το ρολόι για να ενεργοποιηθεί η λογική συγχρονισμού 2 (enable sync logic2) είναι ανενεργό, η είσοδος D που είναι σε χαμηλή κατάσταση δεν διαδίδεται μέσω αυτού του συγχρονιστή.

Αυτό καθιστά το σήμα CLK2_ENABLE μη αρχικοποιημένο. Μετά την ενεργοποίηση των flip-flops του συγχρονιστή 2, μπορεί να αρχικοποιηθεί σε οποιαδήποτε τιμή είτε υψηλή είτε χαμηλή. Αν το CLK2 είναι ελαττωματικό μπορεί να κρατήσει μόνο χαμηλές ή υψηλές καταστάσεις.

Σε περίπτωση που το δεύτερο flip flop του συγχρονιστή 2 αρχικοποιηθεί σε υψηλή κατάσταση κατά την διάρκεια της ενεργοποίησης, τότε το CLK2_ENABLE θα είναι σε υψηλή κατάσταση.

Υποθέτοντας τώρα ότι το CLK2 διατηρείται υψηλό, η έξοδος της πύλης AND (U3A) θα είναι επίσης υψηλή, πράγμα που εξηγεί τον προσδιορισμό της πύλης OR σε υψηλή κατάσταση, ανεξαρτήτου της άλλης εισόδου που συνδέεται με την άλλη πύλη AND(U2A).

Στην συγκεκριμένη περίπτωση το CLK1 δεν θα επιλεγεί ως πηγή ρολογιού και η έξοδος θα παραμείνει σε υψηλή κατάσταση.

Αυτό το ζήτημα μπορεί να λυθεί χρησιμοποιώντας ασύγχρονη επαναφορά στα flip-flops του συγχρονιστή 2, αλλά αυτό δεν μπορεί να συμβεί στην περίπτωση ενός ελαττωματικού ρολογιού. Για αυτά τα σήματα οι λεπτομέρειες εξηγούνται στην επόμενη ενότητα.

4.3 Flip-flops με χρήση ασύγχρονης επαναφοράς

Η χρήση της ασύγχρονης επαναφοράς στα flip-flops, της λογικής συγχρονισμού ενεργοποίησης 2, λύνει το πρόβλημα της αρχικοποίησης εάν το CLK2 είναι ανενεργό κατά την επαναφορά. Υποθέτουμε ότι ένα σήμα RESET CLK είναι συνδεδεμένο στο άκρο PRE (σημείο επαναφοράς του flip-flop) στον συγχρονιστή του CLK2.

Εάν υποθέσουμε ότι το CLK2 είναι ενεργό, τότε όταν εκτελείται το σήμα RESET CLK, που είναι ασύγχρονο, συμβαίνει μια παραβίαση των περιορισμών χρονισμού στις ασύγχρονες εισόδους των flipflops. Στην περίπτωση αυτή η έξοδος του συγχρονιστή 2 μπορεί να παραμείνει υψηλή για έναν ή δύο κύκλους ρολογιού αν τα flip-flops του έχουν καθοριστεί σε υψηλή κατάσταση μετά από τη μετασταθερότητα.

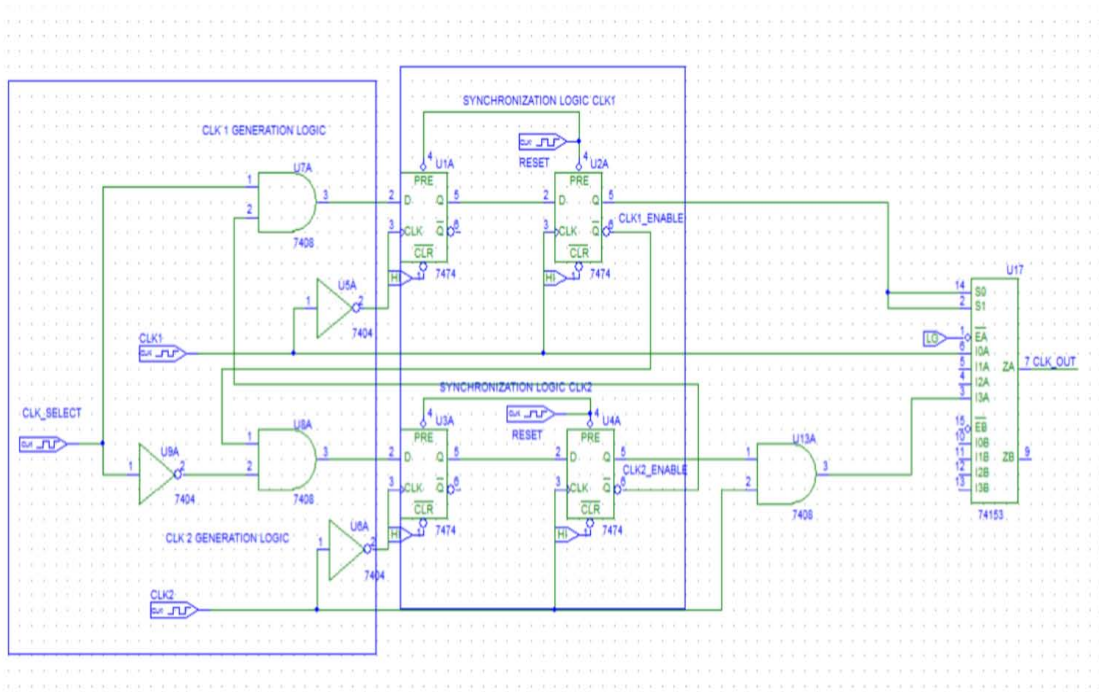
Λόγω αυτού η έξοδος της πύλης AND (U3A) θα μεταδίδει CLK2 για έναν ή δυο κύκλους ρολογιού. Ταυτόχρονα η πύλη AND (U2A) θα μεταδίδει CLK1 καθώς αυτή είναι η προεπιλεγμένη πηγή ρολογιού. Στην είσοδο της πύλης OR και τα δύο ρολόγια θα είναι ενεργά, ως αποτέλεσμα αυτού η έξοδος θα παρουσιάσει δυσλειτουργίες.

Επιπρόσθετα, όταν η προεπιλεγμένη πηγή ρολογιού είναι ελαττωματική, η μετάβαση στην άλλη μπορεί να προκαλέσει σφάλμα στην έξοδο. Για να ενεργοποιηθεί η μεταγωγή ρολογιού χωρίς σφάλμα μπορούμε να ακολουθήσουμε μια διαδρομή από το ένα πεδίο ενεργοποίησης ρολογιού στο άλλο. Τα σήματα ανάδρασης CLK1_ENABLE και CLK2_ENABLE αντίστοιχα.

Για παράδειγμα, το κύκλωμα μεταγωγής ρολογιού προωθεί στην έξοδο το CLK2 το οποίο κάποια στιγμή γίνεται ελαττωματικό. Σε αυτή την περίπτωση προσπαθώντας να γίνει μετάβαση στο CLK1 αλλάζοντας το CLK SELECT

σε υψηλή κατάσταση δεν θα γίνει η επιθυμητή εναλλαγή μεταξύ των ρολογιών, διότι το εμπρόσθιο άκρο του συγχρονιστή 1 εξαρτάται από το σήμα CLK2_ENABLE. Αυτό το σήμα χρειάζεται να βρίσκεται σε χαμηλή κατάσταση για να κάνει την είσοδο D του συγχρονιστή 1 υψηλή.

Δεδομένου ότι το CLK2 δυσλειτουργεί έχοντας ελλειμματικό ή καθόλου παλμό, ο συγχρονιστής 1 δεν θα αποκριθεί, επομένως το CLK2_ENABLE δεν θα γίνει ποτέ χαμηλό. Ως αποτέλεσμα αυτού οδηγούμαστε και πάλι σε αδιέξοδο.



Εικόνα 14

Οι περιορισμοί του κυκλώματος μεταγωγής ρολογιού της εικόνας 13 μπορούν να ξεπεραστούν από διάφορες ενσωματώσεις και βελτιώσεις όπως απεικονίζονται στις επόμενες εικόνες (εικόνα 14 και 15).

Πιο συγκεκριμένα:

- Η εικόνα 14 απεικονίζει ένα κύκλωμα μεταγωγής ρολογιού το οποίο παράγει ένα ρολόι χωρίς σφάλμα όταν συμβαίνει επαναφορά.
- Η εικόνα 15 (η οποία ακολουθεί στη συνέχεια) απεικονίζει ένα κύκλωμα μεταγωγής ρολογιού όταν μια επιλεγμένη πηγή ρολογιού λείπει ή είναι ελαττωματική.

Στο κύκλωμα της εικόνας 14 χρησιμοποιούνται πάλι δύο τομείς ρολογιών που περιλαμβάνουν λογικές ενεργοποίησης για τα CLK1 και CLK2 αντίστοιχα που επιτρέπουν τη λειτουργία των λογικών συγχρονισμού για τον κάθε τομέα ρολογιού αντιστοίχως.

Όπως εξηγήθηκε και προηγουμένως η λογική ενεργοποίησης CLK2 λαμβάνει το σήμα του ρολογιού ένα σήμα ελέγχου CLK_SELECT και ένα σήμα CLK1_ENABLE, σχηματίζοντας μια δεύτερη διαδρομή ανάδρασης από το δεύτερο πεδίο ρολογιού στο πρώτο. Παρομοίως δημιουργείται και ο τομέας ενεργοποίησης που περιλαμβάνει το CLK1.

Οι λογικές συγχρονισμού που επακολουθούν αποτελούνται από 2 αρνητικά ενεργοποιημένων flipflops. Όσον αφορά την έξοδο τους, ο συγχρονιστής που συνδέεται με τον τομέα ρολογιού CLK2 συνδέεται σε μία πύλη AND και καταλήγει μέσω αυτής σε έναν πολυπλέκτη προτεραιότητας.

Αντιθέτως η έξοδος του συγχρονιστή που σχετίζεται με το άλλο ρολόι CLK1 συνδέεται απευθείας στον πολυπλέκτη. Ο πολυπλέκτης θα μας δώσει το τελικό σήμα του κυκλώματος.

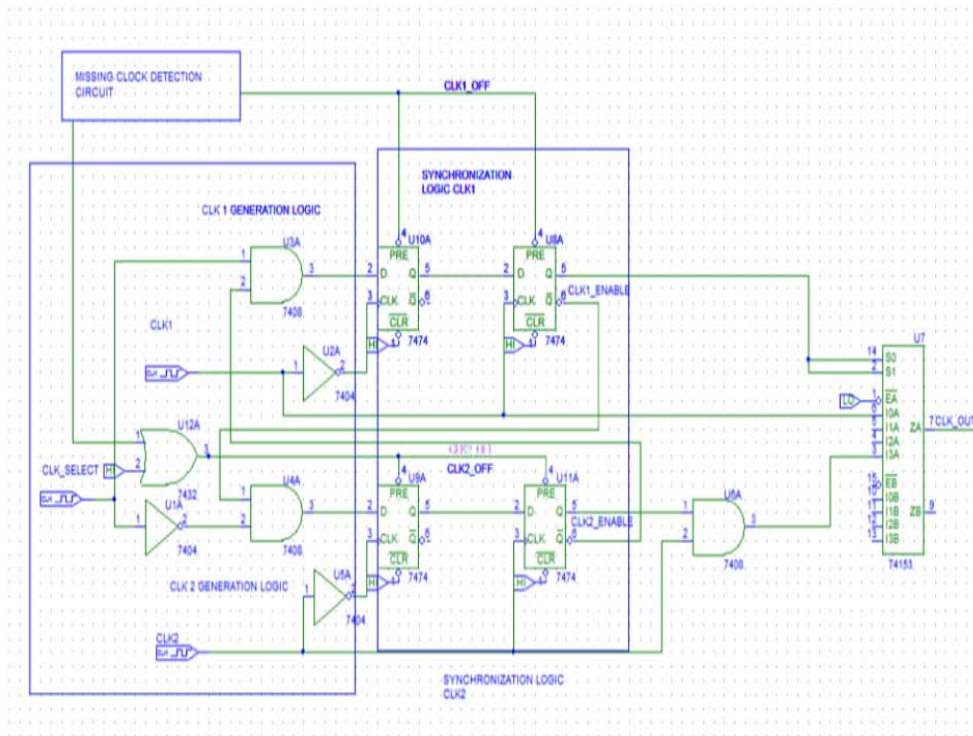
Η λειτουργία του κυκλώματος μεταγωγής ρολογιού που περιλαμβάνει τα πρώτα ίδια στάδια ενεργοποίησης είναι ίδια με το προηγούμενο κύκλωμα που αναλύθηκε. Η δομή λογικής AND-OR έχει τροποποιηθεί εδώ και καθίσταται με πολυπλέκτη προτεραιότητας. Επίσης, τα flip-flops της λογικής συγχρονισμού CLK2 επαναφέρονται ασύγχρονα χρησιμοποιώντας το σήμα RESET.

Λόγω του περιορισμού που εξηγήθηκε προηγουμένως, η πύλη AND μπορεί να εκπέμπει συνεχώς το CLK2 είτε να εκπέμπει το σήμα του ρολογιού για ένα ή δύο κύκλους.

Ωστόσο, εξαιτίας του πολυπλέκτη προτεραιότητας, το ρολόι της γραμμής που εξάγεται από την πύλη AND δεν θα μεταδοθεί στην έξοδο (CLKOUT), επειδή κατά τη διάρκεια και μετά την επαναφορά (όταν το RESET είναι σε υψηλή κατάσταση) το CLK1_ENABLE βρίσκεται σε υψηλή κατάσταση. Όταν ξεκινήσει η επαναφορά, το CLK2, το οποίο είναι ενεργοποιημένο για έναν ή δύο κύκλους ρολογιού, δεν θα επηρεάσει την έξοδο του κυκλώματος μεταγωγής ρολογιού.

Με άλλα λόγια, κατά τη διάρκεια αυτού του χρονικού διαστήματος ο πολυπλέκτης προτεραιότητας αποκλείει την μετάδοση του προβλήματος στο CLKOUT. Ο πολυπλέκτης διαμορφώνεται έτσι ώστε να επιλέγει CLK1 ως έξοδο ρολογιού εάν το σήμα CLK1_ENABLE είναι λογικά υψηλό, ανεξάρτητα από την έξοδο της πύλης AND.

Λόγω του προβλήματος της ανατροφοδότησης του πρώτου τομέα ρολογιού με τον δεύτερο, δεν είναι δυνατή η εναλλαγή μεταξύ του δυσλειτουργικού και του λειτουργικού ρολογιού. Η λύση αυτού του περιορισμού μας οδηγεί στο κύκλωμα της εικόνας 15.



Εικόνα 15

Η συγκεκριμένη βελτιστοποίηση μπορεί να γίνει με την εισαγωγή ενός κυκλώματος ανίχνευσης παλμού (missing clock detection) όπως φαίνεται και στην εικόνα 15, το οποίο μπορεί να ανιχνεύσει την απουσία ενός σήματος ρολογιού.

Οι έξοδοι του κυκλώματος ανίχνευσης παλμού είναι τα σήματα CLK1_OFF και CLK2_OFF. Σε απόκριση με τα OFF σήματα, μια συγκεκριμένη διαδρομή σπάει έτσι ώστε η έξοδος του κυκλώματος μεταγωγής να αλλάζει από τη μία πηγή στην άλλη.

Τα CLK1_OFF και CLK2_OFF περιλαμβάνουν δύο δυαδικά ψηφία μνήμης που μπορούν να τροποποιηθούν από τον επεξεργαστή. Με τη χρήση αυτών των δυαδικών ψηφίων ο επεξεργαστής επικοινωνεί τις πληροφορίες που λείπουν στο ρολόι μεταγωγής του κυκλώματος. Αυτές οι πληροφορίες χρησιμοποιούνται από το κύκλωμα για να σπάσει ο βρόχος ανάδρασης

μεταξύ της λογικής συγχρονισμού CLK1-CLK2 και αντίστροφα. Αναλύοντας τώρα το κύκλωμα της εικόνας 15 βλέπουμε ότι και πάλι περιλαμβάνει 2 διαδρομές ανατροφοδότησης και ενεργοποίησης για τα δύο ρολόγια CLK1 και CLK2 όπως προαναφέρθηκε και στις προηγούμενες αναλύσεις.

Υποθέτουμε τώρα ότι στη συγκεκριμένη περίπτωση το σήμα CLK_SELECT βρίσκεται σε χαμηλή κατάσταση που σημαίνει ότι το κύκλωμα μεταγωγής θα εκπέμπει CLK1 στην έξοδο CLK_OUT. Υποθέτουμε επίσης ότι κατά τη διάρκεια της λειτουργίας το ρολόι CLK1 καθίσταται ελαττωματικό. Κατά την ανίχνευση της κατάστασης σφάλματος του CLK1 ο επεξεργαστής μπορεί να αλλάξει την προεπιλεγμένη πηγή ρολογιού πηγαίνοντας στο CLK2 αλλάζοντας το σήμα ελέγχου CLK_SELECT καθιστώντας το σε χαμηλή κατάσταση.

Ωστόσο λόγω του ελαττώματος του CLK1 το σήμα CLK1_ENABLE δεν θα καταστεί ποτέ μηδέν προκαλώντας έτσι ένα αδιέξοδο. Αυτή η αστοχία μπορεί να διορθωθεί με την επικοινωνία των ελαττωματικών πληροφοριών στο κύκλωμα μεταγωγής χρησιμοποιώντας τα σήματα CLK1_OFF και CLK2_OFF.

Σε αυτή την περίπτωση το CLK1_OFF θα βρίσκεται σε υψηλή κατάσταση για να δείξει ότι το CLK1 είναι ελαττωματικό, εκτός από το να θέσει το σήμα SELECT σε υψηλή κατάσταση.

Στη συνέχεια, το σήμα CLK1-ENABLE αναγκάζεται να μεταβεί στην χαμηλή κατάσταση ασύγχρονα, με αποτέλεσμα να σπάσει ο συγκεκριμένος βρόχος ανάδρασης. Δεδομένου ότι το σήμα CLK1-ENABLE βρίσκεται σε χαμηλή κατάσταση, η είσοδος D του συγχρονιστή του CLK2 μεταβαίνει απευθείας σε υψηλή κατάσταση.

Τελικά αυτό θα καταστήσει το σήμα CLK2_ENABLE υψηλό και το CLK2 θα εκπέμπεται στην έξοδο CLK_OUT. Εξαναγκάζοντας ασύγχρονα το σήμα CLK1_ENABLE σε χαμηλή κατάσταση δεν δημιουργεί προβλήματα μετασταθερότητας, καθώς το CLK1 είναι ανενεργό.

ΚΕΦΑΛΑΙΟ 5

Επίλογος

Καταλήγοντας, σκοπός αυτής της διπλωματικής εργασίας, ήταν να παρουσιάσει κυκλώματα τα οποία βασίζόμενα στις προδιαγραφές σχεδίασης τους εξάγουν σήματα εξόδου απαλλαγμένα από glitches.

Παρουσιάστηκαν διάφοροι τρόποι συνδεσμολογιών και τεχνικών για την επίτευξη του στόχου και αναλύθηκαν σε μεγάλο βαθμό ώστε να γίνει κατανοητός ο τρόπος λειτουργίας τους. Απώτερος σκοπός ήταν η εξάλειψη πιθανότητας δημιουργίας του φαινομένου που συζητήθηκε.

Παράλληλα δόθηκε μεγάλη έμφαση στα στοιχεία τα οποία απαρτίζουν τα συγκεκριμένα κυκλώματα, αναλύοντας σε κάθε περίπτωση σε ποιο βαθμό η κατάλληλη επιλογή τους βοήθησε στην επίτευξη ή όχι του στόχου.

Σε κάθε περίπτωση οδηγηθήκαμε στα συμπεράσματα όπως προέκυψαν μετά την υλοποίηση των κυκλωμάτων με τη βοήθεια του PSpice. Με αυτόν τον τρόπο παρατηρήσαμε και πρακτικά τη συμπεριφορά των σημάτων εξόδου, σύμφωνα με τα σήματα εισόδου, πέρα από την θεωρητική ανάλυση.

Βιβλιογραφία

- [1] Techniques to make clock switching glitch free Rafey Mahmud
- [2] A Configure Fault-Tolerant Glitch-Free Clock Switching Circuit Haochi Wang, Yanlong Zhang, Xuewu Li, Lei Chen, Zhiping Wen, Kun Zhang, Min Wang
- [3] Glitch analysis and reduction in digital circuits, Ronak Shah
- [4] Glitch free clock switching circuit, Saya Goud Langadi
- [5] 2x1 and Nx1 Glitch Free Clock Switching, Young Rhoney
- [6] Texas Instruments Clocks Basics
- [7] Glitch free clock multiplexing circuit with asynchronous switch control and minimum switch over time , Baher S Haroun, Heng-Chih Lin, Tim Foo
- [8] Design of a Novel Glitch-Free Integrated Clock Gating Cell for High Reliability, Tansuva Noor
- [9] Design Methods and Techniques for Digital Circuits, Springer
- [10] Glitch free clock switching techniques in modern microcontrollers, Borisav Jovanovic, Milunka Damnjanovic
- [11] Θέματα χρονισμού σε φλιπ-φλοπ και κυκλώματα VLSI, Η.Κουκούτσης, Φ. Γιαννόπουλος, Σ.Ζάννος
- [12] Χρονισμός ψηφιακών κυκλωμάτων, Γ. Δημητρακόπουλος
- [13] Clock gating, Wikipedia
- [14] Flipflops, Wikipedia
- [15] Digital circuits, Wikipedia
- [16] Propagation Delay, Wikipedia

