

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ  
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ  
ΜΗΧΑΝΙΚΩΝ  
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ



Αριθμητικές μέθοδοι σε CAD  
Numerical methods in CAD

Μεταπτυχιακή Διατριβή

Ελευθερία Καραφέρη

**Επιβλέποντες Καθηγητές:**

Γεώργιος Σταμούλης  
Καθηγητής

Νέστωρ Ευμορφόπουλος  
Επίκουρος Καθηγητής

Παναγιώτα Τσομπανοπούλου  
Αναπληρωτής Καθηγήτρια

ΒΟΛΟΣ 2018



ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ  
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ  
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ  
ΜΗΧΑΝΙΚΩΝ  
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

Αριθμητικές μέθοδοι σε CAD

Μεταπτυχιακή Διατριβή

Ελευθερία Καραφέρη

**Επιβλέποντες :**

Γεώργιος Σταμούλης  
Καθηγητής

Νέστωρ Ευμορφόπουλος  
Επίκουρος Καθηγητής

Παναγιώτα Τσομπανοπούλου  
Αναπληρωτής Καθηγήτρια

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την ... η Σεπτεμβρίου 2018

.....  
Γ. Σταμούλης  
Καθηγητής

.....  
Ν. Ευμορφόπουλος  
Επίκουρος Καθηγητής

.....  
Π. Τσομπανοπούλου  
Αναπληρωτής Καθηγήτρια



Μεταπτυχιακή Διατριβή για την απόκτηση του Μεταπτυχιακού διπλώματος Ειδίκευσης «Επιστήμη και Τεχνολογία Υπολογιστών, Τηλεπικοινωνιών και Δικτύων», στα πλαίσια του Προγράμματος Μεταπτυχιακών Σπουδών του Τμήματος Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών του Πανεπιστημίου Θεσσαλίας.

.....  
Ελευθερία Καραφέρη

Διπλωματούχος Μηχανικός Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων Πανεπιστημίου  
Θεσσαλίας

Copyright © Eleftheria Karaferi, 2018

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας μεταπτυχιακής διατριβής, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της διατριβής για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.



# Περίληψη

Οι περισσότερες ερευνητικές και βιομηχανικές προσπάθειες στον τομέα των ψηφιακών ηλεκτρονικών είχαν συγκεντρωθεί στην προσπάθεια αύξησης της ταχύτητας της πολυπλοκότητας των ολοκληρωμένων κυκλωμάτων.

Η κατάσταση αυτή όμως τα τελευταία χρόνια έχει αλλάξει, καθώς η κατανάλωση ισχύος ενός ολοκληρωμένου κυκλώματος αγγίζει τα όρια των δυνατοτήτων που προσφέρουν οι τεχνολογίες. Έτσι η αντιμετώπιση των προβλημάτων κατανάλωσης ισχύος γρήγορα και αποτελεσματικά γίνεται ένα από τα πιο απαιτητικά θέματα στον σχεδιασμό ψηφιακών ηλεκτρονικών συστημάτων.

Σε αυτή την μεταπτυχιακή διατριβή εξετάζεται μια νέα μέθοδος προσομοίωσης ψηφιακών κυκλωμάτων, η οποία παρουσιάζει βελτιωμένα αποτελέσματα στον συνδυασμό αξιοπιστίας – ταχύτητας. Ο έλεγχος εστιάζει κυρίως στην διαδικασία προσομοίωσης σε περίπτωση μη-ολοκληρωμένων μεταβάσεων στην λογική τιμή του κόμβου, καθώς είναι ένα φαινόμενο που παρουσιάζεται αρκετά συχνά στην πραγματική λειτουργία ενός κυκλώματος, και δεν είχε εξεταστεί επαρκώς μέχρι σήμερα..

# Abstract

Most research and industrial efforts in the field of digital electronics had gathered in the effort to increase the speed of the complexity of integrated circuits.

But this situation in recent years has changed, as the power consumption of an integrated circuit reaches the limits of the possibilities offered by technology. So addressing power consumption problems quickly and efficiently is one of the most challenging issues in the design of digital electronic systems.

In this thesis examined a new method of simulation of digital circuits, which shows improved results in the combination of reliability - speed. The audit focuses on the simulation procedure in case of non-integrated transitions logical value of the node, as it is a phenomenon that occurs quite often in the actual operation of a circuit, and have not been tested enough.



Στην οικογένειά μου και στους φίλους μου

Ένα μεγάλο ταξίδι μάθησης και δημιουργίας φτάνει στο τέλος του για εμένα, με αυτή την εργασία. Μέσα από αυτό το τμήμα εξελίχθηκα σαν επιστήμονας αλλά και σαν άνθρωπος.

Θα ήθελα να ευχαριστήσω όλα τα άτομα που ήταν συνοδοιπόροι σε αυτό το ταξίδι και όλους αυτούς που με βοήθησαν να φτάσω εδώ που έφτασα με τις γνώσεις τους και τις συμβουλές τους.

Καραφέρη Ελευθερία

Βόλος, Ιούνιος 2018

# Περιεχόμενα

<a href="#"><u>Περίληψη</u></a>	vi
<a href="#"><u>Abstract</u></a>	vii
<a href="#"><u>Κατάλογος πινάκων</u></a>	xi
<a href="#"><u>Κατάλογος εικόνων-διαγραμμάτων</u></a>	xii
1. <a href="#"><u>Εισαγωγή</u></a>	1
<a href="#"><u>1.1</u></a> Περιγραφή του προβλήματος	
<a href="#"><u>1.2</u></a> Σκοπός της εργασίας	
<a href="#"><u>1.3</u></a> Διάρθρωση της μεταπτυχιακής διατριβής	
2. <a href="#"><u>Υπόβαθρο τεχνικής προχαρακτηρισμένων μεταβάσεων</u></a>	3
<a href="#"><u>2.1</u></a> Προσομοίωση με χρήση προχαρακτηρισμένων μεταβάσεων.	
<a href="#"><u>2.2</u></a> Καινούρια μέθοδος προσομοίωσης δυο σταδίων	
<a href="#"><u>2.3</u></a> Διαδικασία προσομοίωσης	
3. <a href="#"><u>Glitches</u></a>	10
<a href="#"><u>3.1</u></a> Ορισμός μη ολοκληρωμένων μεταβάσεων.	
<a href="#"><u>3.2</u></a> Αντιμετώπιση μη ολοκληρωμένων μεταβάσεων.	
4. <a href="#"><u>Πειραματικές μετρήσεις</u></a>	18
<a href="#"><u>4.1</u></a> Μετρήσεις πλάτους παλμού εξόδου μη ολοκληρωμένων μεταβάσεων.	
<a href="#"><u>4.2</u></a> Μετρήσεις πλάτους παλμού ρεύματος εξόδου μη ολοκληρωμένων μεταβάσεων.	
<a href="#"><u>Βιβλιογραφία</u></a>	47

# Κατάλογος πινάκων

3.1 : Πλάτος εξαγόμενου παλμού

4.1 : Τιμή πλάτους παλμού

4.2 : Διαφορά τιμής πλάτους παλμού

4.3 : Τιμή πλάτους παλμού

4.4 : Διαφορά τιμής πλάτους παλμού

4.5 : Αποτελέσματα μετρήσεων παλμού τάσης

4.6 : Αποτελέσματα μετρήσεων παλμού ρεύματος

# Κατάλογος εικόνων-διαγραμμάτων

2.1 : Χρήση Look up table

2.1 : Διάγραμμα ροής δημιουργίας βιβλιοθήκης μεταβάσεων

2.2 : Διάγραμμα ροής προσομοίωσης πύλης

3.1 : Παράδειγμα glitch σε μια πύλη nand2

3.2 : static-0 hazard (0->0)

3.3 : Basic Static-Zero Hazard Circuit

3.4 : static-1 hazard (1->1)

3.5 : Basic Static-Zero Hazard Circuit

3.6 : dynamic hazard (0->1)

3.7 : dynamic hazard (1->0)

3.8 : Basic Dynamic Hazard Circuits

3.9 : Γράφημα τάσης δυναμικού glitch

3.10 : Basic Dynamic Hazard Circuits

3.11 : Μοντελοποίηση electrical masking

3.12 : Πλάτος παλμού μετά από electrical masking

4.1 : Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,00058689 ns

4.2: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,00156504 ns

4.3: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,0019563 ns

4.4: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,00352134 ns

4.5: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,0117378 ns

4.6: Διάγραμμα ύψους παλμού/Win

4.7: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,05464507 ns

4.8: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,06830633 ns

4.9: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,1229514 ns

4.10: Ύψος παλμού εξόδου

4.11: Πλάτος παλμού εξόδου

4.12: Χωρητικότητα εξόδου = 3,70979 ff

4.13: Χωρητικότητα εξόδου = 7,41959 ff

- 4.14: Χωρητικότητα εξόδου = 14,8392 ff
- 4.15: Ύψος παλμού εξόδου
- 4.16: Πλάτος παλμού εξόδου
- 4.17: Πλάτος παλμού εξόδου της πύλης σε glitch
- 4.18: Ύψος παλμού εξόδου της πύλης σε glitch
- 4.19: Διαφορά % του παλμού εξόδου της πύλης σε glitch
- 4.20: Πλάτος παλμού εξόδου ρεύματος της πύλης σε glitch
- 4.21: Ύψος παλμού εξόδου ρεύματος της πύλης σε glitch

# Κεφάλαιο 1

## Εισαγωγή

Ο σχεδιασμός του ψηφιακού κυκλώματος είναι το πιο σημαντικό στάδιο στην ανάπτυξη ενός ολοκληρωμένου κυκλώματος (IC), όπου τα στοιχεία του κυκλώματος αναπαριστώνται ως λογικές πύλες για την εκτέλεση λειτουργιών Boolean άλγεβρας. Όμως απαραίτητο βήμα για τον σωστό σχεδιασμό αλλά και υλοποίηση ενός ψηφιακού κυκλώματος, είναι η λεπτομερής προσομοίωση αυτού.

Υπάρχουν διάφοροι τύποι αλγορίθμων που εφαρμόζονται για την προσομοίωση ψηφιακού κυκλώματος. Ο πρώτος τύπος αλγορίθμων ονομάζεται “cycle simulation”, όπου ο χρονικός άξονας χωρίζεται σε μια ακολουθία μικρών σταθερών χρονικών βημάτων και η προσομοίωση εκτελείται σε κάθε χρονικό βήμα κατά τη διάρκεια του χρόνου προσομοίωσης. Όλες οι λογικές πύλες του κυκλώματος αξιολογούνται σε κάθε βήμα του χρόνου. Ωστόσο, αυτός ο αλγόριθμος έχει αρκετά σημαντικά μειονεκτήματα, που τον καθιστούν μη κατάλληλο για την προσομοίωση ολοκληρωμένων κυκλωμάτων μεγάλης κλίμακας και σημαντικού αριθμού ανατροφοδοτήσεων.

Ο δεύτερος τύπος αλγορίθμου ονομάζεται “event-driven simulation”, που είναι εξαιρετικά δημοφιλής στις μέρες μας και χρησιμοποιείται ευρέως για την ανάπτυξη και το σχεδιασμό IC. Αυτός βασίζεται σε συμβάν, και ο χρονικός άξονας δεν διαιρείται σε μια σταθερή ισορροπία των χρονικών βημάτων αλλά ενημερώνεται δυναμικά με συμβάντα που υποδεικνύουν ποια πύλη πρέπει να αξιολογηθεί. Παρόλο που χρησιμοποιείται ευρέως στη βιομηχανία όμως, έχει και αυτός μειονεκτήματα που σχετίζονται με την ακρίβεια.

### 1.1 Περιγραφή του προβλήματος

Καθώς τα κυκλώματα γίνονται μεγαλύτερα και πιο περίπλοκα, η ταχύτητα και η ακρίβεια της προσομοίωσης υπογραμμίζονται περισσότερο, ώστε να είναι δυνατή η επιβεβαίωση της λογικής συμπεριφοράς του κυκλώματος από τους σχεδιαστές. Νέες τάσεις που παρουσιάζονται επίσης, όπως αυτή της σμίκρυνσης των στοιχείων πυριτίου, αποτελούν προκλήσεις που πρέπει να ακολουθήσουν αντίστοιχα και τα εργαλεία προσομοίωσης καθώς παραμένει η ανάγκη για αποτελεσματική προσομοίωση, που παράγει τις ακριβείς εξόδους του ψηφιακού κυκλώματος, καθώς και πληροφορίες όπως η αξιοπιστία και η κατανάλωση.

Ποικίλες μέθοδοι προσομοίωσης έχουν δημιουργηθεί για να πετύχουν αυτή την χρυσή τομή χρόνου-ακρίβειας, όμως οι νέες προκλήσεις ανοίγουν τον δρόμο για χρήση νέων μοντέλων, για πιο ακριβή αναπαράσταση της αβεβαιότητας και των επιπτώσεων της στην λειτουργικότητα και απόδοση του κυκλώματος. Ένα από αυτά είναι η στατιστική προσομοίωση, που επιτρέπει τον υπολογισμό της

κατανομή πιθανότητας της καθυστέρησης του κυκλώματος, δεδομένων των κατανομών πιθανοτήτων των λογικών πυλών αυτού και λαμβάνει υπόψη τις πιθανές συσχετίσεις τους.

Αυτή η μέθοδος προσομοίωσης όμως, απαιτεί έναν αρκετά μεγάλο αριθμό επαναλήψεων, ώστε να εξαχθεί ένα επαρκές πλήθος αποτελεσμάτων. Αυτό αυτομάτως σημαίνει όμως και μεγάλο χρόνο προσομοίωσης, το οποίο αποτελεί στοίχημα για τα computer-aided design εργαλεία και τους σχεδιαστές τους. Ένα ακόμα σημαντικό πρόβλημα στον χρόνο που απαιτείται είναι ο υπολογισμός και η λύση εξισώσεων για τη διεξαγωγή επαρκών αναλύσεων για την παραγωγή στατιστικά αξιόπιστων μέσων όρων. Ο χρόνος εκτέλεσης αυξάνεται σε συνάρτηση με την ακρίβεια που απαιτείται, αλλά και η υπολογιστική πολυπλοκότητα, με την εισαγωγή της συσχέτισης intradie σε μοντέλα κυκλώματος.

## 1.2 Σκοπός της εργασίας

Μέσα από αυτή την μεταπτυχιακή διατριβή, θα πραγματοποιηθεί ανάλυση μιας νέας μεθόδου προσομοίωσης ψηφιακών κυκλωμάτων, που βασίζεται στον προχαρακτηρισμό μεταβάσεων, με σκοπό τον υπολογισμό της αποτελεσματικότητάς του, εστιάζοντας σε περιπτώσεις μεγάλης αβεβαιότητας, όπως είναι αυτή του glitch. Η εύρεση της ακρίβειας σε τέτοιες περιπτώσεις, που ίσως δεν είχαν αναλυθεί με μεγάλη λεπτομέρεια πρωτίστως, μπορεί να οδηγήσει σε ακόμα μεγαλύτερη αποτελεσματικότητα του συγκεκριμένου εργαλείου προσομοίωσης και σε επίτευξη βελτίωσης της ακρίβειας σε τέτοιες καταστάσεις.

## 1.3 Διάρθρωση της μεταπτυχιακής διατριβής

Στο κεφάλαιο 2, γίνεται μια εισαγωγή στο υπόβαθρο της τεχνικής των προχαρακτηρισμένων μεταβάσεων και παρουσιάζεται η καινοτομία της νέας μεθόδου χρήσης αυτής, η οποία αποτελεί την βάση ανάλυσης αυτής της διατριβής.

Στο κεφάλαιο 3, παρουσιάζεται το φαινόμενο glitch, και αναλύεται η επίδρασή του, τόσο στα ψηφιακά κυκλώματα αλλά όσο και στις παρούσα τεχνική προσομοίωσης.

Στο κεφάλαιο 4, παραθέτονται όλα τα αποτελέσματα των πειραματικών μετρήσεων που έγιναν, τα οποία εστιάζουν στην ακρίβεια του υπολογισμού της προσομοίωσης του κεφαλαίου 2, σε περιπτώσεις όπως αυτή του κεφαλαίου 3.

Τέλος, στο κεφάλαιο 5 συνοψίζεται το συμπέρασμα που προέκυψε μέσα από τα πειράματα του κεφαλαίου 4 κυρίως, και παραθέτονται πιθανές μελλοντικές ενέργειες.

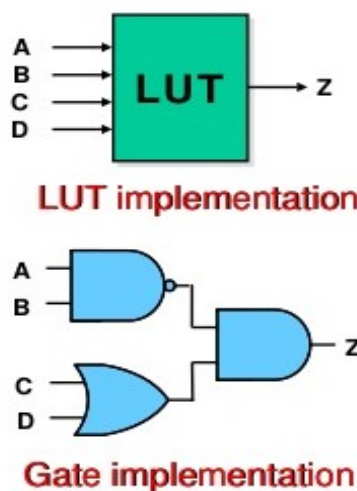


## Κεφάλαιο 2

# Υπόβαθρο τεχνικής προχαρακτηρισμένων μεταβάσεων

### 2.1 Προσομοίωση με χρήση προχαρακτηρισμένων μεταβάσεων.

Μπορεί η συγκεκριμένη μέθοδος που θα αναλύσουμε παρακάτω να είναι καινούρια, αλλά η ευρύτερη τεχνική προχαρακτηρισμού μεταβάσεων όχι, αφού έχει τις ρίζες της στην γνωστή μέθοδο των look up tables (LUT). Αυτή η μέθοδος είναι ευρέως διαδεδομένη καθώς η εξοικονόμηση από πλευράς χρόνου επεξεργασίας μπορεί να είναι σημαντική, αφού η ανάκτηση μίας τιμής από τη μνήμη είναι συχνά ταχύτερη από την υποβολή σε μια "δαπανηρή" υπολογιστική διαδικασία ή λειτουργία εισόδου / εξόδου. Προτιμάται επί το πλείστον όταν τα δεδομένα είναι διακριτές τιμές και έχουν εξάρτηση από τις εξόδους των κόμβων εισόδου, έτσι ώστε να γίνει χρήση βιβλιοθηκών αντί μοντέλων τρανζίστορ, που περιέχουν look up πύλες ή ακόμα και συνδυασμό πυλών (εικόνα 2.1), τα οποία χρησιμοποιούνται απ το κύκλωμα για την στελέχωσή του.



Εικόνα 2.1 : Χρήση Look up table

Αν και υπάρχει συχνή χρήση αυτού του table-based μοντέλου, γιατί προσφέρει όλες τις κύριες πληροφορίες των πυλών, παρουσιάζουν τα παρακάτω μειονεκτήματα:

- Περιορισμένες δυνατότητες πρόβλεψης
- Μεγάλα “model files” – θέματα αποθήκευσης και διανομής
- Μεγαλύτερες απαιτήσεις μνήμης
- Το “Black-box” δεν είναι κατάλληλο για κάθε σκοπό.

Έτσι, εκτός της ανάγκης για πραγματοποίηση προσομοιώσεων με βελτιωμένο χρόνο εκτέλεσης, δημιουργήθηκε η τάση την τελευταία περίοδο για επέκταση του μοντέλου του προχαρακτηρισμού σε μεγαλύτερη κλίμακα έτσι ώστε να επιτευχθεί ακρίβεια επιπέδου κυκλώματος.

## 2.2 Καινούρια μέθοδος προσομοίωσης δυο σταδίων

Σε αυτή την διατριβή θα μελετηθεί μια νέα μέθοδος δυναμικής προσομοίωσης με της χρήση προχαρακτηρισμένων μεταβάσεων, η οποία αναπτύχθηκε στα πλαίσια του διδακτορικού του Δ. Μπουντά [1] και ενώ θεωρείται επιπέδου πυλών, πλησιάζει την ακρίβεια “event-driven” προσομοιωτών, χαμηλότερων επιπέδων.

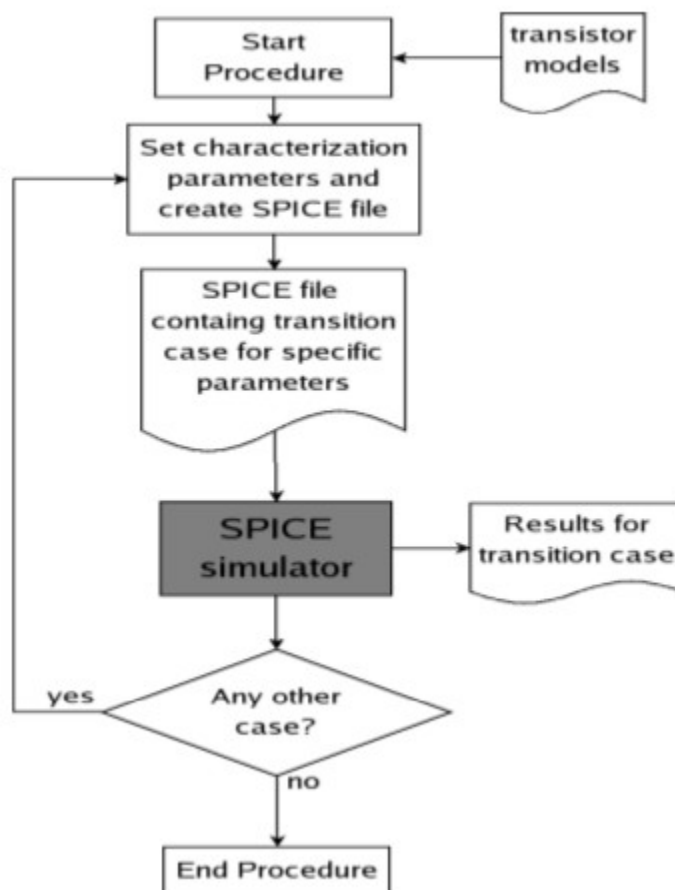
Αυτή η μέθοδος προσομοίωσης ψηφιακών κυκλωμάτων, παρόλο που παρουσιάζει κοινά χαρακτηριστικά με σύγχρονα μοντέλα ιεραρχικής προσομοίωσης, ονομάστηκε μέθοδος δύο σταδίων, καθώς για την προσομοίωση απαιτείται η ύπαρξη του χαρακτηρισμού όλων των πυλών που θα χρειαστεί το κύκλωμα για την κατασκευή του.

### Πρώτο στάδιο: Προχαρακτηρισμός πυλών

Αυτό το στάδιο αποτελεί το αρχικό κομμάτι της προσομοίωσης και πραγματοποιείται μόνο μια φορά, δεδομένου ότι υπάρχει γνώση των στοιχείων που θα χρησιμοποιηθούν στην δημιουργία του ψηφιακού κυκλώματος. Πιο συγκεκριμένα, δημιουργείται ένας κατάλογος πυλών οι οποίες είναι υποψήφιες για χαρακτηρισμό, και περιέχει εκτός από τις βασικές πύλες NOT, NAND και NOR και όποιες άλλες είναι γνωστό ότι θα χρησιμοποιηθούν. Επίσης, μέσα σε αυτόν τον κατάλογο περιέχονται και τιμές εισόδου οι οποίες είναι λογικό να παρουσιαστούν.

Ο τρόπος με τον οποίο μπορεί να υλοποιηθεί αυτό το βήμα, αφήνει ανοιχτή την δυνατότητα χρήσης ενός εργαλείου προσομοίωσης, όπως το Spice. Ουσιαστικά ο χαρακτηρισμός των πυλών γίνεται σε επίπεδο transistor και μπορεί να θυσιάζεται αρκετός χρόνος για τον υπολογισμό αλλά και την αποθήκευση αυτών των δεδομένων σε μια βιβλιοθήκη, αλλά είναι απαραίτητος, καθώς θέλουμε σε αυτό το πρώτο στάδιο να πετύχουμε μεγάλη ακρίβεια, την οποία θα εκμεταλλευτούμε αργότερα στο δεύτερο στάδιο. Μία τέτοια διαδικασία αρκεί για κάθε τεχνολογία, ώστε να είναι δυνατή η χρήση τις ίδιες βιβλιοθήκης προχαρακτηρισμένων μεταβάσεων σε όλες τις προσομοιώσεις της ίδιας τεχνολογίας.

Η διαδικασία δημιουργίας της βιβλιοθήκης μεταβάσεων, φαίνεται συνοπτικά στην εικόνα 2.2



Εικόνα 2.2 : Διάγραμμα ροής δημιουργίας βιβλιοθήκης μεταβάσεων

#### Δεύτερο στάδιο: Προσομοίωση κυκλώματος

Σε αυτό το στάδιο πραγματοποιείται η κύρια προσομοίωση του κυκλώματος. Γίνεται λοιπόν χρήση της βιβλιοθήκης μεταβάσεων, που δημιουργήθηκε στο αρχικό στάδιο, έτσι ώστε ανάλογα με το τι γεγονός πραγματοποιήθηκε σε κάποιο σημείο του κυκλώματος, εύκολα να βγαίνει ένα ακριβές συμπέρασμα για το ποια θα είναι η συμπεριφορά εξόδου. Αυτή η “event-driven” διαδικασία προσομοίωσης, είναι ιδιαίτερα γρήγορη καθώς χρησιμοποιεί τα ήδη έτοιμα δεδομένα μεταβάσεων, με βάση το event και λαμβάνοντας υπόψιν την σωστή τοποθέτηση των γεγονότων αυτό στον άξονα του χρόνου..

Μετά από την ολοκλήρωση και των δυο σταδίων της προσομοίωσης, υπάρχουν αποτελέσματα τόσο για την τάση σε συνάρτηση με τον χρόνο όσο και για το ρεύμα όλων των πυλών του κυκλώματος.

## 2.3 Διαδικασία προσομοίωσης

Η όλη διαδικασία της προσομοίωσης αυτής, βασίζεται στο μοντέλο τις στατιστικής μεθόδου προσομοίωσης, που περιλαμβάνει την εμπειρική εκτίμηση των κατανομών δειγματοληψίας, που στην περίπτωση μας αποτελεί η βιβλιοθήκη μεταβάσεων. Έτσι, το εργαλείο προσομοίωσης περιμένει όταν μια πύλη υφίσταται αλλαγή κατάστασης, που προέρχεται από συγκεκριμένους εξωτερικούς παράγοντες, να παρουσιάσει την ίδια συμπεριφορά όταν εφαρμοστούν πάνω τις παρόμοιοι παράγοντες. Γι' αυτό λοιπόν, καταγράφονται τα χαρακτηριστικά των παραμέτρων, που μπορεί να υπάρξουν στο κύκλωμα, στην βιβλιοθήκη, έτσι ώστε να μπορεί να γίνει εύκολα ταύτισή τους σε μελλοντικό χρόνο με γεγονότα του κυκλώματος και να εξαχθεί η αναμενόμενη συμπεριφορά της πύλης και κατά επέκταση του κυκλώματος.

Είναι εύκολο να εννοηθεί λοιπόν, ότι το ποιοι παράγοντες θα επιλεγούν να χρησιμοποιηθούν σαν μέτρο σύγκρισης με αυτούς που μπορεί να παρουσιαστούν στο κύκλωμα, είναι ένα πολύ καθοριστικό σημείο για την εγκυρότητα των συμπερασμάτων της προσομοίωσης.

Οι παράμετροι που επιλέχθηκαν να αντιπροσωπεύσουν αυτά τα μέτρα σύγκρισης στην διαδικασίας προσομοίωσης είναι τα παρακάτω:

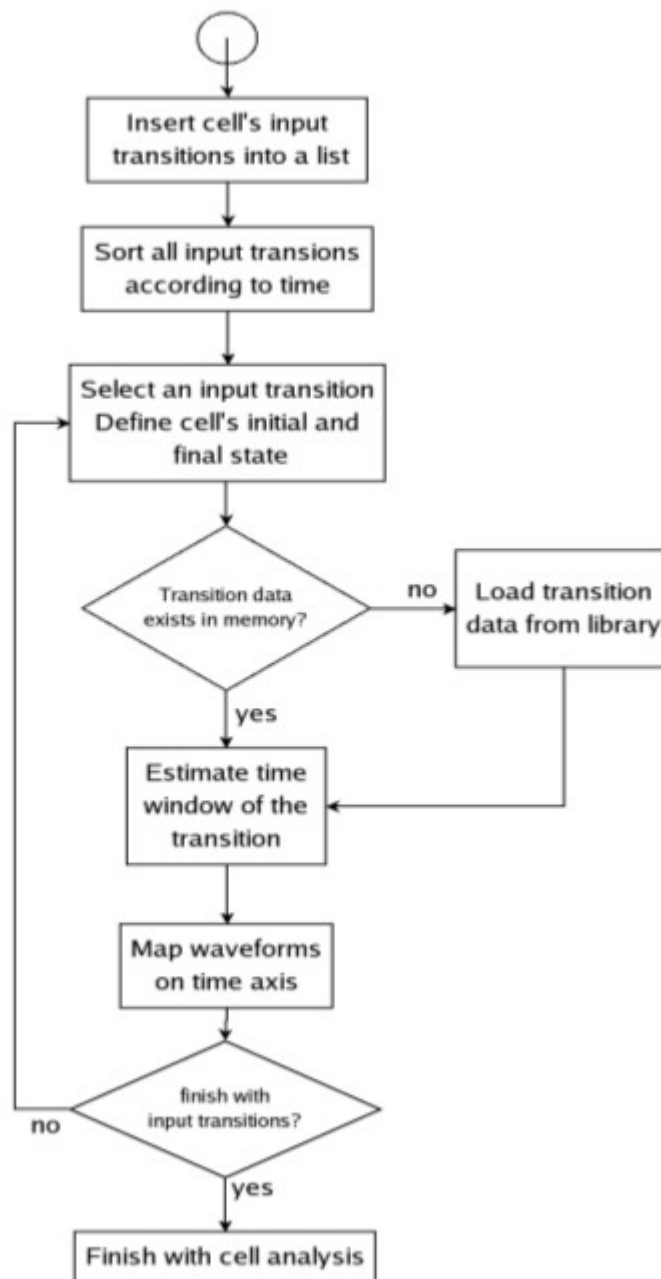
- Αρχική λογική κατάσταση.
- Είσοδος εμφάνισης της μετάβασης.
- Ο λόγος της χωρητικότητας της πύλης προς την χωρητικότητα της εισόδου μετάβασης, γνωστό και ως electrical effort.
- Ο χρόνος μεταβολής της μετάβασης εισόδου από το 10% στο 90% της τάσης τροφοδοσίας της πύλης, γνωστό και ως slope Delay της εισόδου.
- Η τάση τροφοδοσίας της πύλης.

Έτσι, αν σε δυο διαφορετικές προσομοιώσεις στην ίδια πύλη προκύψουν οι ίδιες τιμές στις προαναφερθείσες παραμέτρους, τότε περιμένουμε να έχει την ίδια συμπεριφορά.

Ο έλεγχος λοιπόν της προσομοίωσης γίνεται σε επίπεδο πυλών και ακολουθεί μια event-driven λογική, όπου βλέπει το κύκλωμα σαν κατευθυνόμενο γράφο και διαπερνώντας το αναλύει κάθε πύλη στην οποία υπάρχει κάποιο event.

Με αυτόν τον τρόπο παράγονται κυματομορφές τάσης και ρεύματος για κάθε μετάβαση και έπειτα τοποθετούνται στην σωστή χρονική θέση, με χρήση πληροφοριών της βιβλιοθήκης μεταβάσεων

Η διαδικασία για την προσομοίωση μιας πύλης φαίνεται στην εικόνα 2.2.



Εικόνα 2.2 : Διάγραμμα ροής προσομοίωσης πύλης

Αναλυτικά, όλες οι πληροφορίες σχετικά με την κατασκευή της βιβλιοθήκης μεταβάσεων, τα κριτήρια αλλά και η επιλογή ισοδυναμίας μεταβάσεων, καθώς και όλα τα σχετικά αποτελέσματα, μπορούν να βρεθούν στην διδακτορική διατριβή [1].

Σε αυτή την μεταπτυχιακή διατριβή, θα χρησιμοποιήσουμε τιμές της βιβλιοθήκης προχαρακτηρισμένων μεταβάσεων, NangateOpenCellLibrary\_PDKv1\_3\_v2010\_12, ώστε να αναλύσουμε σε μεγαλύτερο βάθος την περίπτωση μη ολοκληρωμένων μεταβάσεων.

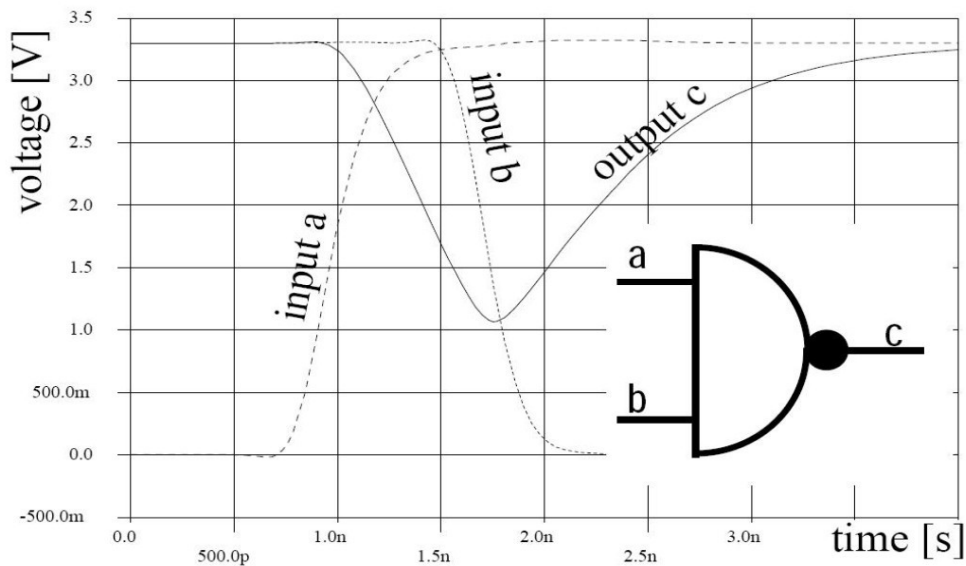
## Κεφάλαιο 3

# Glitches

### 3.1 Ορισμός μη ολοκληρωμένων μεταβάσεων.

Η προσέγγιση του αλγορίθμου στην συμπεριφορά του κυκλώματος στην διδακτορική διατριβή [1], εστίασε περισσότερο στις μεταβάσεις των κόμβων από μια λογική κατάσταση σε μια άλλη, που αποτελούν την βασική εσωτερική δραστηριότητα των πυλών. Όμως, δεν υπάρχουν μόνο οι καθαρές αλλαγές κατάστασης, σε πραγματικές συνθήκες, αλλά και μη-ολοκληρωμένες μεταβάσεις, γνωστές και ως glitch.

Αυτή η κατηγορία σήματος, μπορεί να συμβεί όταν ενώ είναι σε εξέλιξη μια αλλαγή κατάστασης, εμφανίζεται καινούρια αλλαγή κατάστασης, με αποτέλεσμα το σήμα εξόδου να μην προλάβει να ολοκληρώσει την αρχική μετάβαση όπως φαίνεται στην εικόνα 3.1.



Εικόνα 3.1 : Παράδειγμα glitch σε μια πύλη nand2

Το glitch αποτελεί μια μη έγκυρη και απρόβλεπτη έξοδο ενός ψηφιακού κυκλώματος που μπορεί να διαβαστεί από το επόμενο στάδιο και να οδηγήσει σε λανθασμένη ενέργεια. Εκτός ότι μπορεί να προκαλέσει λανθασμένη ενέργεια όμως, μπορεί να προκαλέσει νέο glitch στην πύλη που θα το διαβάσει οδηγώντας σε μια αυξημένη κατανάλωση ενέργειας λόγω περιττής εναλλαγής.

Αίτιο των glitches είναι συνήθως κυκλώματα που ονομάζονται hazards και προέρχονται από μη ισορροπημένα propagation delays σε ένα ψηφιακό κύκλωμα. Αυτά χωρίζονται στις παρκάρω κατηγορίες :

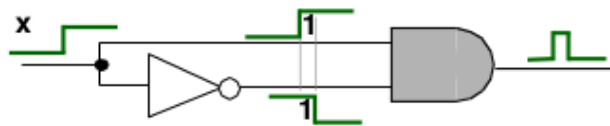
1. Στατικό
  - 1.1. Στατικό-0
  - 1.2. Στατικό-1
2. Δυναμικό

Το στατικό-0 εμφανίζεται όταν η έξοδος είναι 0 και πρέπει να παραμείνει στο 0, αλλά αλλάζει προσωρινά σε ένα λόγω μιας αλλαγής σε μια είσοδο (εικόνα 3.2).



Εικόνα 3.2 : static-0 hazard (0->0)

Ένα βασικό κύκλωμα που μπορεί να παράξει αυτό το hazard, φαίνεται στην εικόνα 3.3



Εικόνα 3.3 : Basic Static-Zero Hazard Circuit

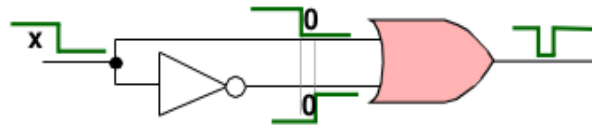
Το στατικό-1, εμφανίζεται όταν η έξοδος είναι 1 και πρέπει να παραμείνει στο 1, αλλά αλλάζει προσωρινά σε 0 λόγω αλλαγής μιας εισόδου (εικόνα 3.4).





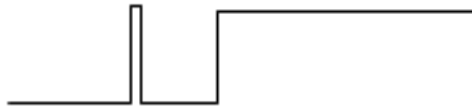
Εικόνα 3.4 : static-1 hazard (1->1)

Ένα βασικό κύκλωμα που μπορεί να παράξει αυτό το hazard, φαίνεται στην εικόνα 3.5



Εικόνα 3.5 : Basic Static-Zero Hazard Circuit

Τέλος, το δυναμικό hazard εμφανίζεται όταν αλλάζει μια είσοδος και η έξοδος κυκλώματος πρέπει να αλλάξει 0 -> 1 (εικόνα 3.6) ή 1 -> 0 (εικόνα 3.7), αλλά εναλλάσσεται προσωρινά μεταξύ τιμών.

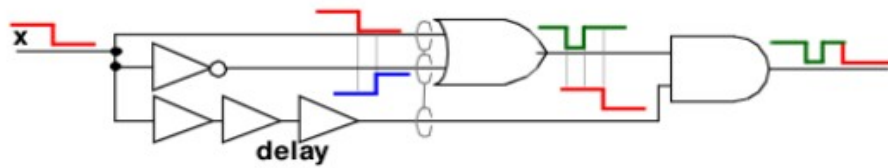


Εικόνα 3.6 : dynamic hazard (0->1)



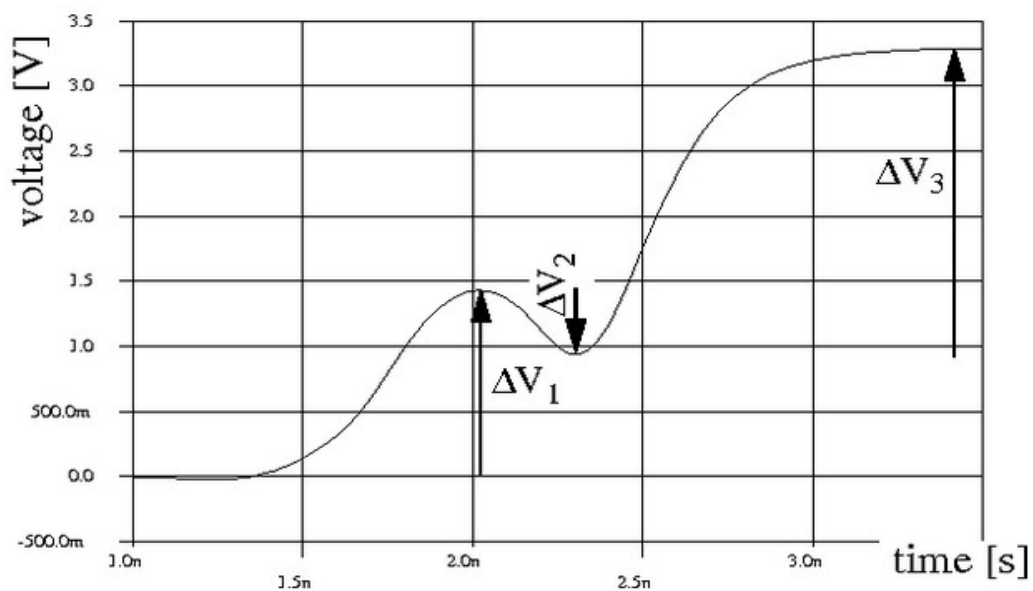
Εικόνα 3.7 : dynamic hazard (1->0)

Ένα βασικό κύκλωμα που μπορεί να παράξει αυτό το hazard, φαίνεται στην εικόνα 3.8



Εικόνα 3.8 : Basic Dynamic Hazard Circuits

Δυναμικά glitch μπορούν επίσης να είναι της μορφής της εικόνας 3.9.

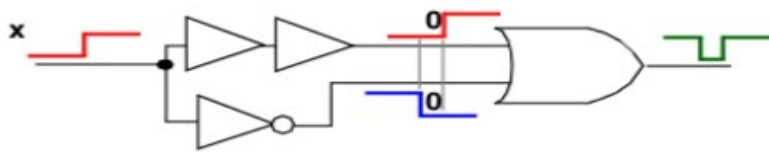


Εικόνα 3.9 : Γράφημα τάσης δυναμικού glitch

Καθώς τα glitches αποτελούν το 20-70% της ολικής κατανάλωσης ισχύος, πρέπει να εξαλειφθούν για τον σχεδιασμό χαμηλής ισχύος.

## 3.2 Αντιμετώπιση μη ολοκληρωμένων μεταβάσεων.

Ένας τρόπος αντιμετώπισης των glitch είναι η προσθήκη delay, η οποία μπορεί να εξαλείψει τα hazards, εάν κάποιος έχει καλό έλεγχο των propagation delays. Για παράδειγμα, αν θεωρήσουμε ως αρχικό κύκλωμα με την καθυστέρηση στον inverter αυτό της εικόνας 3.5, τότε αν προστεθεί ισάξιο delay στο λαοο μονοπάτι, τότε εξαλείφεται το glitch στην πτώση. Αν όμως προστεθεί όμως αρκετά μεγάλο delay, αυτό θα έχει σαν αποτέλεσμα το glitch να εμφανιστεί στην ακμή του ρολογιού (εικόνα 3.10).



Εικόνα 3.10 : Basic Dynamic Hazard Circuits

Για την εξάλειψη του glitch οπότε, απαιτείται σωστή ισορροπία των delays.

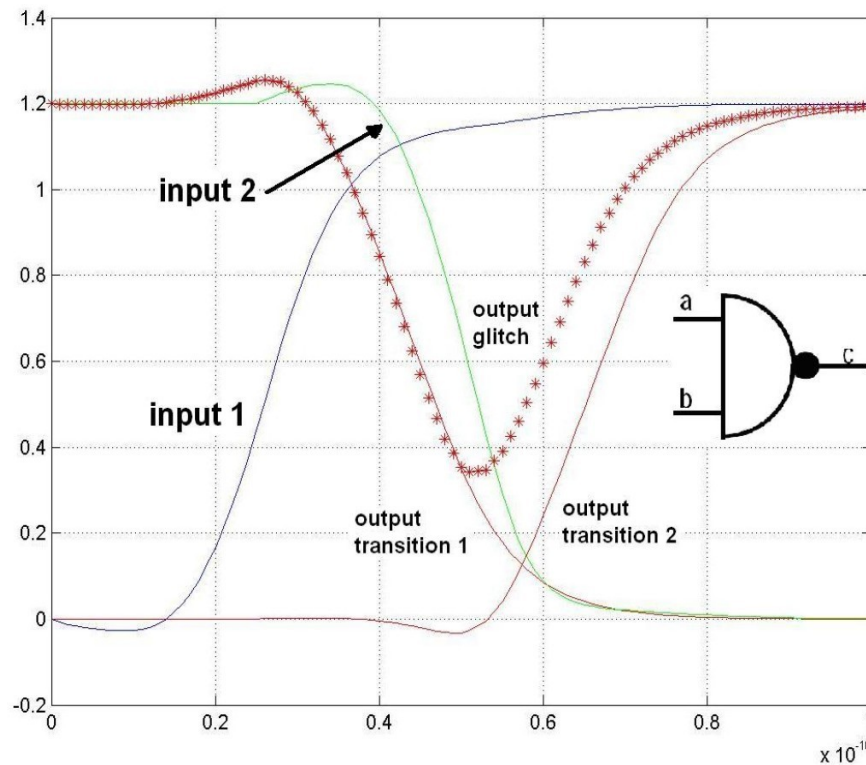
Σε silicon layout level, είναι δυνατή η επίτευξη ισορροπίας των delays, αρκετή για να καταστείλει το glitch. Με τα standard cells και τους field-programmable πίνακες, η εξισορρόπηση αυτή είναι πιο δύσκολη.

Στην περίπτωση του νέου προσομοιωτή, η αντιμετώπιση ενός glitch είναι πρόκληση, καθώς υπάρχει ανάγκη για ιδιαίτερη μελέτη της συμπεριφοράς του φαινομένου του electrical masking στο κύκλωμα. Παρόλο όμως την δυσκολία αυτή, υπάρχει πλάνο αντιμετώπισης των glitch, το οποίο είναι εμπνευσμένο από το [29]. Σε αυτό, χρησιμοποιείται η λογική της πρόβλεψης του παλμού εξόδου, λαμβάνοντας υπόψιν τις κυματομορφές σαν ευθείες, γεγονός που συμβαίνει κατά την δημιουργία ενός glitch.

Υπάρχει όμως μία διαφοροποίηση της μορφής των κυματομορφών στην παρούσα προσομοίωση. Δεν μπορούν ληφθούν σαν ευθείες, καθώς η παράγονται ξεχωριστές κυματομορφές εξόδου για την κάθε μετάβαση, οι οποίες τοποθετούνται στην κατάλληλη χρονική θέση σε δεύτερο στάδιο.

Μόνο μετά την ολοκλήρωση αυτού του δεύτερου σταδίου μπορεί να είναι εμφανές αν έχει δημιουργηθεί glitch. Αυτό συμβαίνει συνήθως όταν υπάρχει μετάβαση και από τις δυο εισόδους μία πύλης, με αποτέλεσμα οι δύο κυματογράφος εξόδου της ίδιας πύλης να συμπίσουν στον άξονα του χρόνου. Αφού λοιπόν γίνει η αναγνώριση των glitches που παρουσιάστηκαν μετά την διαπέραση του κυκλώματος, εφαρμόζεται μέθοδος συνυπολογισμού των συγκρουόμενων κυματομορφών μέσω electrical masking.

Όπως βλέπουμε και στο παράδειγμα electrical masking της εικόνας 3.11, που εφαρμόστηκε σε πύλη NAND, η μορφή της κυματομορφής εξόδου ενός glitch είναι όμοια με αυτή της κυματομορφής εξόδου της πρώτης χρονικά μετάβασης και πριν προλάβει να φτάσει στην τελική κατάσταση αλλάζει με αυτήν της δεύτερης κυματομορφής εξόδου μετάβασης, μετατοπισμένη προς τα αριστερά.

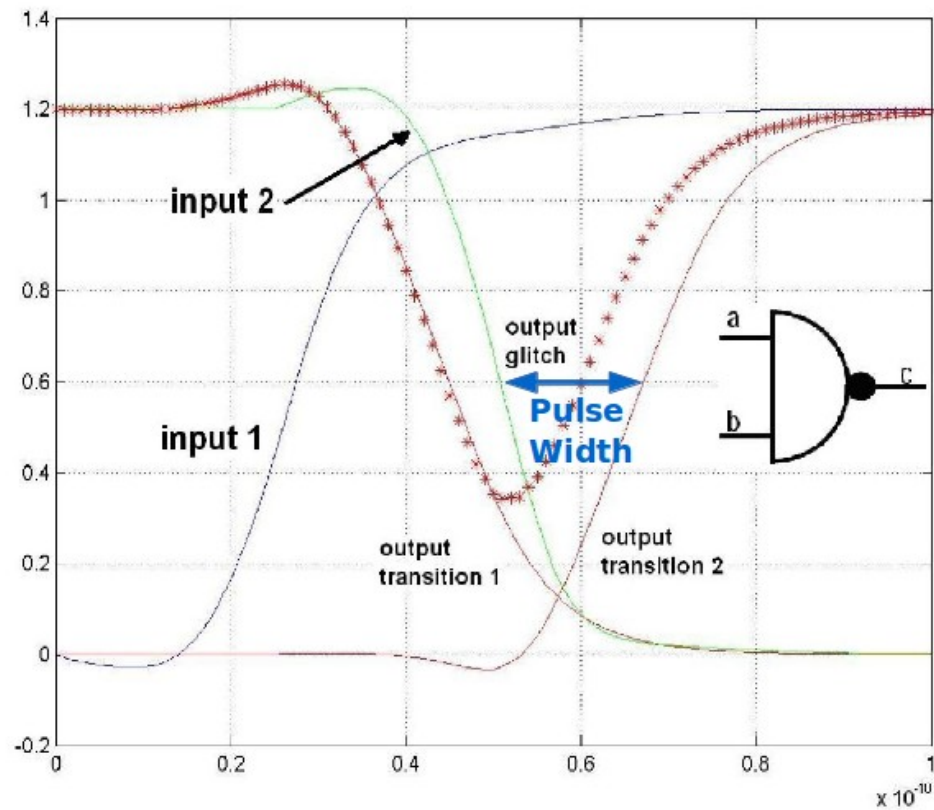


Εικόνα 3.11 : Μοντελοποίηση electrical masking

Η κυματομορφή που μπορεί να προκύψει μέσα από τέτοιες περιπτώσεις ποικίλει και μπορεί να προσεγγίσει ακόμα και τις καταστάσεις όπου οι δύο συγκρουόμενες κυματομορφές μετά το masking να εξουδετερώσουν τελείως η μία την άλλη, με αποτέλεσμα να υπάρξει καμία αλλαγή στην έξοδο. Η άλλη ακραία περίπτωση είναι επίσης και η ακριβώς αντίθετη, όπου δεν υπάρχει καμία αλλαγή στις αρχικές κυματομορφές.

Ο υπολογισμός της τιμής του πλάτους του glitch παλμού εξόδου, γίνεται μετρώντας της απόσταση μεταξύ των δύο παλμών μεταβάσεων της πύλης, στο σημείο όπου η τάση του είναι ίση με το 50 τις εκατό της τάσης τροφοδοσίας.

Έτσι στο προηγούμενο παράδειγμα, το πλάτος του παλμού εξόδου θα είναι αυτό που φαίνεται στην εικόνα 3.12.



Εικόνα 3.12 : Πλάτος παλμού μετά από electrical masking

Η υπάρχουσα συνάρτηση υπολογισμού του πλάτους του glitch παλμού εξόδου, είναι η ακόλουθη:

Πλάτος παλμού εξόδου	Συνθήκη
0	$W_{in} < d1$
$(2W_{in} - d1 - d2) \left(1 + \frac{d2 - d1}{d2}\right)$	$d1 < W_{in} < d1 + d2$
$W_{in}$	$W_{in} > d1 + d2$

Πίνακας 3.1 : Πλάτος εξαγόμενου παλμού

Οι παράμετροι της συνάρτησης ορίζονται αναλυτικά ως:

- $W_{in}$  = απόσταση μεταξύ των δύο παλμών μεταβάσεων της πύλης, στο σημείο όπου η τάση του είναι ίση με το 50 τις εκατό της τάσης τροφοδοσίας
- $d1, d2$  = propagation delay της μετάβασης της κάθε εισόδου της πύλης, τιμές οι οποίες είναι αποθηκευμένες από την πρώτη φάση της προσομοίωσης στην βιβλιοθήκη μεταβάσεων

Στην πρώτη περίπτωση της συνάρτησης, όπου το πλάτος είναι 0, θεωρείται ότι το electrical masking εξουδετέρωσε τους δύο παλμούς μεταβάσεων και έτσι στην έξοδο της πύλης δεν θα εμφανιστεί σαν παλμός.

Όμως, η περίπτωση του glitch, παρόλο που υπάρχει πλάνο υπολογισμού του, δεν υπέστη την κατάλληλη πειραματική μελέτη, ώστε να αποδειχτεί η αποτελεσματικότητα και η ακρίβειά του. Έτσι, χρίζει περαιτέρω ανάλυσης και επιβεβαίωσης της ακρίβειας αποτελεσμάτων του παραπάνω τύπου, ώστε να μπορούμε να προβούμε έπειτα, σε μία πιο κατάλληλη αντιμετώπιση του προβλήματος, αν αυτό χρειαστεί.

## Κεφάλαιο 4

# Πειραματικές μετρήσεις

Για την ανάλυση της συμπεριφοράς του ρεύματος και της τάσης σε περίπτωση glitch, ήταν αναγκαία η εφαρμογή τέτοιων περιπτώσεων και η πειραματική μέτρηση των τιμών, χρησιμοποιώντας διαφορετικές τιμές εισόδου, για μεγαλύτερη ακρίβεια.

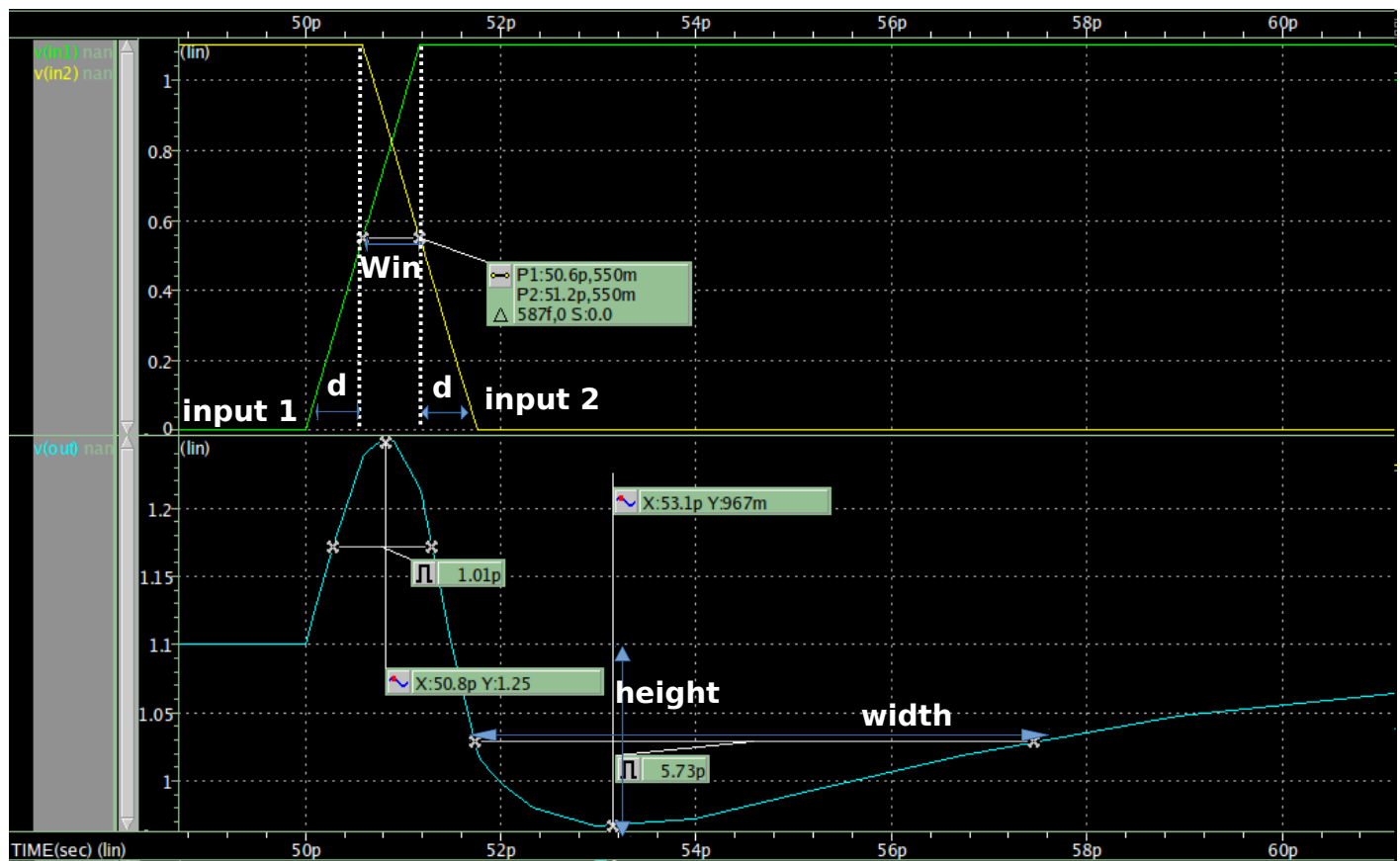
Εφαρμόστηκαν λοιπόν μετρήσεις, με χρήση του εργαλείου προσομοίωσης SPICE, και επικεντρώθηκαν στην πύλη NAND. Για τα δεδομένα εισόδου, χρησιμοποιήθηκαν οι τιμές της βιβλιοθήκης μεταβάσεων NangateOpenCellLibrary\_PDKv1\_3\_v2010\_12 (NangateOpenCellLibrary\_typical\_css), για την πύλη NAND2\_X1. Σαν τιμές εισόδου χρησιμοποιήθηκαν συνδυασμοί μεταξύ 5 διαφορετικές τιμών Win, 7 διαφορετικών τιμών χωρητικότητας εξόδου Cout και 7 διαφορετικών τιμών καθυστέρησης διάδοσης d.

Σε αυτό το κεφάλαιο, παραθέτονται κάποια παραδείγματα glitch, που εξάχθηκαν από τις μετρήσεις, σε πύλη NAND2\_X1, χαρακτηριστικά της οποίας μπορούν να βρεθούν στο typical css αρχείο της NangateOpenCell βιβλιοθήκης.

### 4.1 Μετρήσεις πλάτους παλμού τάσης εξόδου μη ολοκληρωμένων μεταβάσεων.

Αρχικά, θα δούμε πως μεταβάλλεται η τάση εξόδου, καθώς μετατοπίζουμε τους 2 παλμούς εισόδου. Έστω, η καθυστέρηση διάδοσης των πυλών εισόδου είναι 0,00117378 ns και η χωρητικότητα της NAND 0,365616 ff.

Η πρώτη εικόνα 4.1, ανήκει στην 1η περίπτωση του υπάρχον τύπου όπου  $Win < d1$  και το πλάτος παλμού εξόδου πρέπει να είναι 0. Όντως, σύμφωνα με την εικόνα, θεωρούμε ότι η στιγμιαία μετάβαση της τάσης στην έξοδο δεν έφτασε σε επίπεδα που να μπορεί να θεωρείται παλμός αλλά αντίθετα εξουδετερώθηκε από το electrical masking.



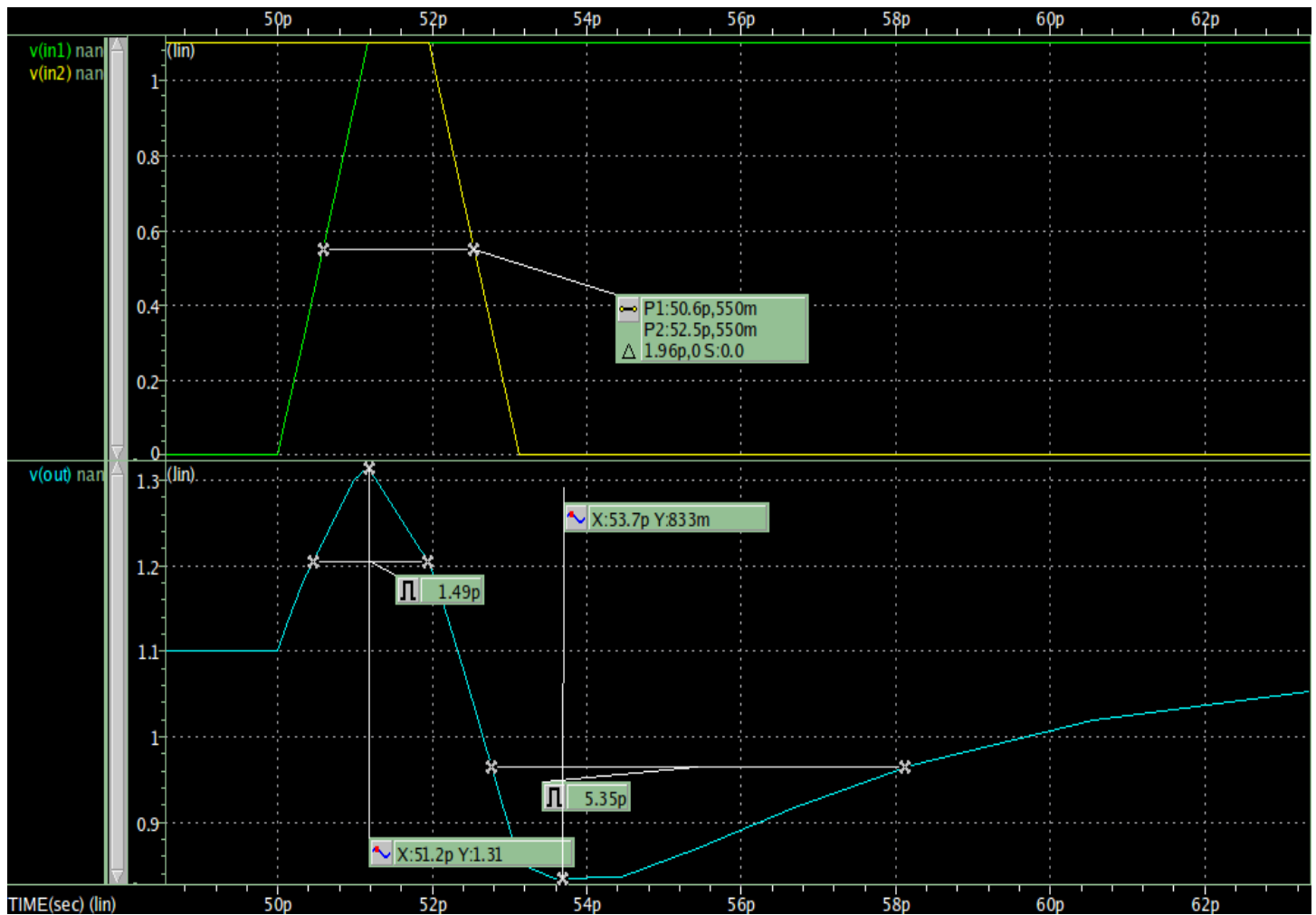
Εικόνα 4.1 : Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,00058689 ns



Η δεύτερη 4.2 και τρίτη 4.3 εικόνα, ανήκουν στην 2η κατηγορία, όπου  $d1 < Win < d1 + d2$ .  
Εδώ θα περιμέναμε το πλάτος του παλμού εξόδου να έχει την τιμή  $2 * 0,00156504 - 2 * 0,00117378 = 0,00078252$  ns για την δεύτερη και αντίστοιχα  $2 * 0,0019563 - 2 * 0,00117378 = 0,00156504$  ns.



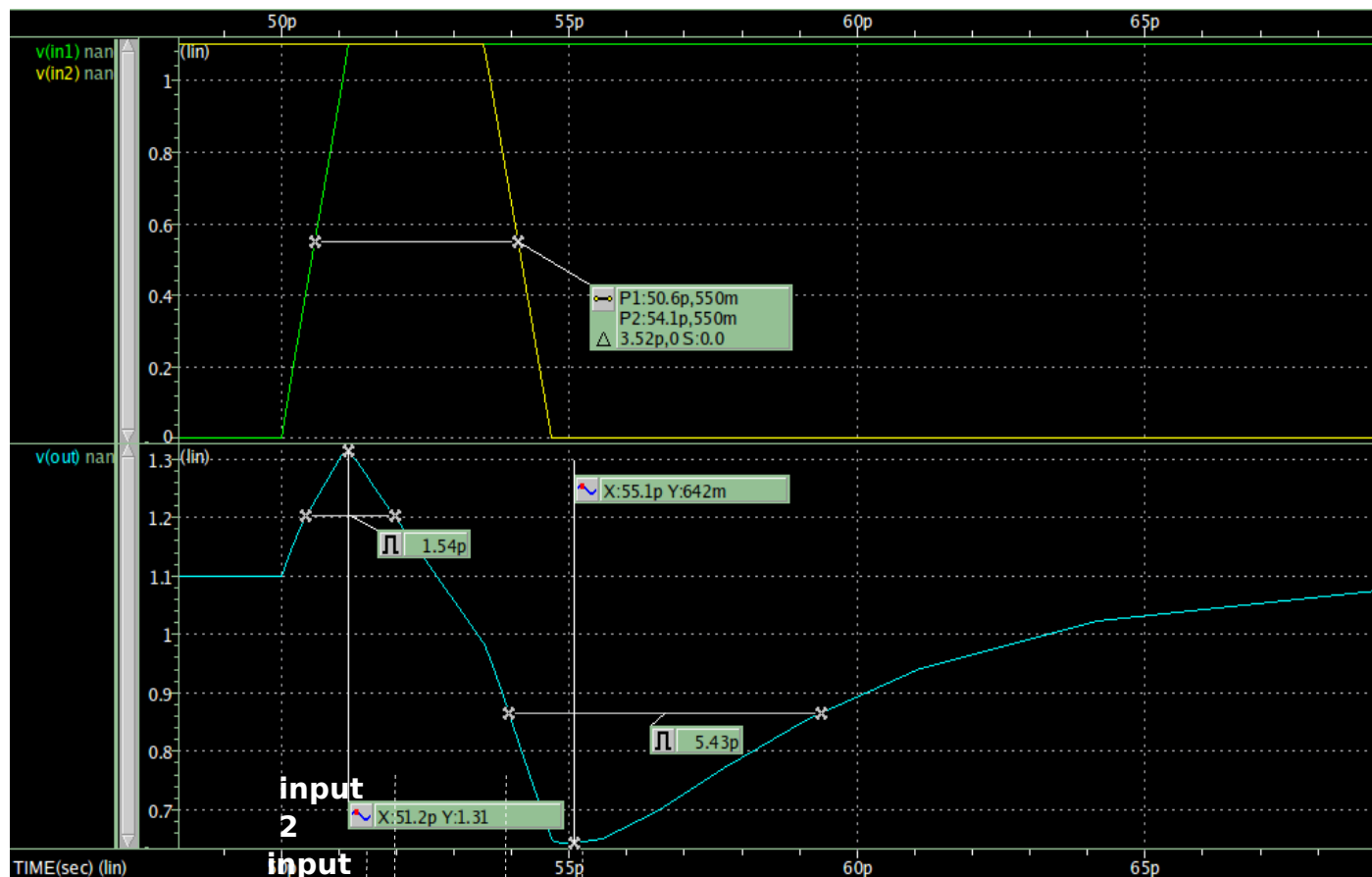
Εικόνα 4.2: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,00156504 ns



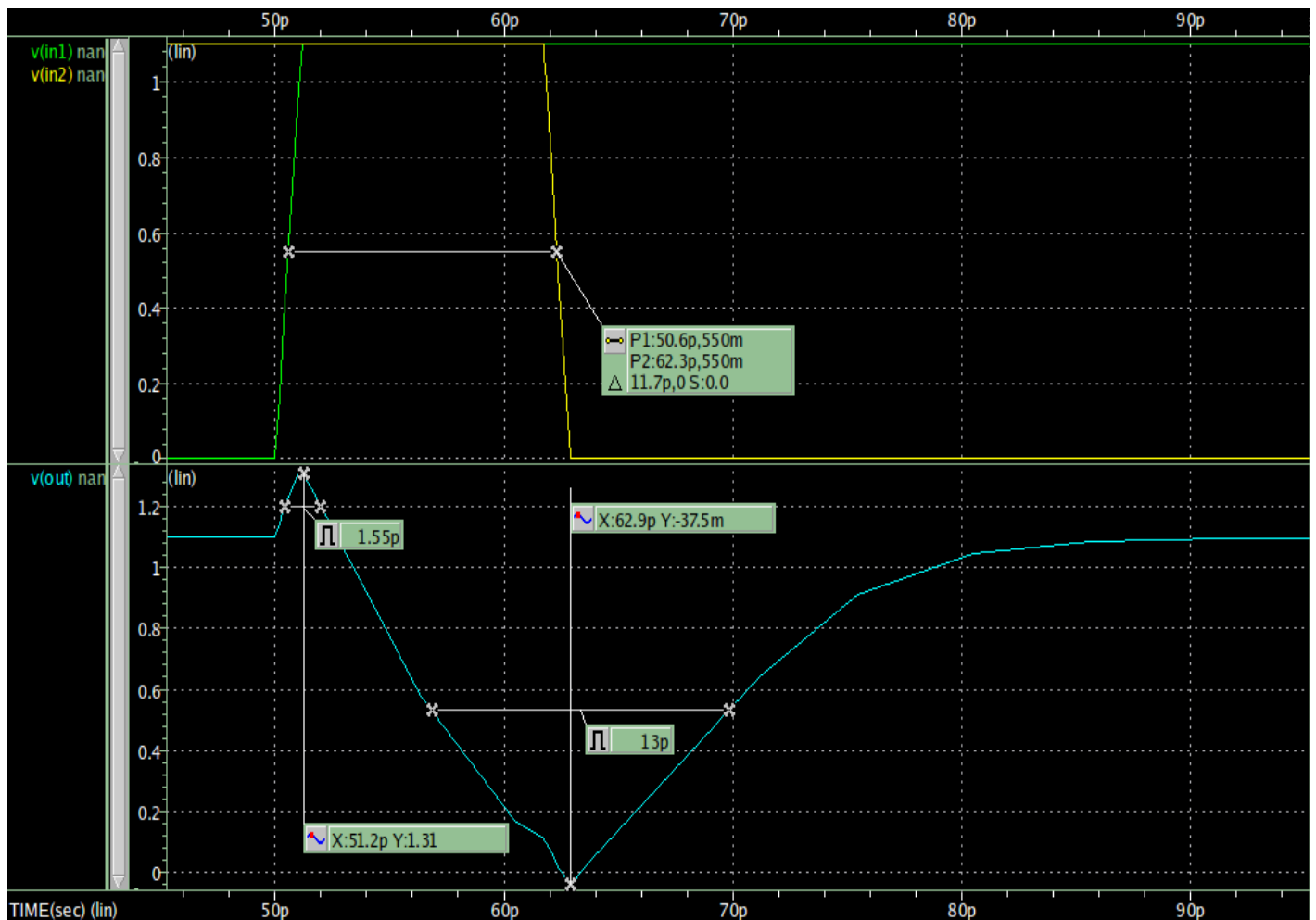
Εικόνα 4.3: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,0019563 ns

Όμως, πάλι, λόγω της χαμηλής τάσης εξόδου, θεωρούμε ότι εξουδετερώθηκε από το electrical masking, και δεν αναλύουμε περαιτέρω την περίπτωση αυτή.

Η τελευταίες δυο εικόνες 4.4 και 4.5, ανήκουν στην 3η κατηγορία του τύπου, που  $W_{in} > d_1 + d_2$ , και περιμένουμε το πλάτος του παλμού να είναι ίσο με  $W_{in}$ .



Εικόνα 4.4: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,00352134 ns

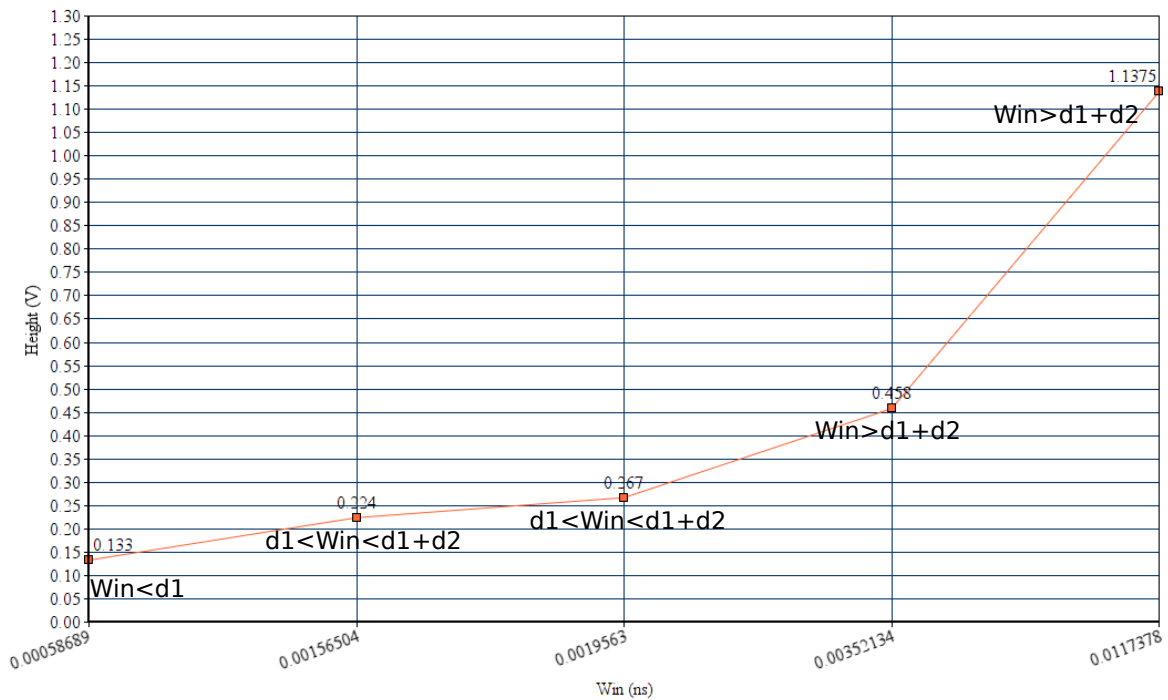


Εικόνα 4.5: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,0117378 ns

Αυτός ο συνδυασμός καθυστέρησης διάδοσης των πυλών εισόδου και χωρητικότητας εξόδου, δεν μας έδειξε κάποια περίπτωση glitch που χρίζει ανάλυσης, οπότε στην συνέχεια θα εστιάσουμε μόνο στις περιπτώσεις της δεύτερης κατηγορίας του τύπου, στις οποίες όμως το ύψος της τάσης εξόδου θα είναι τουλάχιστον το  $|45\%|$  του vdd.

Παραδείγματος χάριν, στο προαναφερθέν παράδειγμα, ο παλμός της εισόδου 1 τείνει να οδηγήσει την τάση εξόδου της NAND από 1 σε 0. Για να θεωρήσουμε ότι η τάση έχει τιμή που ικανή να αλλάξει την λογική κατάσταση της πύλης από 1 σε 0, και άξια να την μελετήσουμε σαν περίπτωση glitch, θα πρέπει να είναι κάτω από το 45% του vdd, δηλαδή κάτω από 0,495mV. Αυτό μεταφράζεται σε ύψος παλμού εξόδου μεγαλύτερο του 0,605 mV.

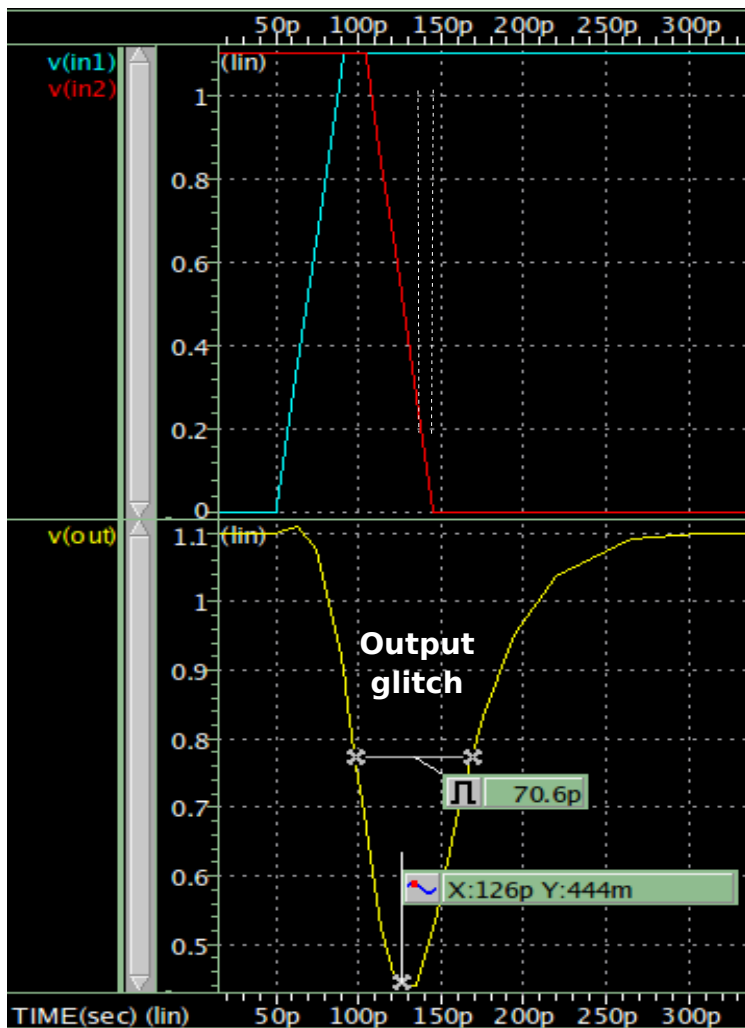
Κάθε ύψος παλμού εξόδου περίπου ίσο με  $V_{dd}$ , θεωρούμε ότι θα αναγνωριστεί από την επόμενη πύλη του κυκλώματος σαν ξεκάθαρο λογικό 1, οπότε δεν το θεωρούμε κατάσταση glitch. Το παραπάνω παράδειγμα λοιπόν, όπως φαίνεται συγκεντρωτικά και στο παρακάτω διάγραμμα ύψους παλμού/ $W_{in}$  4.6, δεν πληρεί τις προϋποθέσεις για να θεωρηθεί glitch.



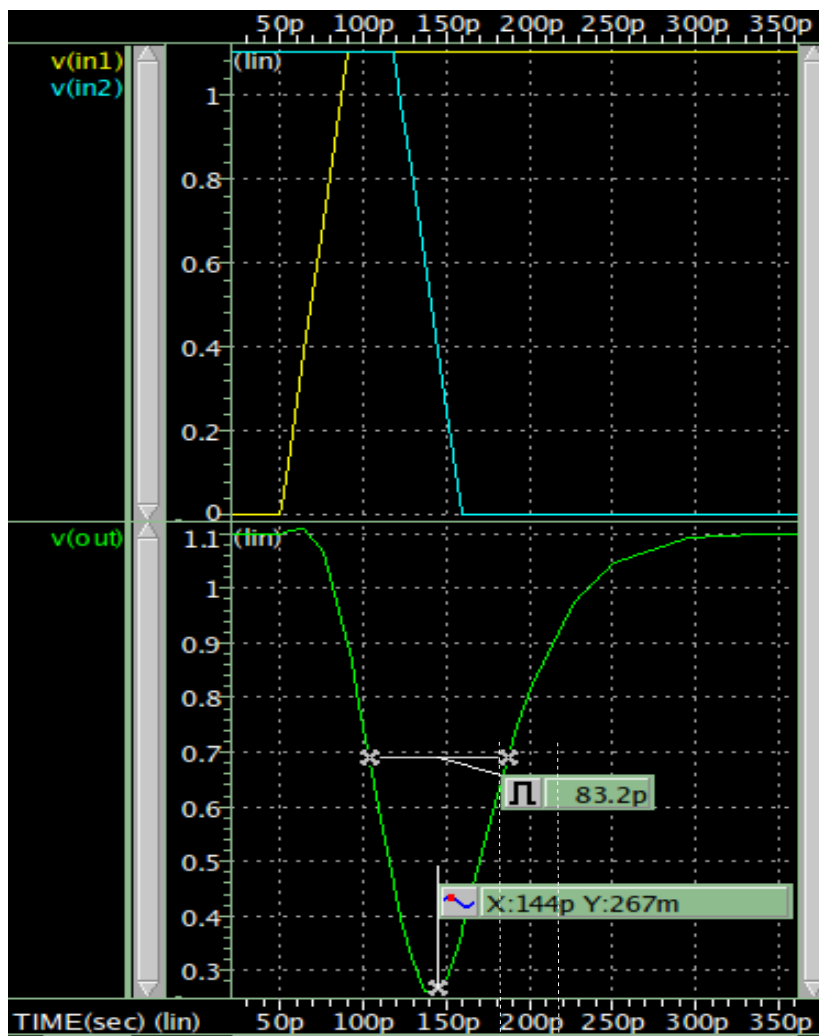
Εικόνα 4.6: Διάγραμμα ύψους παλμού/ $W_{in}$

Πάμε λοιπόν να δούμε κάποιους από τους συνδυασμούς που πληρούν αυτές τις προϋποθέσεις, συνοψίζοντας όλα τα αποτελέσματα του της τάσης εξόδου, σε γραφήματα.

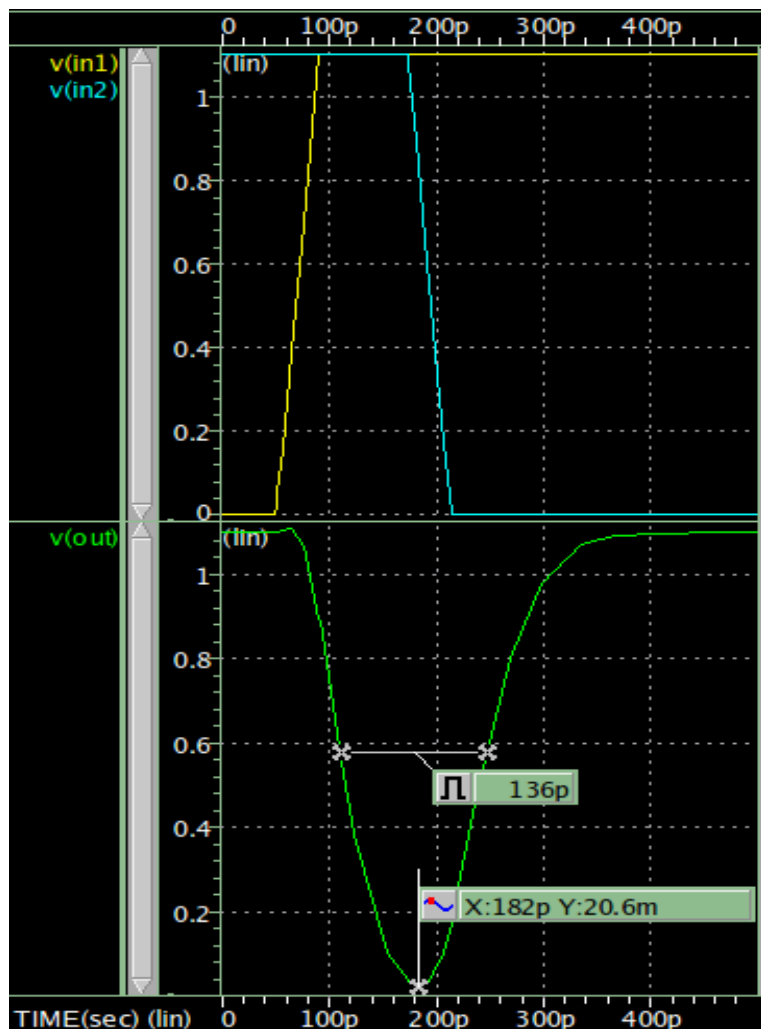
Στο παρακάτω παράδειγμα 4.7, βλέπουμε πως μεταβάλλεται η τάση εξόδου, καθώς μετατοπίζουμε τους 2 παλμούς εισόδου, με καθυστέρηση διάδοσης των πυλών εισόδου είναι 0,0409838 ns και η χωρητικότητα της NAND 14,8392 ff.



Εικόνα 4.7: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,05464507 ns



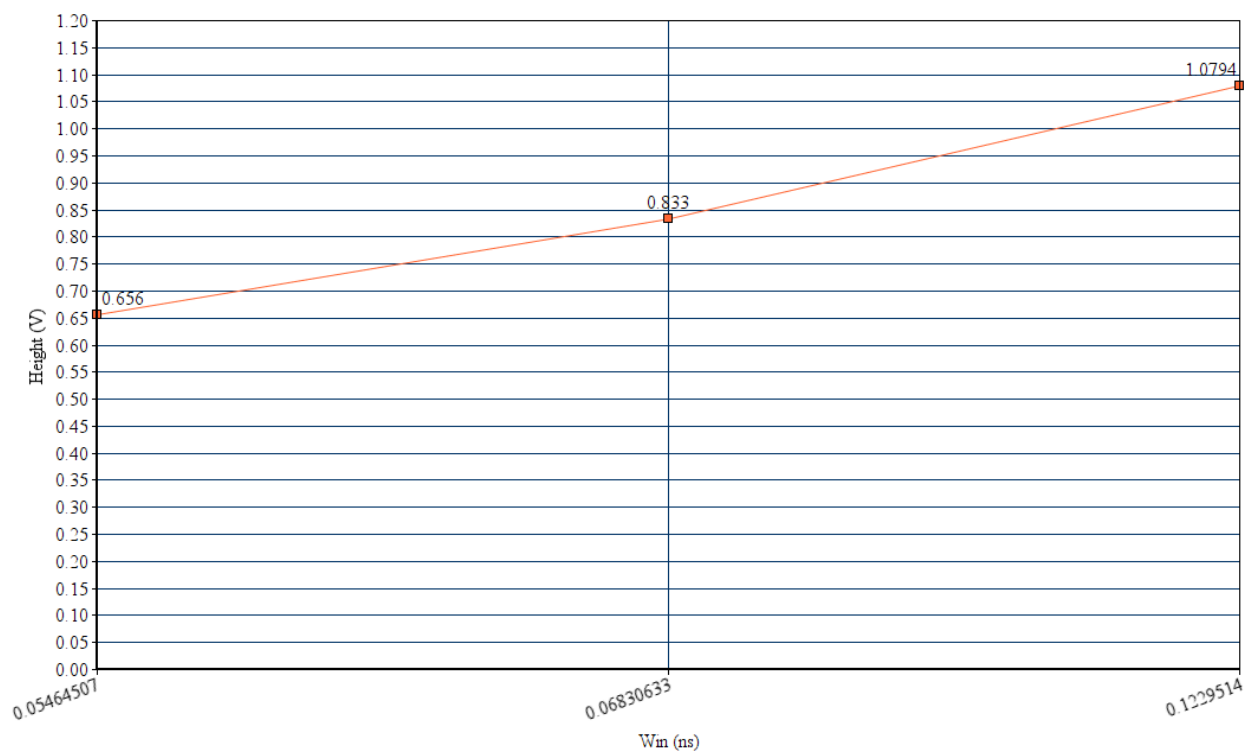
Εικόνα 4.8: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,06830633 ns



Εικόνα 4.9: Απόσταση μεταξύ των χρονικών στιγμών όπου κάθε μια από τις δύο μεταβάσεις στις εισόδους είναι στο 50% της τάσης τροφοδοσίας = 0,1229514 ns

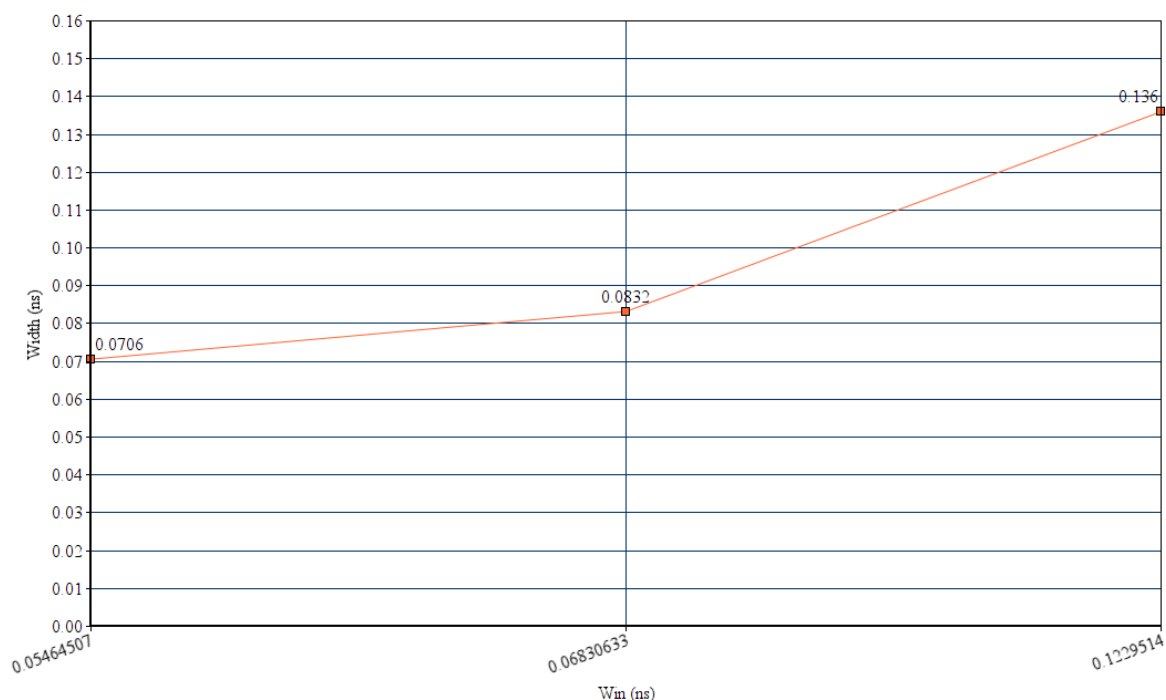


Όπως βλέπουμε στο 4.10 γράφημα, το ύψος του παλμού εξόδου αυξάνεται, όσο απομακρύνουμε τους παλμούς εισόδου μεταξύ τους.



Εικόνα 4.10: Ύψος παλμού εξόδου

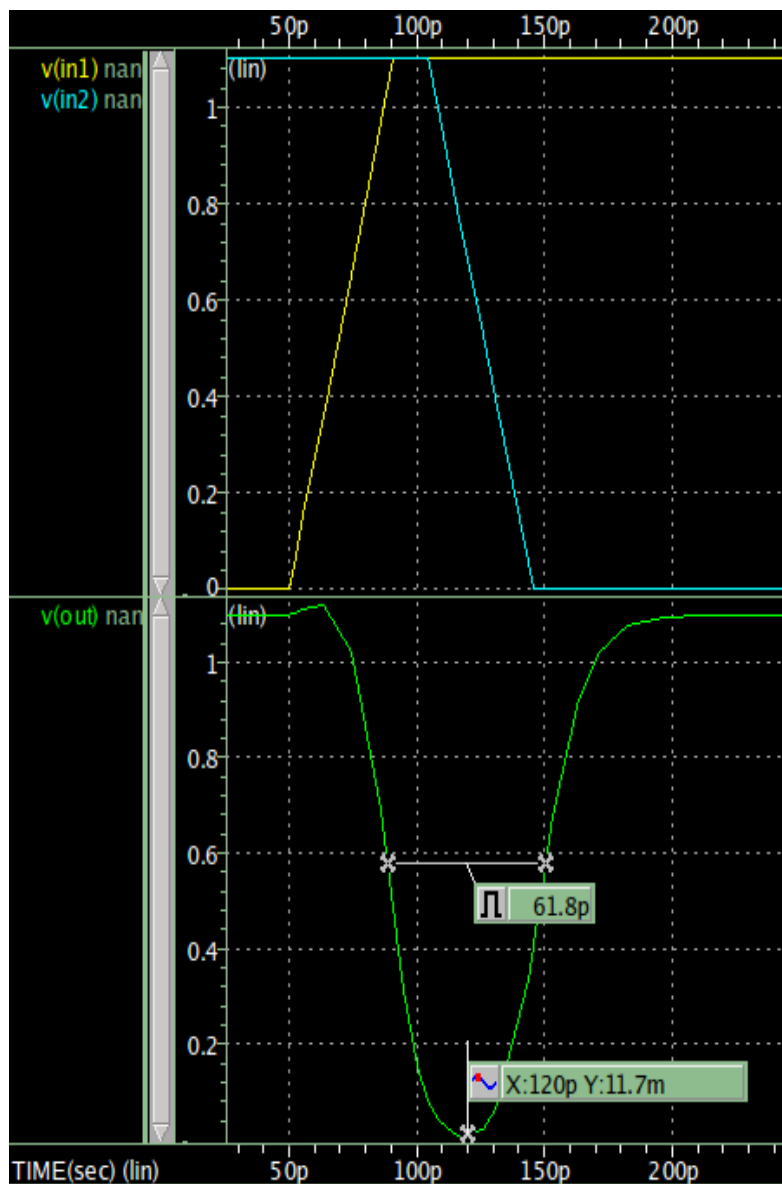
Το ίδιο συμβαίνει και με το πλάτος του παλμού, όπως βλέπουμε στο 4.11 γράφημα.



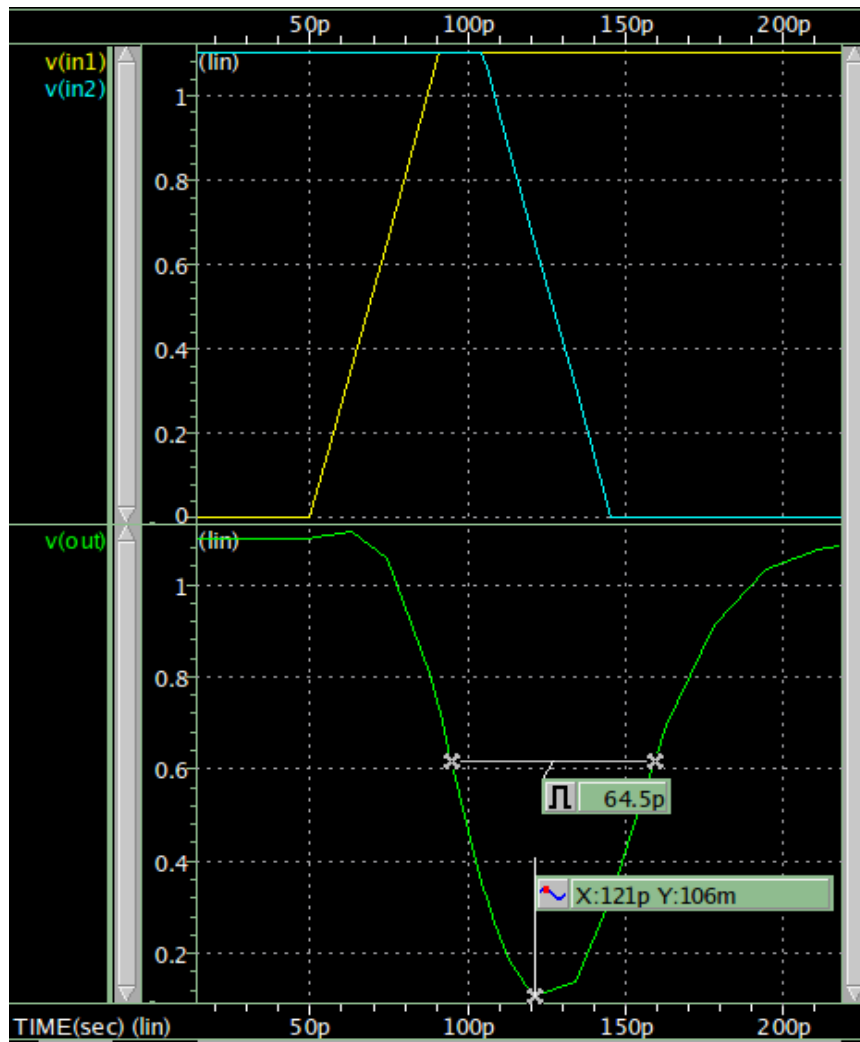
Εικόνα 4.11: Πλάτος παλμού εξόδου

Στο παραπάνω παράδειγμα, είδαμε την συμπεριφορά της τάσης, με σταθερή την χωρητικότητα εξόδου και την καθυστέρηση μετάβασης. Ενδιαφέρον έχει όμως, να δούμε και πως συμπεριφέρεται η τάση εξόδου όταν μεταβάλετε η χωρητικότητα εξόδου, και μένουν σταθερά η καθυστέρηση μετάβασης και η απόσταση των δυο παλμών εισόδου.

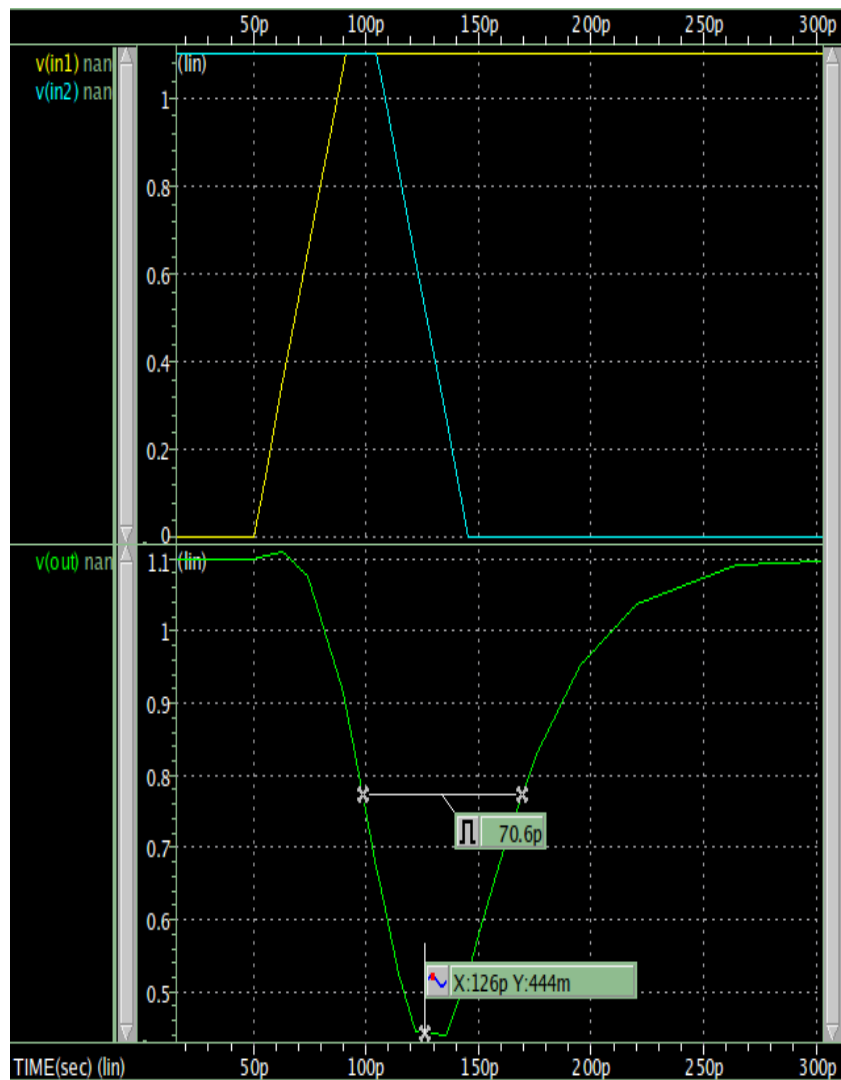
Ενδιαφέρον έχει όμως να παρατηρήσουμε και πως μεταβάλετε η τάση εξόδου, καθώς αυξάνουμε την χωρητικότητα εξόδου, με καθυστέρηση διάδοσης των πυλών εισόδου 0,0409838 ns και απόσταση μεταξύ των δυο παλμών εισόδου 0,05464507 ns. Στις εικόνες 4.12, 4.13 και 4.14 φαίνεται αυτή η συμπεριφορά.



Εικόνα 4.12: Χωρητικότητα εξόδου = 3,70979 ff

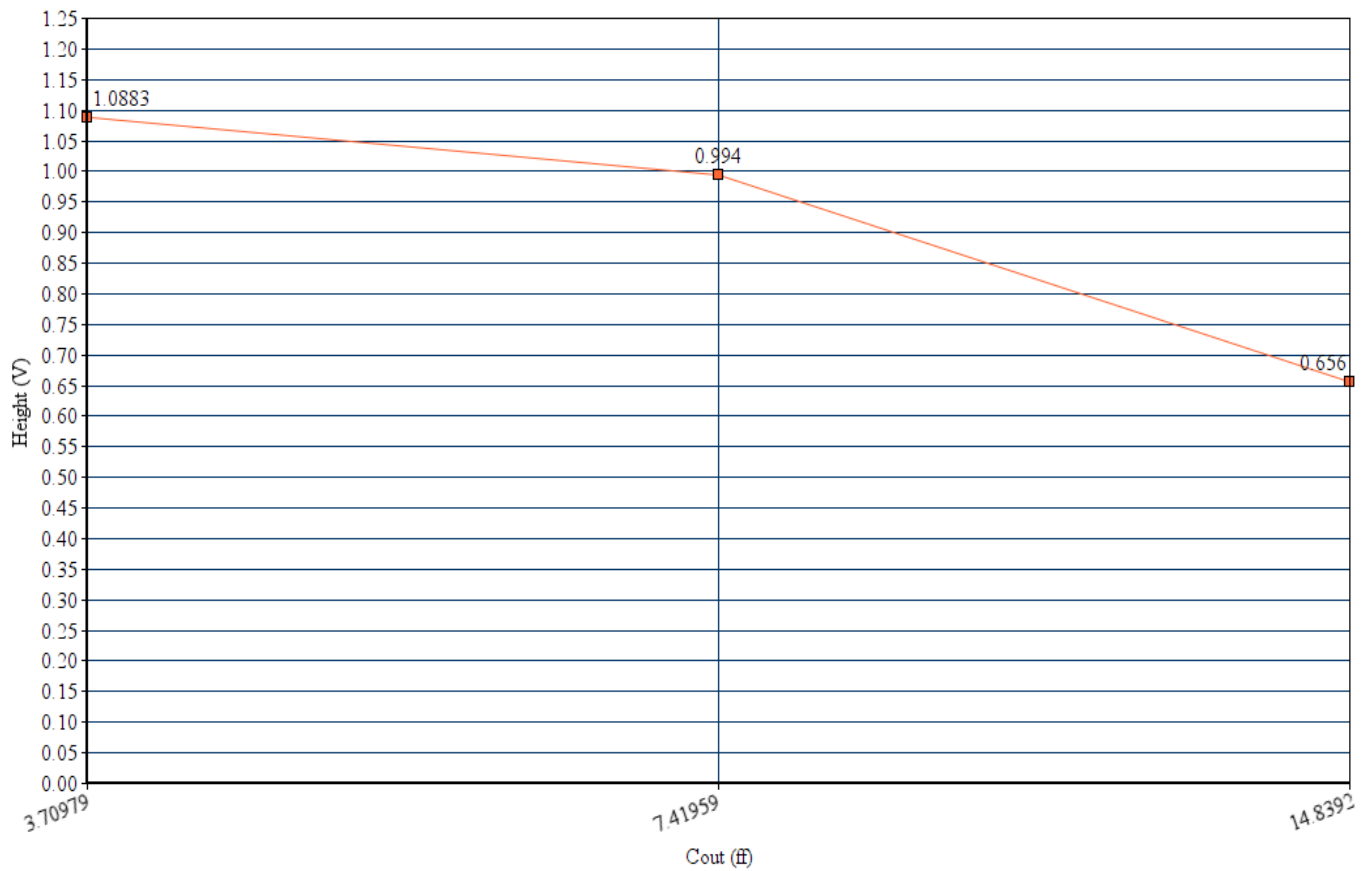


Εικόνα 4.13: Χωρητικότητα  
εξόδου = 7,41959 ff



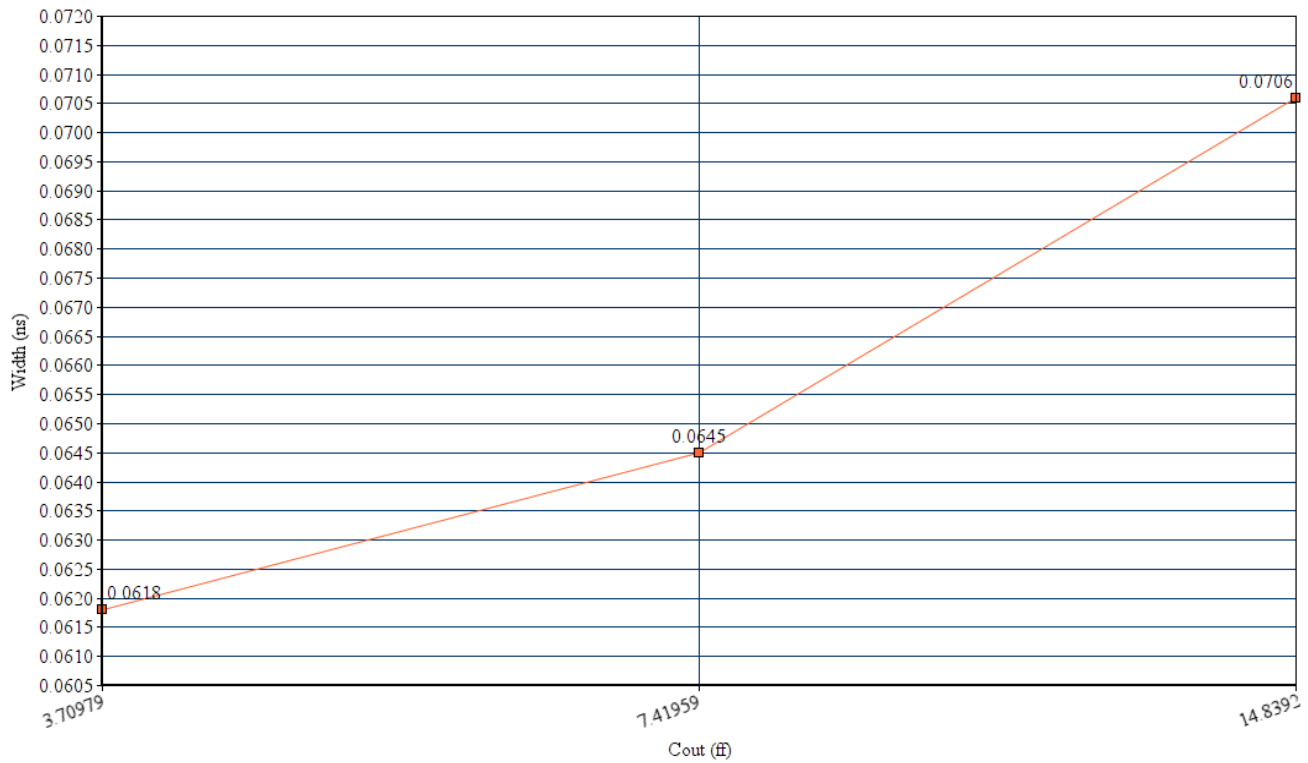
Εικόνα 4.14: Χωρητικότητα  
εξόδου = 14,8392 ff

Παρατηρούμε στην 4.15 ότι το ύψος του παλμού εξόδου μειώνεται με την αύξηση της χωρητικότητας εξόδου.



Εικόνα 4.15: Ύψος παλμού εξόδου

Το αντίθετο συμβαίνει με το πλάτος του παλμού, το οποίο αυξάνεται, όπως φαίνεται στο παρακάτω διάγραμμα 4.16.



Εικόνα 4.15: Πλάτος παλμού εξόδου

Από το παραπάνω παράδειγμα, βλέπουμε ότι η χωρητικότητα εξόδου επηρεάζει τα χαρακτηριστικά του παλμού εξόδου, σε περίπτωση glitch.

Πάμε να δούμε όμως λίγο πιο αναλυτικά, αν οι τιμές των πειραμάτων, συμπίπτουν με αυτές που προκύπτουν απ τον τύπο :

$$(2W_{in} - d1 - d2) \left( 1 + \frac{d2 - d1}{d2} \right)$$

Στο παράδειγμα όπου η καθυστέρηση διάδοσης των πυλών εισόδου είναι 0,0409838 ns και η χωρητικότητα της NAND 14,8392 ff, η τιμή του πλάτους του παλμού εξόδου θα έπρεπε να είναι όπως φαίνεται στον πίνακα 4.1 :

	Win	Width
d1 < Win < d1 + d2	0,05464507 ns	0,02732254 ns
	0,06830633 ns	0,05464506 ns
Win > d1 + d2	0,1229514 ns	0,1639352 ns

Πίνακας 4.1 : Τιμή πλάτους παλμού

Αυτές οι τιμές όμως, δεν συμπίπτουν με τις τιμές που προέκυψαν από τις μετρήσεις των πειραμάτων. Πιο συγκεκριμένα, η διαφορά των τιμών φαίνεται στον πίνακα 4.2:

Expected Width	Actual Width	Difference
0,02732254 ns	0,0706 ns	88.3912 %
0,05464506 ns	0,0832 ns	41.4305 %
0,1639352 ns	0,136 ns	18.6275 %

Πίνακας 4.2 : Διαφορά τιμής πλάτους παλμού



Στο παράδειγμα όπου η καθυστέρηση διάδοσης των πυλών εισόδου είναι 0,0409838 ns και η απόσταση μεταξύ των δυο παλμών εισόδου 0,05464507 ns, η τιμή του πλάτους του παλμού εξόδου θα έπρεπε να είναι όπως φαίνεται στον πίνακα 4.3 :

$d1 < Win < d1 + d2$

{

Cout	Width
3,70979 ff	0,02732254 ns
7,41959 ff	0,02732254 ns
14,8392 ff	0,02732254 ns

Πίνακας 4.3 : Τιμή πλάτους παλμού

Η τιμή του πλάτους είναι σταθερή για όλες τις χωρητικότητες, αφού αυτή η παράμετρος δεν συνυπολογίζεται μέσα στο τύπο.

Οι παραπάνω τιμές πάλι δεν συμπίπτουν με τις τιμές που προέκυψαν από τις μετρήσεις των πειραμάτων, οι οποίες αποκλίνουν κατά το ποσοστά που φαίνονται στον πίνακα:

Expected Width	Actual Width	Difference
0,02732254 ns	0,0618 ns	77.3709 %
0,02732254 ns	0,0645 ns	80.9768 %
0,02732254 ns	0,0706 ns	88.3912 %

Πίνακας 4.4 : Διαφορά τιμής πλάτους παλμού

Βλέπουμε λοιπόν ότι η χωρητικότητα εξόδου επηρεάζει το πλάτος του παλμού εξόδου σε περίπτωση glitch.

Θα πρέπει συνεπώς, ο υπάρχον τύπος να προσαρμοστεί ώστε να ανταποκρίνεται με μεγαλύτερη ακρίβεια στις πραγματικές τιμές του πλάτους του παλμού.

Για να γίνει αυτό όμως πρέπει να έχουμε ένα αρκετά μεγάλο δείγμα μετρήσεων ώστε να συγκλίνουμε όσο το δυνατόν περισσότερο στις ιδανικές παραμέτρους του τύπου.

Παρακάτω, στον πίνακα 4.5, βλέπουμε συγκεντρωμένες όλες τις τιμές που προέκυψαν από τις μετρήσεις σε περιπτώσεις glitch σε NAND, όπου το ύψος του παλμού εξόδου είναι μεγαλύτερο του 0,605 mV και όπου αγγίζει το Vdd , η διάρκεια διατήρησης αυτού του peak να είναι στιγμιαία.

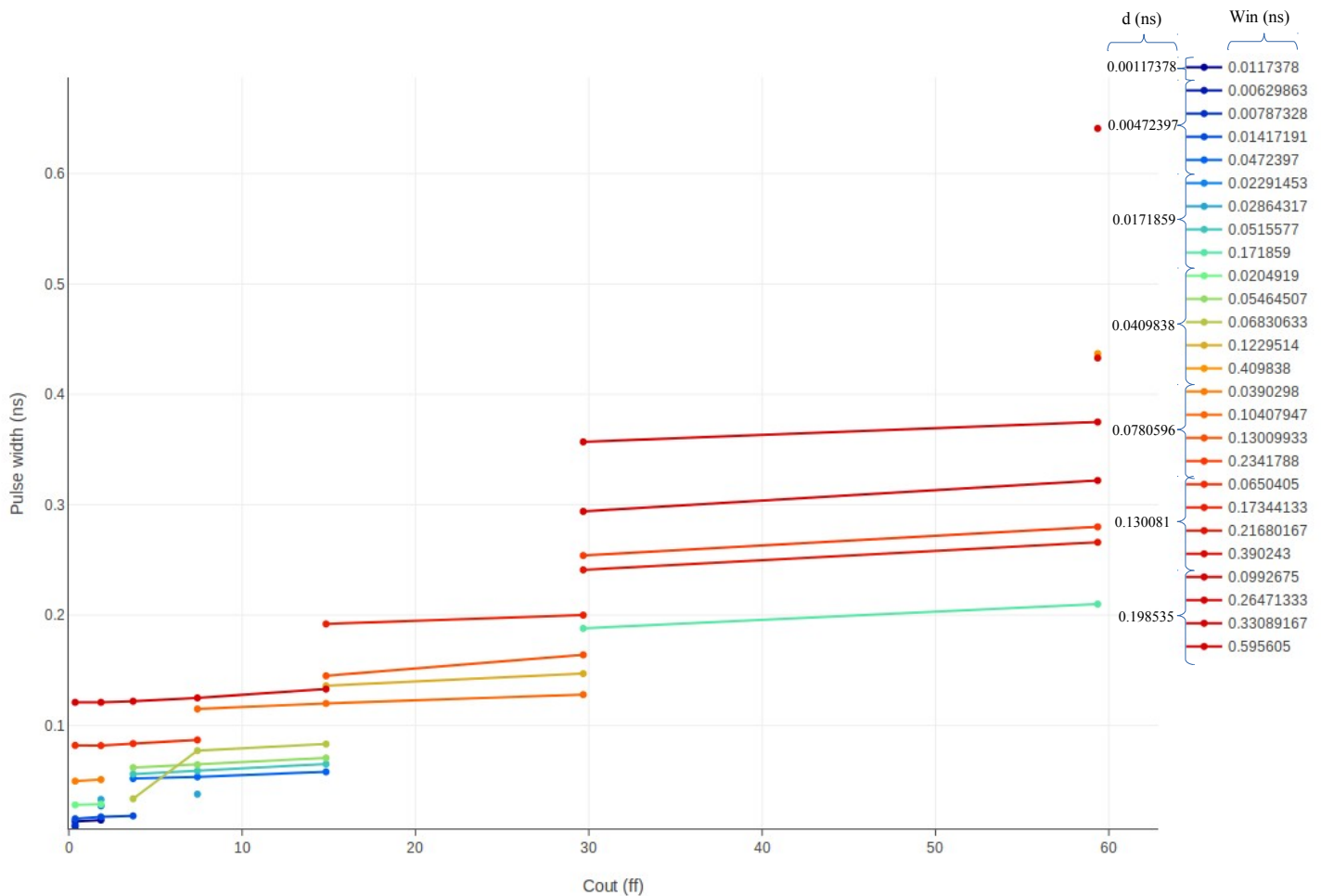
#### Αποτελέσματα μετρήσεων παλμού τάσης

Καθυστέρηση διάδοσης d (ns)	Απόσταση παλμών Win (ns)	Χωρητικότητα εξόδου Cout	Ύψος παλμού (V)	Πλάτος παλμού (ns)	Πλάτος παλμού τύπου (ns)	Διαφορά %
0.00117378	0.0117378	0.365616	1.1373	0.013	0.02112804	47.6326
		1.8549	0.85	0.0143	0.02112804	38.546
0.00472397	0.00629863	0.365616	0.693	0.00828	0.00314932	89.781
	0.00787328	0.365616	0,829	0.00995	0.00629862	44.9439
	0.01417191	0.365616	1,10858	0.0155	0.01889588	19.7459
		1.8549	1,1	0.0172	0.01889588	9.39653
		3.709790	0,642	0.0181	0.01889588	4.30253
	0.0472397	3.70979	1,1	0.0519	0.08503146	48.3913
		7.41959	1,0325	0.0534	0.08503146	45.6998
		14.8392	0,722	0.058	0.08503146	37.7979
0.0171859	0.02291453	1.8549	1,02	0.0272	0.01145726	81.4478
	0.02864317	1.8549	1,1	0.033	0.02291454	36.0746
		7.41959	0,673	0.0378	0.02291454	49.0343
	0.0515577	3.70979	1,10914	0.0559	0.0687436	20.6085
		7.41959	1,036	0.0589	0.0687436	15.4236
		14.8392	0,726	0.0651	0.0687436	5.44456
	0.171859	29.6783	1,0455	0.188	0.3093462	48.7975
		59.3567	0,687	0.210	0.3093462	38.2582
0.0409838	0.0204919	0.365616	0,978	0.0281	0	100
		1.8549	0,68	0.0287	0	100
	0.05464507	3.70979	1,0883	0.0618	0.02732254	77.3709
		7.41959	0,994	0.0645	0.02732254	80.9768
		14.8392	0,656	0.0706	0.02732254	88.3912
	0.06830633	3.70979	0,982	0.0336	0.05464506	47.6969
		7.41959	1,068	0.0772	0.05464506	34.2143
		14.8392	0,833	0.0832	0.05464506	41.4305
	0.1229514	14.8392	1,0794	0.136	0.1639352	18.6275
		29.6783	0,855	0.147	0.1639352	10.8931

	0.409838	59.3567	1,0737	0.437	0.7377084	51.1971
0.0780596	0.0390298	0.365616	0,99	0.0496	0	100
		1.8549	1,02	0.051	0	100
	0.10407947	7.41959	1,09542	0.115	0.05203974	75.3836
		14.8392	1,0164	0.120	0.05203974	79.0053
		29.6783	0,672	0.128	0.05203974	84.3817
	0.13009933	14.8392	1,0673	0.145	0.10407946	32.8574
		29.6783	0,826	0.164	0.10407946	44.7036
	0.2341788	29.6783	1,0791	0.254	0.3122384	20.5703
		59.3567	0,843	0.280	0.3122384	10.887
0.130081	0.0650405	0.365616	1,1	0.082	0	100
		1.8549	1,1	0.0818	0	100
		3.70979	1,0407	0.0836	0	100
		7.41959	0,806	0.0869	0	100
	0.17344133	14.8392	1,09029	0.192	0.08672066	75.5447
		29.6783	0,956	0.200	0.08672066	79.0172
	0.21680167	29.6783	1,041	0.241	0.17344134	32.6023
		59.3567	0,734	0.266	0.17344134	42.1256
	0.390243	59.3567	1,0421	0.433	0.520324	18.3199
0.198535	0.0992675	0.365616	1	0.121	0	100
		1.8549	1,1	0.121	0	100
		3.70979	1,0836	0.122	0	100
		7.41959	1,0098	0.125	0	100
		14.8392	0,681	0.133	0	100
	0.26471333	29.6783	1,0707	0.294	0.13235666	75.8254
		59.3567	0,822	0.322	0.13235666	83.4777
	0.33089167	29.6783	1,09113	0.357	0.26471334	29.6878
		59.3567	0,98	0.375	0.26471334	34.48
	0.595605	59.3567	1,09308	0.641	0.79414	21.3415

Πίνακας 4.5 : Αποτελέσματα μετρήσεων παλμού τάσης

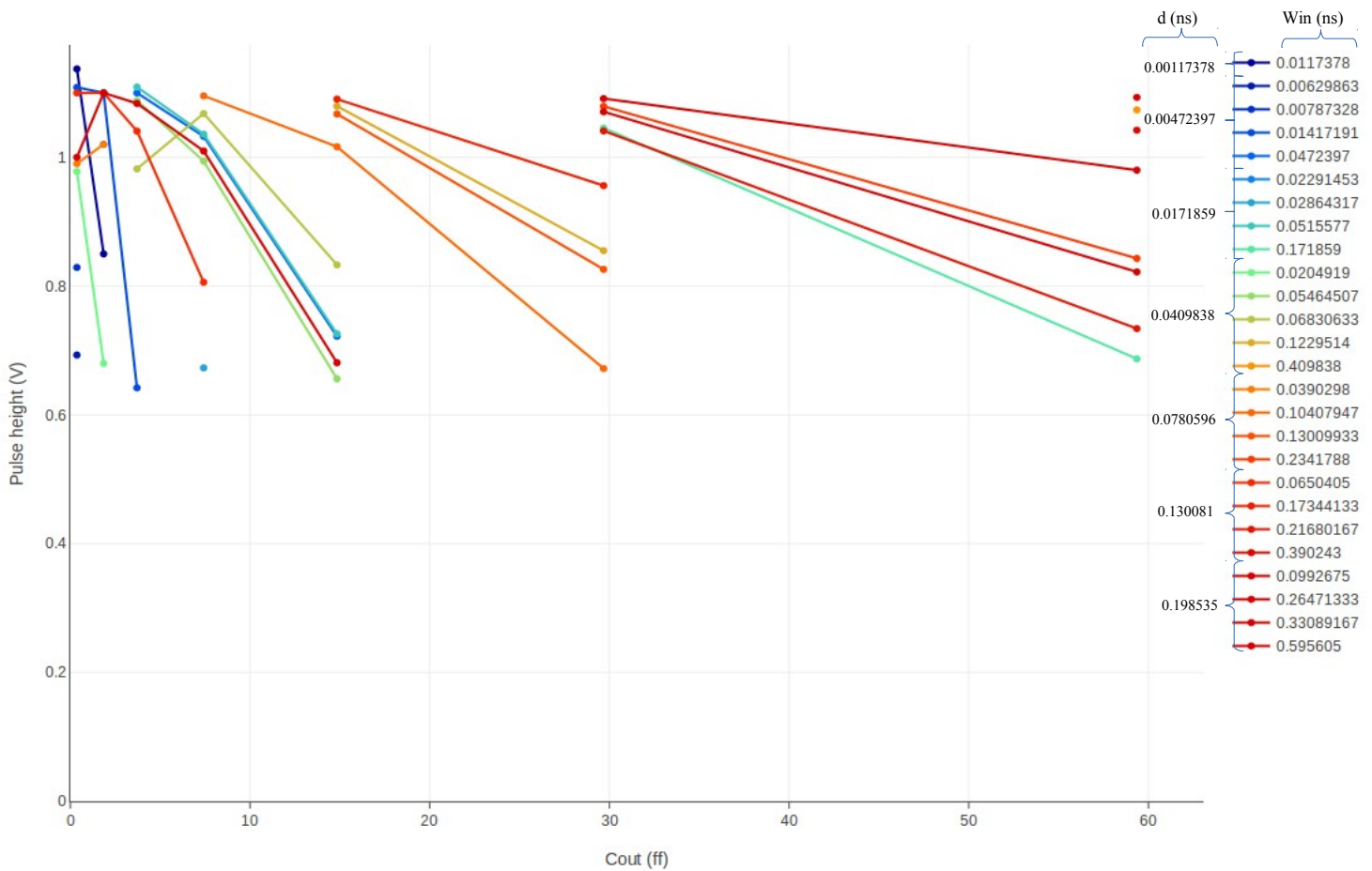
Στο διάγραμμα 4.17, μπορούμε να δούμε τις τιμές του πλάτους του παλμού εξόδου της πύλης, για όλες τις περιπτώσεις glitch που αναγράφονται στον πίνακα.



Εικόνα 4.17: Πλάτος παλμού εξόδου της πύλης σε glitch

Βλέπουμε ότι όσο αυξάνεται η χωρητικότητα εξόδου, αυξάνεται και το πλάτος του παλμού εξόδου. Άρα ερχόμαστε στο συμπέρασμα ότι στο τύπο υπολογισμού του παλμού πρέπει να εισαχθεί και μια επιπλέον παράμετρος, αυτή της χωρητικότητας.

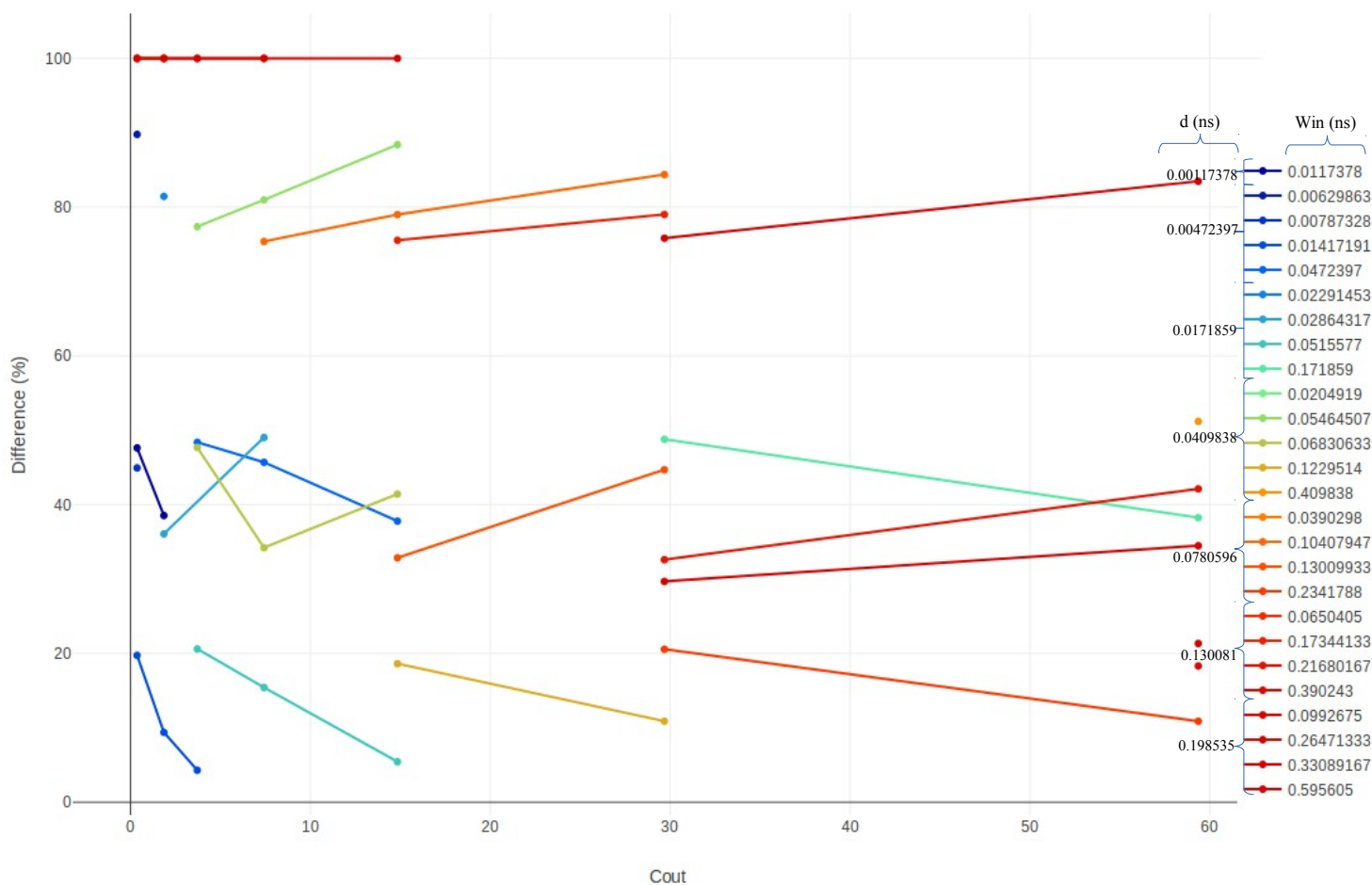
Ας δούμε όμως μέσα από το διάγραμμα 4.18 και τις τιμές που παίρνει το ύψος του παλμού εξόδου της πύλης, για όλες τις περιπτώσεις glitch που αναγράφονται στον πίνακα 4.5.



Εικόνα 4.18: Ύψος παλμού εξόδου της πύλης σε glitch

Σε αυτό το διάγραμμα βλέπουμε ότι όσο αυξάνεται η χωρητικότητα εξόδου, μειώνεται το ύψος του παλμού εξόδου. Οπότε αυτές οι δύο τιμές είναι αντιστρόφως ανάλογες.

Επειδή στον υπάρχων τύπο όμως δεν υπήρχε σαν παράμετρος η χωρητικότητα εξόδου παρατηρούμε κάποιες διαφορές στις τιμές του πλάτους του παλμού εξόδου από τον τύπο στις πειραματικές μετρήσεις. Στο διάγραμμα 4.19 φαίνεται αυτή η διαφορά, για όλες τις περιπτώσεις glitch που αναγράφονται στον πίνακα 4.5.



Εικόνα 4.19: Διαφορά % του παλμού εξόδου της πύλης σε glitch

Είναι εμφανές από το παραπάνω διάγραμμα, ότι υπάρχει αρκετά μεγάλο σφάλμα στην τιμή του πλάτους που προκύπτει από τον υπάρχων τύπο με αυτή που πραγματικά βλέπουμε μετά τις πειραματικές μετρήσεις.

Αυτό το σφάλμα, βλέπουμε ότι, εκτός από την συσχέτιση του με το d και το Win, που ήδη λαμβάνονται υπόψιν στον τύπο, συνήθως αυξάνεται αναλογικά και με την χωρητικότητα Cout, που δεν λαμβάνεται υπόψιν στον τύπο.

## 4.2 Μετρήσεις πλάτους παλμού ρεύματος εξόδου μη ολοκληρωμένων μεταβάσεων.

Εκτός από την συμπεριφορά της τάσης, έχει ενδιαφέρον να δούμε πως μεταβάλλεται και ο παλμός ρεύματος που μετρήθηκε στις ίδιες περιπτώσεις glitch, που μελετήθηκαν στο κεφάλαιο 4.1. Τα αποτελέσματα των μετρήσεων φαίνονται στον πίνακα 4.6.

**Αποτελέσματα μετρήσεων παλμού ρεύματος**

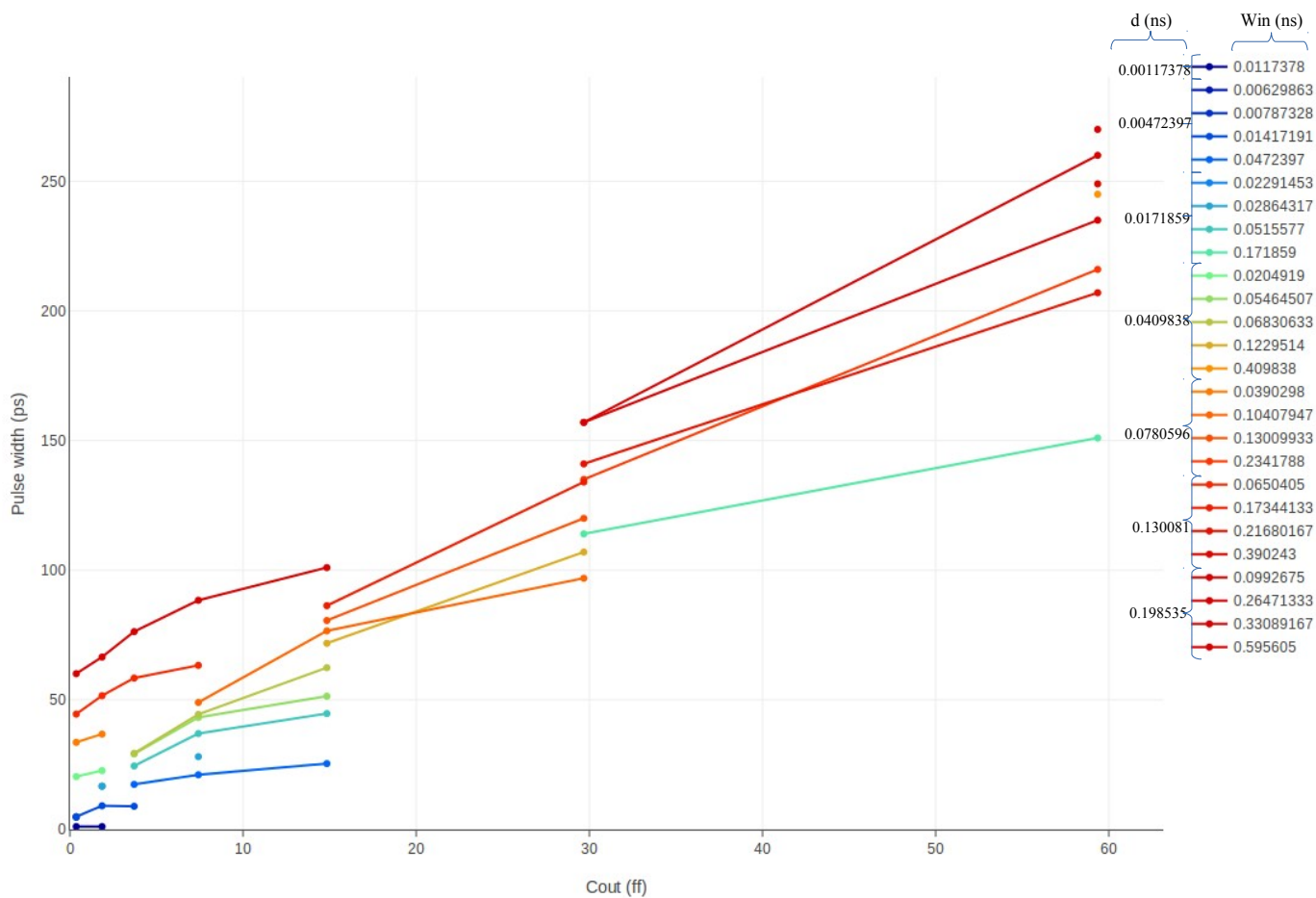
Καθυστέρηση διάδοσης d (ns)	Απόσταση παλμών Win (ns)	Χωρητικότητα εξόδου Cout	Ύψος παλμού (μΑ)	Πλάτος παλμού (ps)
0.00117378	0.0117378	0.365616	-743	1.13
		1.8549	-763	1.14
0.00472397	0.00629863	0.365616	-301	4.79
	0.00787328	0.365616	-300	4.87
	0.01417191	0.365616	-346	4.91
		1.8549	-331	9.15
		3.709790	-312	8.95
	0.0472397	3.70979	-347	17.4
		7.41959	-359	21.1
		14.8392	-344	25.4
0.0171859	0.02291453	1.8549	-236	16.7
	0.02864317	1.8549	-237	16.7
		7.41959	-221	28.1
	0.0515577	3.70979	-254	24.5
		7.41959	-260	37
		14.8392	-240	44.7
	0.171859	29.6783	-278	114
		59.3567	-241	151
0.0409838	0.0204919	0.365616	-123	20.4
		1.8549	-125	22.7
	0.05464507	3.70979	-207	29.1
		7.41959	-224	43.2
		14.8392	-208	51.4
	0.06830633	3.70979	-208	29.4
		7.41959	-231	44.4

		14.8392	-227	62.4
	0.1229514	14.8392	-245	71.8
		29.6783	-237	107
	0.409838	59.3567	-263	245
0.0780596	0.0390298	0.365616	-82.1	33.6
		1.8549	-122	36.8
	0.10407947	7.41959	-200	49
		14.8392	-219	76.6
		29.6783	-203	96.9
	0.13009933	14.8392	-225	80.6
		29.6783	-224	120
	0.2341788	29.6783	-243	135
		59.3567	-231	216
0.130081	0.0650405	0.365616	-69.4	44.5
		1.8549	-93.1	51.6
		3.70979	-111	58.4
		7.41959	-129	63.3
	0.17344133	14.8392	-204	86.3
		29.6783	-222	134
	0.21680167	29.6783	-227	141
		59.3567	-214	207
	0.390243	59.3567	-242	249
0.198535	0.0992675	0.365616	-59.2	60.1
		1.8549	-74.8	66.5
		3.70979	-93.1	76.3
		7.41959	-124	88.4
		14.8392	-122	101
	0.26471333	29.6783	-214	157
		59.3567	-215	235
	0.33089167	29.6783	-216	157
		59.3567	-229	260
	0.595605	59.3567	-234	270

Πίνακας 4.6 : Αποτελέσματα μετρήσεων παλμού ρεύματος

Στο παρακάτω διάγραμμα 4.20, μπορούμε να δούμε τις τιμές του πλάτους του παλμού εξόδου του ρεύματος της πύλης, για όλες τις περιπτώσεις glitch που αναγράφονται στον πίνακα 4.6.

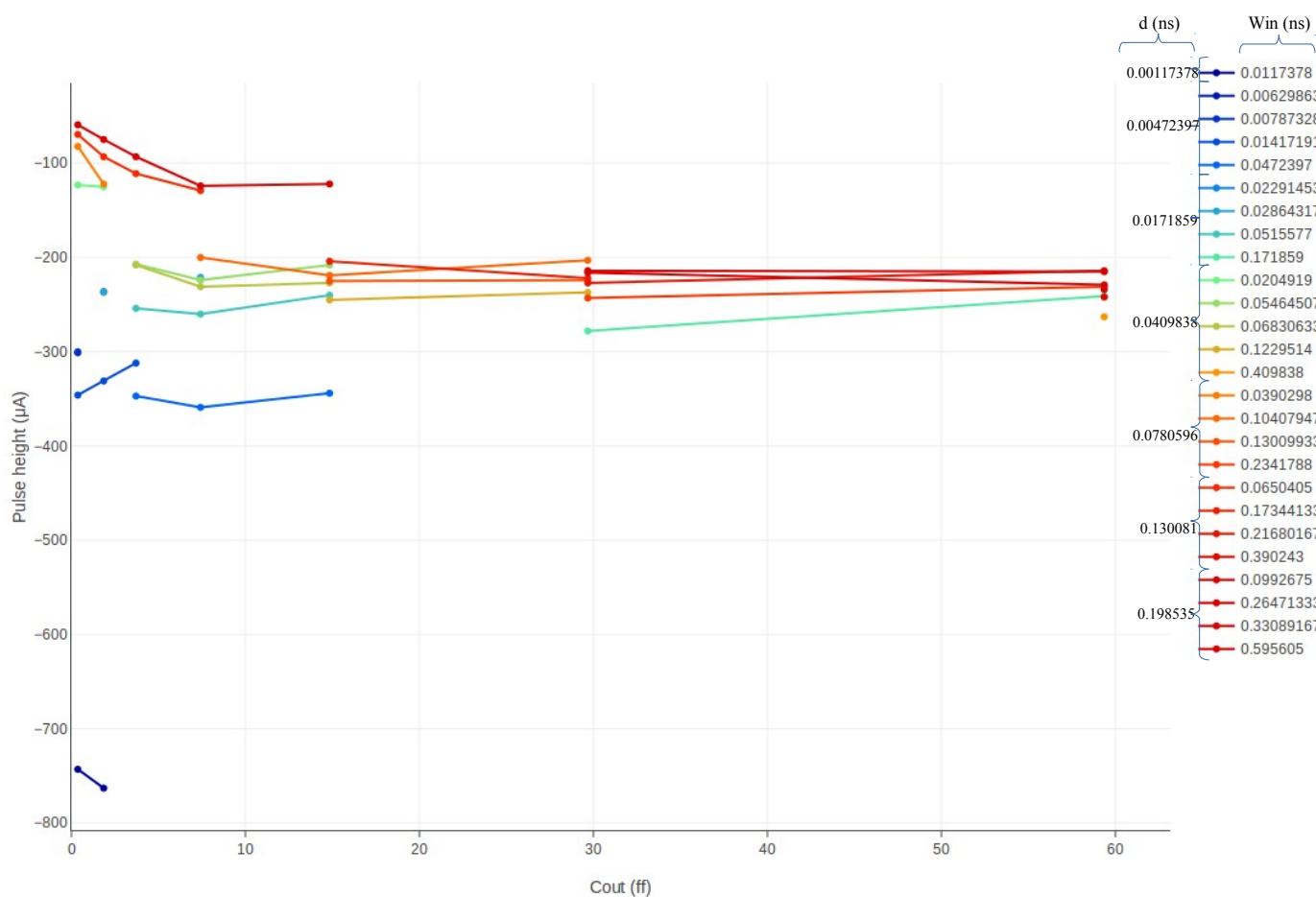




Εικόνα 4.20: Πλάτος παλμού εξόδου ρεύματος της πύλης σε glitch

Από το διάγραμμα φαίνεται ότι το πλάτος του παλμού ρεύματος αυξάνεται όσο αυξάνεται η χωρητικότητα εξόδου.

Ας δούμε όμως στο διάγραμμα 4.21 και το ύψος του παλμού εξόδου του ρεύματος της πύλης, για όλες τις περιπτώσεις glitch που αναγράφονται στον πίνακα 4.6.



Εικόνα 4.21: Ύψος παλμού εξόδου ρεύματος της πύλης σε glitch

Όσον αφορά το ύψος του παλμού ρεύματος, δεν βλέπουμε μεγάλες διαφορές όταν αλλάζει η χωρητικότητα.

## Κεφάλαιο 5

### Επίλογος

Μέσα από την παρούσα μεταπτυχιακή εργασία μελετήθηκε σε μεγαλύτερο βάθος η συμπεριφορά της τάσης σε μη-ολοκληρωμένες μεταβάσεις, στην καινούρια μεθοδολογία προσομοίωσης ψηφιακών κυκλωμάτων με χρήση προχααρακτηρισμένων μεταβάσεων. Σκοπός είναι η προσέγγιση της με μεγαλύτερη ακρίβεια.

Από όλα τα αποτελέσματα που παρατέθηκαν στο κεφάλαιο 4., εξάχθηκαν κάποια μοτίβα συμπεριφοράς και προέκυψε ότι για να έχουμε μεγαλύτερη ακρίβεια στην μέτρηση του πλάτους του παλμού τάσης, πρέπει να συμπεριληφθούν και άλλοι παράμετροι στην υπάρχουσα φόρμουλα υπολογισμού. Μία τέτοια παράμετρος θα μπορούσε να είναι η χωρητικότητα εξόδου, αφού είδαμε ότι επηρεάζει αρκετά την τιμή τόσο του πλάτους όσο και του ύψους του παλμού εξόδου της τάσης σε περιπτώσεις glitch.

#### 5.1 Μελλοντικές προεκτάσεις

Προεκτάσεις στην παρούσα εργασία θα μπορούσαν να είναι:

- Πραγματοποίηση πειραματικών μετρήσεων σε διαφορετικές πύλες, για μεγαλύτερη ακρίβεια αποτελεσμάτων.
- Βελτιστοποίηση της φόρμουλας υπολογισμού του πλάτους του παλμού τάσης, λαμβάνοντας υπόψιν περισσότερες παραμέτρους. Αυτές οι παράμετροι μπορούν να εξαχθούν από τα μοτίβα που προέκυψαν από τις μετρήσεις της παρούσας εργασίας.

# Βιβλιογραφία

- [1] Μπουντάς Δημήτριος. Εργαλεία CAD για Υπολογισμό Ισχύος και Αξιοπιστίας Κυκλωμάτων VLSI, 2009
- [2] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-power CMOS digital design," IEEE Journal of Solid-State Circuits, vol. 27, no. 4, pp. 473-484, April 1992.
- [3] S. Chowdhury and J. S. Barkatullah, "Estimation of maximum currents in MOS IC logic circuits," IEEE Transactions on Computer-Aided Design, vol. 9, no. 6, pp. 642- 654, June 1990.
- [4] S. Devadas, K. Keutzer, and J. White, "Estimation of power dissipation in CMOS combinational circuits using Boolean function manipulation," IEEE Transactions on Computer-Aided Design, vol. 11, no. 3, pp. 373-383, March 1992.
- [5] H. Kriplani, F. N. Najm, and I. Hajj, "Pattern independent maximum current estimation in power and ground buses of CMOS VLSI circuits: algorithms, signal correlations, and their resolution," IEEE Transactions on Computer-Aided Design, vol. 14, no. 8, pp. 998-1012, August 1995.
- [6] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," IEEE Journal of Solid-State Circuits, vol. SC-19, no. 4, pp. 468-473, Aug. 1984.
- [7] Amelia Shen , Abhijit Ghosh , Srinivas Devadas , Kurt Keutzer, "On average power dissipation and random pattern testability of CMOS combinational logic networks," Proceedings of the 1992 IEEE/ACM international conference on Computer-aided design, p.402-407, November 1992, Santa Clara, California, United States
- [8] K. P. Parker and E. J. McCluskey, "Probabilistic treatment of general combinational networks," IEEE Transactions on Computers, vol. C-24, pp. 668-670, June 1975.
- [9] S. M. Kang, "Accurate simulation of power dissipation in VLSI circuits," IEEE Journal of Solid-State Circuits, vol. SC-21, no. 5, pp. 889-891, Oct. 1986.
- [10] G.Y. Yacoub and W. H. Ku, "An accurate simulation technique for short-circuit power dissipation based on current component isolation," IEEE International Symposium on Circuits and Systems, pp. 1157-1161, 1989.
- [11] A-C. Deng, Y-C. Shiau, and K-H. Loh, "Time domain current waveform simulation of CMOS circuits," IEEE International Conference on Computer-Aided Design, pp. 208- 211, Nov. 1988.
- [12] R. Tjarnstrom, "Power dissipation estimate by switch level simulation," IEEE International Symposium on Circuits and Systems, pp. 881-884, May 1989.
- [13] U. Jagau, "SIMCURRENT - an efficient program for the estimation of the current flow of complex CMOS circuits," IEEE International Conference on Computer-Aided Design, pp. 396-399, Nov. 1990.

- [14] Thomas H. Krodel, "PowerPlay-Fast Dynamic Power Estimation Based on Logic Simulation," Proceedings of the 1991 IEEE International Conference on Computer Design on VLSI in Computer & Processors, p.96-100, October 14-16, 1991
- [15] F. Dresig, Ph. Lanches, O. Rettig, and U. G. Baitinger, "Simulation and reduction of CMOS power dissipation at logic level," European Design Automation Conference, pp. 341-346, 1993.
- [16] José Monteiro , Srinivas Devadas, "Techniques for the power estimation of sequential logic circuits under user-specified input sequences and programs," Proceedings of the 1995 international symposium on Low power design, p.33-38, April 23-26, 1995, Dana Point, California, United States
- [17] F. Najm, R. Burch, P. Yang, and I. Hajj, "Probabilistic simulation for reliability analysis of CMOS VLSI circuits," IEEE Transactions on Computer-Aided Design, vol. 9, no. 4, pp. 439-450, April 1990 (Errata in July 1990).
- [18] Georgios I. Stamoulis , Ibrahim N. Hajj," Improved techniques for probabilistic simulation including signal correlation effects," Proceedings of the 30th international conference on Design automation, p.379-383, June 14-18, 1993, Dallas, Texas, United States
- [19] Chi-Ying Tsui , Massoud Pedram , Alvin M. Despain," Efficient estimation of dynamic power consumption under a real delay model," Proceedings of the 1993 IEEE/ACM international conference on Computer-aided design, p.224-228, November 07-11, 1993, Santa Clara, California, United States
- [20] Farid N. Najm , Shashank Goel , Ibrahim N. Hajj," Power estimation in sequential circuits," Proceedings of the 32nd ACM/IEEE conference on Design automation, p.635-640, June 12-16, 1995, San Francisco, California, United States
- [21] A. Ghosh , S. Devadas , K. Keutzer , J. White," Estimation of average switching activity in combinational and sequential circuits," Proceedings of the 29th ACM/IEEE conference on Design automation, p.253-259, June 08-12, 1992, Anaheim, California, United States
- [22] C. M. Huizer, "Power dissipation analysis of CMOS VLSI circuits by means of switch-level simulation," IEEE European Solid State Circuits Conference, pp. 61-64, 1990.
- [23] R. Burch, F. Najm, P. Yang, and T. Trick, "A Monte Carlo approach for power estimation," IEEE Transactions on VLSI Systems, vol. 1, no. 1, pp. 63-71, March 1993.
- [24] Jiing-Yuan Lin , Tai-Chien Liu , Wen-Zen Shen," A cell-based power estimation in CMOS combinational circuits," Proceedings of the 1994 IEEE/ACM international conference on Computer-aided design, p.304-309, November 06-10, 1994, San Jose, California, United States
- [25] Michael G. Xakellis , Farid N. Najm, "Statistical estimation of the switching activity in digital circuits," Proceedings of the 31st annual conference on Design automation, p.728-733, June 06-10, 1994, San Diego, California, United States
- [26] A. Papoulis, "Probability, Random Variables, and Stochastic Processes," 2nd Edition. New York, NY: McGraw-Hill Book Co., 1984.
- [27] Radu Marculescu , Diana Marculescu , Massoud Pedram, "Efficient power estimation for highly correlated input streams," Proceedings of the 32nd ACM/IEEE conference on Design automation, p.628-634, June 12-16, 1995, San Francisco, California, United States
- [28] M. Favalli, L. Benini." Analysis of glitch power dissipation in CMOS Ics", international symposium on Low power design 1995

[29] D. Rabe, W. Nebel, "New approach in gate-level glitch modelling", EURO-DAC '96/EURO-VHDL '96