

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ  
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ  
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ  
ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

«Τοποθέτηση και δρομολόγηση πυλών  
ψηφιακών κυκλωμάτων βάσει της θερμικής  
τους συμπεριφοράς»

---

«Placement and routing of digital circuits based  
on their thermal behavior»

Διπλωματική Εργασία

**Νικολοπούλου Ανυσία**

Επιβλέποντες Καθηγητές:

Σταμούλης Γεώργιος

Ευμορφόπουλος Νέστορας

Βόλος, 2014

Διπλωματική εργασία για την απόκτηση του διπλώματος του Μηχανικού Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων του Πανεπιστημίου Θεσσαλίας, στα πλαίσια του προγράμματος προπτυχιακών σπουδών του τμήματος Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών της Πολυτεχνικής Σχολής του Πανεπιστημίου Θεσσαλίας

.....

Νικολοπούλου Ανυσία

Διπλωματούχος Μηχανικός Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων Πανεπιστημίου Θεσσαλίας

Copyright © Nikolopoulou Anysia, 2014

Με επιφύλαξη κάθε δικαιώματος. All rights reserved Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.



## Περιεχόμενα

Εισαγωγή .....	7
ΚΕΦΑΛΑΙΟ 1:.....	8
Εργαλεία Ηλεκτρονικής Αυτοματοποιημένης Σχεδίασης .....	8
1.1 Βασικές Έννοιες.....	8
1.2 Ιστορία του EDA.....	9
1.3 Τομείς Εφαρμογής του EDA .....	11
ΚΕΦΑΛΑΙΟ 2:.....	13
Ροή Σχεδίασης Ολοκληρωμένων Κυκλωμάτων .....	13
2.1 Ροή σχεδίασης ολοκληρωμένων κυκλωμάτων .....	13
2.1 Χωροθέτηση Ολοκληρωμένων Κυκλωμάτων.....	16
2.2.1 Ροή σχεδίασης ολοκληρωμένων κυκλωμάτων.....	16
2.2.2 Η σημασία της Χωροθέτησης.....	20
2.2.3 Οι υποκατηγορίες της Χωροθέτησης .....	21
2.2.4 Παράγοντες που επηρεάζονται από την Χωροθέτηση .....	22
2.3 Χωροθέτηση Ολοκληρωμένων Κυκλωμάτων βάσει Θερμικών Παραμέτρων..	25
2.3.1 Ανάγκη Χαμηλής Κατανάλωσης Ισχύος.....	27
2.3.2 Σχεδίαση χαμηλής κατανάλωσης Ισχύος.....	28
ΚΕΦΑΛΑΙΟ 3.....	32
Υλοποίηση .....	32
3.1 Εισαγωγή .....	32
3.2 Θερμικό προφίλ.....	33
3.2.1 Κατανάλωση ισχύος .....	35
3.2.2 Μια διαφορετική προσέγγιση του προβλήματος.....	37
3.3 Προτεινόμενος αλγόριθμος.....	38
3.4 Πειραματικά Αποτελέσματα.....	40
3.4.1 Benchmarks Circuits .....	40
3.5 Συμπεράσματα.....	52

ΚΕΦΑΛΑΙΟ 4.....	54
Μελλοντικές επεκτάσεις.....	54
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	56

## Πίνακας εικόνων

1.1	Εταιρείες που κατασκευάζουν εργαλεία EDA.....	10
1.2	Synopsis EDA tools .....	11
1.3	EDA tools for FinFET .....	12
2.1	EDA tools improve Low Power Design .....	14
2.2	Front-end Flow .....	17
2.3	Physical Design Flow.....	20
2.4	Gate Array Model .....	23
2.5	Sea of gates Model .....	24
2.6	Standard Cell Model .....	24
2.7	Mixed Cell Model.....	24
2.8	General Cell Model.....	25
2.9	Moore's Law/Transistor Count.....	26
2.10	The temperature profile of an industrial chip .....	27
2.11	Τεχνικές Low-Power Σχεδίασης.....	30
2.12	Κέρδη-Κόστη Τεχνικών Low-Power Σχεδίασης .....	31
3.1	Converged power and temperature maps on a chip .....	33
3.2	Heat conduction for the wafer .....	34
3.3	Compact Thermal Model.....	37
3.4	Proposed algorithm .....	39
3.5	Πίνακας κυκλωμάτων.....	41
3.6	ΣΤΙΓΜΙΟΤΥΠΟ τρεξίματος 1 .....	42
3.7	στιγμιότυπο τρεξίματος 2 .....	43
3.8	στιγμιότυπο τρεξίματος 3 .....	44
3.9	στιγμιότυπο τρεξίματος 4 .....	45
3.10	στιγμιότυπο τρεξίματος 5 .....	46
3.11	στιγμιότυπο τρεξίματος 6 .....	47
3.13	Γραφική παράσταση 1 <sup>ου</sup> Στιγμιότυπου.....	49
3.14	Γραφική παράσταση 2 <sup>ου</sup> Στιγμιότυπου .....	49
3.15	Γραφική παράσταση 3 <sup>ου</sup> Στιγμιότυπου .....	50
3.16	Γραφική παράσταση 4 <sup>ου</sup> Στιγμιότυπου .....	50
3.17	Γραφική παράσταση 5 <sup>ου</sup> Στιγμιότυπου .....	51
3.18	Γραφική παράσταση 6 <sup>ου</sup> Στιγμιότυπου .....	51
3.19	Γραφική παράσταση 7 <sup>ου</sup> Στιγμιότυπου .....	52

# Ευχαριστίες

Αρχικά, θα ήθελα να ευχαριστήσω τους επιβλέποντες της διπλωματικής εργασίας κ. Γεώργιο Σταμούλη και κ. Νέστορα Ευμορφόπουλο για την εμπιστοσύνη που έδειξαν στο πρόσωπό μου, την άριστη συνεργασία και τη συνεχή καθοδήγηση.

Ιδιαίτερα θα ήθελα να ευχαριστήσω τον διδάκτορα του τμήματος Αντώνιο Δαδαλιάρη, που μου εμπιστεύτηκε το υλικό της διατριβής του και μου έδωσε την ευκαιρία να συμβάλλω στην ερευνητική του μελέτη. Χωρίς την πολύτιμη βοήθεια του, η περάτωση της παρούσας εργασίας θα ήταν σχεδόν αδύνατη.

Επίσης, πολλά ευχαριστώ θα ήθελα να δώσω και στους συνεργάτες του Εργαστηρίου Ε5 για την υποστήριξή τους και τις παρεμβάσεις τους.

Τέλος, οφείλω ένα μεγάλο ευχαριστώ στην οικογένειά μου και τους φίλους μου για την αμέριστη υποστήριξη και την ανεκτίμητη βοήθεια που μου παρείχαν τόσο κατά τη διάρκεια των σπουδών, όσο και κατά την εκπόνηση της διπλωματικής μου εργασίας.

Νικολοπούλου Ανυσία  
Βόλος, 2014

# Εισαγωγή

Οι διαστάσεις των τρανζίστορ μειώθηκαν δραματικά κατά την πάροδο των τελευταίων ετών. Το γεγονός αυτό οδήγησε στην δημιουργία μικρότερων και γρηγορότερων ολοκληρωμένων κυκλωμάτων, τα οποία όμως είναι περισσότερο ευάλωτα σε παραμετρικές μεταβολές σε σύγκριση με τα αντίστοιχα κυκλώματα προηγούμενων τεχνολογιών. Οι μεταβολές αυτές απειλούν την “ορθή” λειτουργία του κυκλώματος και αποτελούν το σημαντικότερο πρόβλημα που έχει να αντιμετωπίσει ο εκάστοτε σχεδιαστής.

Γίνεται, λοιπόν, άμεσα αντιληπτό, πως ο κλάδος της σχεδίασης ολοκληρωμένων κυκλωμάτων πρέπει να διαμορφωθεί ανάλογα. Μια από τις σημαντικότερες παραμέτρους κατά την σχεδίαση ενός κυκλώματος, είναι η πυκνότητα των θερμικών περιοχών που παρατηρείται στο προκείμενο κύκλωμα. Η καταναλισκόμενη ενέργεια μετατρέπεται σε εκλυόμενη θερμότητα, γεγονός το οποίο έχει ως αποτέλεσμα την δημιουργία περιοχών υψηλής θερμοκρασίας κατά άνισο τρόπο στην επιφάνεια του κυκλώματος, γεγονός που με την σειρά του θέτει σε κίνδυνο την απόδοση και την αξιοπιστία της σχεδίασης.

Ως εκ τούτου, είναι αναγκαίος ο επαναπροσδιορισμός του τρόπου χωροθέτησης των κυκλωματικών στοιχείων της εκάστοτε σχεδίασης.

Η παρούσα διπλωματική εργασία επικεντρώνεται στην παρουσίαση ενός αλγορίθμου χωροθέτησης κελιών, ο οποίος δρα κατά τέτοιο τρόπο ώστε να ελαχιστοποιεί την πιθανότητα εμφάνισης περιοχών με πολύ υψηλή θερμοκρασία (hot spots). Για λόγους ευκολίας στη διατύπωση του προβλήματος, οι έννοιες της θερμοκρασίας και της θερμότητας θεωρήθηκαν ταυτόσημες.



# ΚΕΦΑΛΑΙΟ 1:

## Εργαλεία Ηλεκτρονικής Αυτοματοποιημένης Σχεδίασης

Στο παρόν κεφάλαιο θα γίνει εκτενής αναφορά σε θέματα που άπτονται του τομέα της Ηλεκτρονικά Αυτοματοποιημένης Σχεδίασης (Electronic Design Automation - EDA).

### 1.1 Βασικές Έννοιες

Η σχεδίαση ολοκληρωμένων κυκλωμάτων (Integrated Circuit Design - IC Design) αποτελεί ένα υποσύνολο του γνωστικού αντικείμενου των Ηλεκτρολόγων Μηχανικών. Το αντικείμενό της είναι ο σχεδιασμός ενός κυκλώματος εκκινώντας από την λογική του περιγραφή και καταλήγοντας στο τελικό προϊόν. Στην κατηγορία των προαναφερθέντων προϊόντων ανήκουν οι μικροεπεξεργαστές (microprocessors), οι μνήμες (RAM/ROM memories) και τα ολοκληρωμένα κυκλώματα ειδικού σκοπού (Application Specific Integrated Circuits - ASICs).

Είναι σημαντικό να αναφερθεί σε αυτό το σημείο, το γεγονός πως ήδη από το 2009 ένα chip μεγάλου μεγέθους αποτελείται από περίπου ένα δισεκατομμύριο τρανζίστορ, στοιχείο που υπερτονίζει την πολυπλοκότητα των σύγχρονων ολοκληρωμένων κυκλωμάτων. Η πίεση της αγοράς για παραγωγή ολοκληρωμένων κυκλωμάτων με ταχύτερους ρυθμούς έχει οδηγήσει στην εκτεταμένη χρήση εργαλείων αυτοματοποιημένης σχεδίασης (Automated Design Tools), που επιταχύνουν κατά πολύ την διαδικασία παραγωγής ευρείας κλίμακας. Η χρησιμοποίηση των προκειμένων εργαλείων έχει γίνει πλέον απαραίτητη για

την πλειοψηφία των βημάτων που ακολουθούνται κατά τη σχεδίαση ενός ολοκληρωμένου κυκλώματος.

Με βάσει τα παραπάνω ένας πρώιμος ορισμός του EDA θα μπορούσε να είναι ο ακόλουθος: Αυτοματοποιημένη ηλεκτρονική σχεδίαση (EDA) είναι η υλοποίηση μιας κυκλωματικής σχεδίασης με παράλληλη χρήση ειδικών λογισμικών, τα οποία έχουν δημιουργηθεί κατά περίπτωση για την υποβοήθηση της συνολικής διαδικασίας.

## 1.2 Ιστορία του EDA

Πριν την ανάπτυξη και την χρήση των EDA tools, ο σχεδιασμός ολοκληρωμένων κυκλωμάτων γινόταν χειρονακτικά. Ο σχεδιασμός βασιζόταν στην γραφική απεικόνιση του κυκλώματος και πιο συγκεκριμένα στην τροποποίηση της ηλεκτρονικής περιγραφής του κυκλώματος στη γραφική αναπαράστασή του. Η σημαντικότερη εταιρία, της πρώιμης αυτής περιόδου, ήταν η Calma η οποία και δημιούργησε το format GDSII το οποίο χρησιμοποιείται μέχρι και σήμερα και αποτελεί το τελικό παραδοτέο πριν την έναρξη της διαδικασίας του manufacturing.

Η δεκαετία του '70 σηματοδοτεί την αρχή της ανάπτυξης των πρώτων εργαλείων χωροθέτησης. Οι καινοτομίες που εισήχθησαν κατά την περίοδο αυτή αποτέλεσαν τη βάση όλης της ερευνητικής δραστηριότητας του τομέα τα χρόνια που ακολούθησαν.

Τα πρώτα EDA tools εμφανίστηκαν εντός ακαδημαϊκού περιβάλλοντος. Το VLSI Tools Tarball, ένα από τα δημοφιλέστερα εργαλεία της πρώιμης αυτής εποχής, αναπτύχθηκε στο πανεπιστήμιο του Berkley και ήταν κατ' ουσία μια συλλογή εφαρμογών σε περιβάλλον UNIX για το σχεδιασμό VLSI συστημάτων. Μέχρι τις αρχές της δεκαετίας του '80, οι μεγαλύτερες εταιρίες του κλάδου ανέπτυσαν εργαλεία αυτής της κατηγορίας προς ιδίαν χρήση (in house), χωρίς να παρέχεται η δυνατότητα χρήσης ή απόκτησής τους από άλλους φορείς. Το πρόβλημα αυτό αναγνωρίστηκε από πολλούς σχεδιαστές οι οποίοι αναλογιζόμενοι το τεχνολογικό και οικονομικό ενδιαφέρον που παρουσίαζε ο

τομέας, αποφάσισαν να ασχοληθούν με την παραγωγή EDA tools σε βιομηχανική κλίμακα.

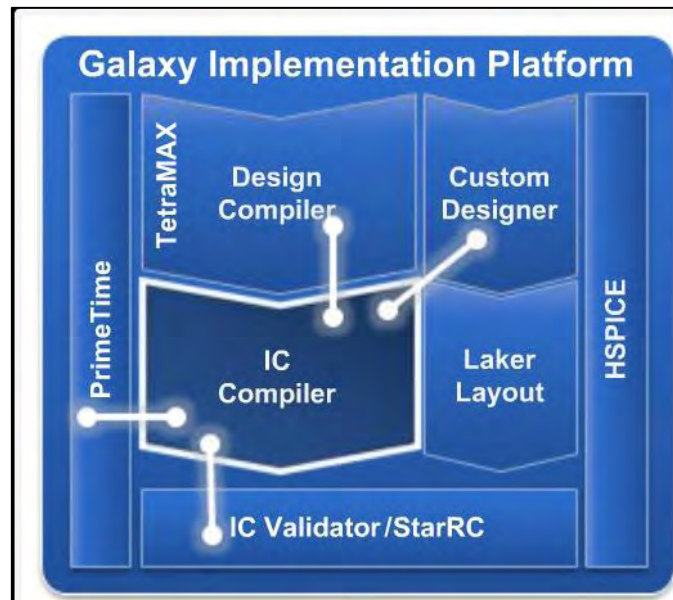


*1.1 Εταιρείες που κατασκευάζουν εργαλεία EDA*

Η αλλαγή στάσης απέναντι στο τρόπο χρήσης και διάθεσης των εργαλείων γίνεται αντιληπτή και από το γεγονός πως κατά την περίοδο αυτή ιδρύθηκαν ορισμένες από τις σημαντικότερες εταιρίες του κλάδου, όπως η Mentor Graphics και η Valid Logic Systems. Επιπρόσθετα κατά την δεκαετία του '80 έχουμε και την ανάπτυξη δύο υψηλού επιπέδου γλωσσών περιγραφής υλικού της VHDL και της Verilog, η χρήση των οποίων ως προτύπων άνοιξε το δρόμο για την δημιουργία των πρώτων εργαλείων λογικής σύνθεσης (logic synthesis).

Οι σύγχρονες ροές σχεδίασης ολοκληρωμένων κυκλωμάτων (design flows) αποτελούνται πλέον από πολλαπλά βήματα, σε κάθε ένα από τα οποία, λόγω της υψηλής δυσκολίας επίλυσης του εκάστοτε προβλήματος, γίνεται χρήση των κατάλληλων εργαλείων. Στην αρχή της διαδικασίας έχουμε κατά κανόνα την δημιουργία μιας περιγραφής του κυκλώματος, βάσει κάποιας HDL γλώσσας. Ακολούθως, ο σχεδιαστής παρέχει τις κατάλληλες τεχνολογικές βιβλιοθήκες (οι οποίες βοηθούν στην λεπτομερή και ρεαλιστική προσομοίωση της λειτουργίας

του κυκλώματος), ενώ κατά το τελευταίο στάδιο παρέχονται στον σχεδιαστή οι τελικές προδιαγραφές για τις συνθήκες λειτουργίας της σχεδίασης.



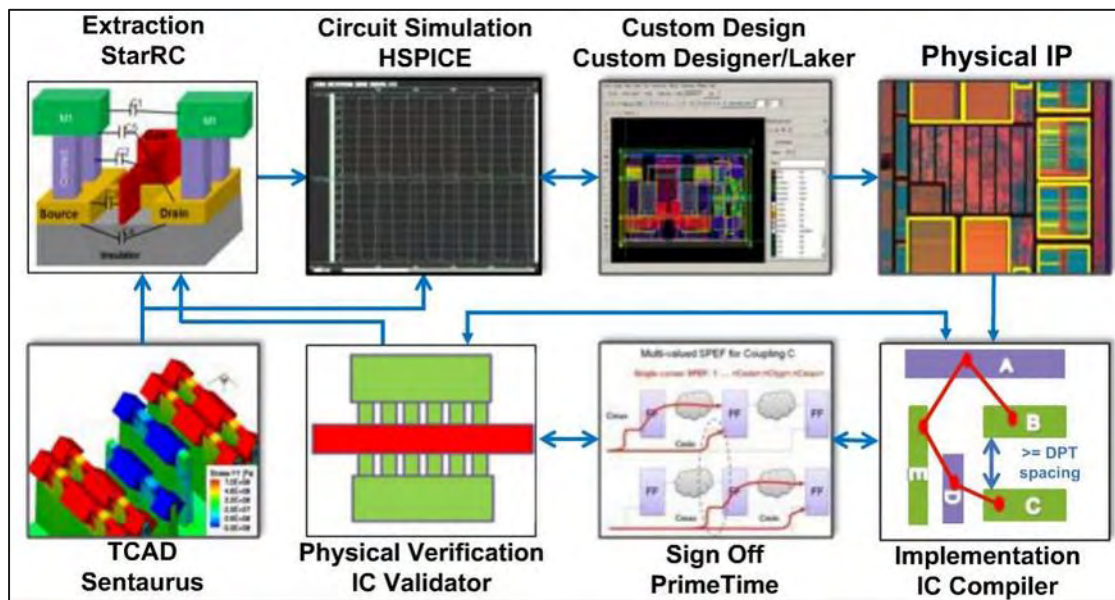
*1.2 Synopsis EDA tools*

### 1.3 Τομείς Εφαρμογής του EDA

Τα EDA tools αποτελούν την πλέον ενδεδειγμένη λύση κατά την σχεδίαση ολοκληρωμένων κυκλωμάτων και βρίσκουν εφαρμογή στους ακόλουθους τομείς:

- DESIGN
  - High Level Synthesis
  - Logic Synthesis
  - Schematic Capture
  - Layout
  
- SIMULATION
  - Logic Simulation
  - Behavioral Simulation
  - Hardware Emulation

- ANALYSIS & VERIFICATION
  - Functional Verification
  - Formal Verification
  - Equivalence Checking
  - Timing Analysis
  - Physical Verification
- MANUFACTURING
  - Mask Data Preparation



1.3 EDA tools for FinFET

# ΚΕΦΑΛΑΙΟ 2:

## Ροή Σχεδίασης Ολοκληρωμένων Κυκλωμάτων

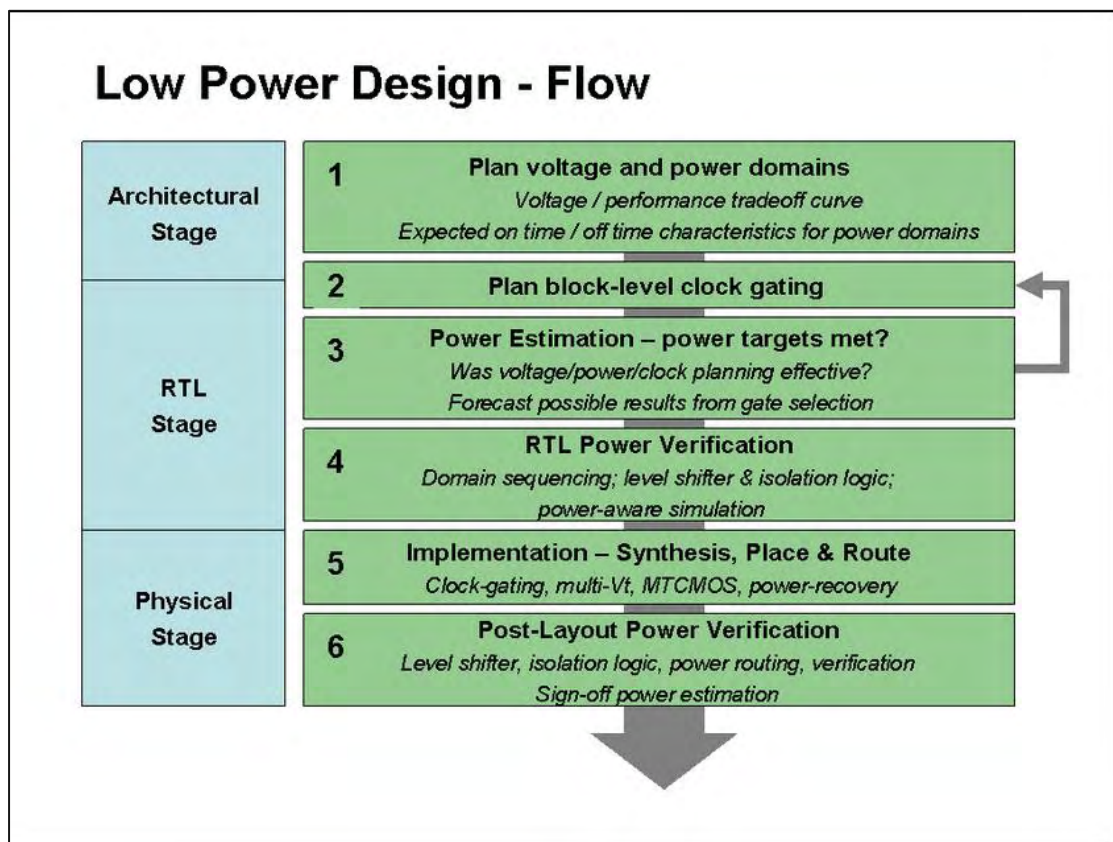
Στο κεφάλαιο αυτό θα μελετήσουμε τη ροή που ακολουθείται για τη σχεδίαση ολοκληρωμένων κυκλωμάτων.

### 2.1 Ροή σχεδίασης ολοκληρωμένων κυκλωμάτων

Η Ροή Σχεδίασης προϋποθέτει το ρητό συνδυασμό ενός πλήθους από EDAs για την ορθή ολοκλήρωση του σχεδιασμού ενός ολοκληρωμένου κυκλώματος. Μια IC σχεδίαση χονδρικά περιλαμβάνει 3 βασικά επίπεδα:

- a) **System Level Design** – ορισμός των λειτουργικών προδιαγραφών.
- b) **RTL Design** – μετατροπή προδιαγραφών χρήστη σε επίπεδο RTL. Το RTL περιγράφει την ακριβή συμπεριφορά των ψηφιακών κυκλωμάτων, καθώς και τις διασυνδέσεις εισόδων, εξόδων.
- c) **Physical Design** – συνδυασμός ενός RTL με μια βιβλιοθήκη που συμπεριλαμβάνει τις διαθέσιμες πύλες για τη σχεδίαση ενός chip. Για την

επίτευξη αυτού, πρέπει να καθοριστούν ποιες πύλες θα χρησιμοποιηθούν, σε ποιο σημείο θα τοποθετηθούν πάνω στο chip και ποια θα είναι η καλωδίωση μεταξύ τους. Σε αυτό το στάδιο, οι κυκλωματικές αναπαραστάσεις των στοιχείων (συστήματα και διασυνδέσεις) της σχεδίασης μετατρέπονται σε γεωμετρικές αναπαραστάσεις σχημάτων, που όταν κατασκευαστούν με τα κατάλληλα στρώματα από υλικά, θα εξασφαλίσουν την απαιτούμενη λειτουργία.



*2.1 EDA tools improve Low Power Design*

Θα αναφέρουμε τα βασικότερα βήματα που περιλαμβάνονται στα παραπάνω επίπεδα.<sup>1</sup>

1. *Feasibility Study*: Ανάλυση του απώτερου στόχου, εκτίμηση των προβλημάτων που είναι πιθανό να παρουσιαστούν και των πόρων που έχουμε στη διάθεσή μας.

<sup>1</sup> Δαδαλιάρης Αντώνιος, "Χωροθέτηση Ολοκληρωμένων Κυκλωμάτων με Παραμέτρους Αξιοπιστίας", ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ, Βόλος, 2012

2. *Die Size Estimation*: Εκτίμηση του χώρου που απαιτείται για την υλοποίηση του κυκλώματος.
3. *Functional Verification*: Επαλήθευση της λογικής της σχεδίασης. Η σχεδίασή μας πρέπει να πληρεί τις λειτουργικές προδιαγραφές που έχουν τεθεί.
4. *RTL Design*: Περιγραφή της λειτουργίας του κυκλώματος σε επίπεδο καταχωρητών (register-transfer level).
5. *RTL Simulation*: Προσομοίωση της λειτουργίας του κυκλώματος βάσει της περιγραφής που έχει δοθεί στο προηγούμενο βήμα.
6. *Logic Simulation*: Προσομοίωση της λειτουργίας της σχεδίασης με χρήση κατάλληλων λογισμικών.
7. *Floor Planning*: Σχηματική αναπαράσταση μιας «πρώιμης» τοπολογίας όλων των λειτουργικών τμημάτων της σχεδίασης.
8. *Layout*: Αναπαράσταση του ολοκληρωμένου κυκλώματος με μια σειρά γεωμετρικών σχημάτων τα οποία αντιστοιχούν στο σύνολο των στρωμάτων ημιαγωγού, μετάλλου και οξειδίου που απαρτίζουν τη σχεδίαση.
9. *Static Timing Analysis*: Μελέτη του χρονισμού του ολοκληρωμένου κυκλώματος, η οποία δεν απαιτεί την εκ νέου προσομοίωση της λειτουργικότητάς του.
10. *Layout Review*: Επανεξέταση του layout που έχουμε σχεδιάσει. Η προκείμενη διαδικασία μπορεί να οδηγήσει στον επανασχεδιασμό του ολοκληρωμένου, έχει τη δυνατότητα δηλαδή να λειτουργήσει αναδρομικά και να επανατροφοδοτήσει με επιπλέον πληροφορίες προηγούμενα βήματα της διαδικασίας που έχουν παρέλθει χρονικά.
11. *Design For Test*: Χρήση συγκεκριμένων τεχνικών σχεδίασης, οι οποίες προσδίδουν ιδιαίτερα χαρακτηριστικά στο κύκλωμα έτσι ώστε να γίνεται πιο εύκολη η διαδικασία ελέγχου της ορθότητάς του.
12. *Automatic Test Pattern Generation*: Εύρεση της κατάλληλης αλληλουχίας εισόδων, η οποία όταν εφαρμοσθεί βοηθάει στον εντοπισμό τυχόν λαθών που μπορεί να υπάρχουν στη συμπεριφορά του κυκλώματος.
13. *Design For Manufacturability*: Εφαρμογή μιας σειράς τεχνικών οι οποίες τροποποιούν κατάλληλα το κύκλωμα έτσι ώστε η υλοποίηση του σε βιομηχανικό περιβάλλον να καθίσταται ευκολότερη.



14. *Mask Data Preparation*: Το βήμα αυτό κατά το οποίο η layout περιγραφή του κυκλώματος «μεταφράζεται» σε κάποια καταλληλότερη μορφή η οποία μπορεί να χρησιμοποιηθεί από έναν photomask writer.
15. *Wafer Fabrication*: Η διαδικασία κατά την οποία δημιουργείται το ολοκληρωμένο κύκλωμα, αποκτώντας τη μορφή που γνωρίζουμε μελετώντας μια οποιαδήποτε ηλεκτρονική συσκευή.
16. *Packaging*: Το τελευταίο, πρακτικά, στάδιο της κατασκευής. Το κύκλωμα «συσκευάζεται» σε κάποιο κεραμικό ή πλαστικό υλικό προκειμένου να αποφευχθεί η φθορά του, αλλά και να διευκολυνθεί η ηλεκτρική σύνδεσή του και η ενσωμάτωσή του σε ένα ολοκληρωμένο σύστημα.
17. *Device Characterization*: Η διαδικασία κατά την οποία μέσω μιας σειράς μετρήσεων, με τη βοήθεια των κατάλληλων οργάνων, συγκεντρώνουμε και παρουσιάζουμε τα ιδιαίτερα χαρακτηριστικά της τελικής υλοποίησης, βάσει ευρέως αποδεκτών μετρικών.
18. *Yield Analysis*: Συλλογή και ανάλυση των κατάλληλων δεδομένων που απαιτούνται για τον εντοπισμό και τη διόρθωση αστοχιών που προκύπτουν κατά τη λειτουργία του ολοκληρωμένου.

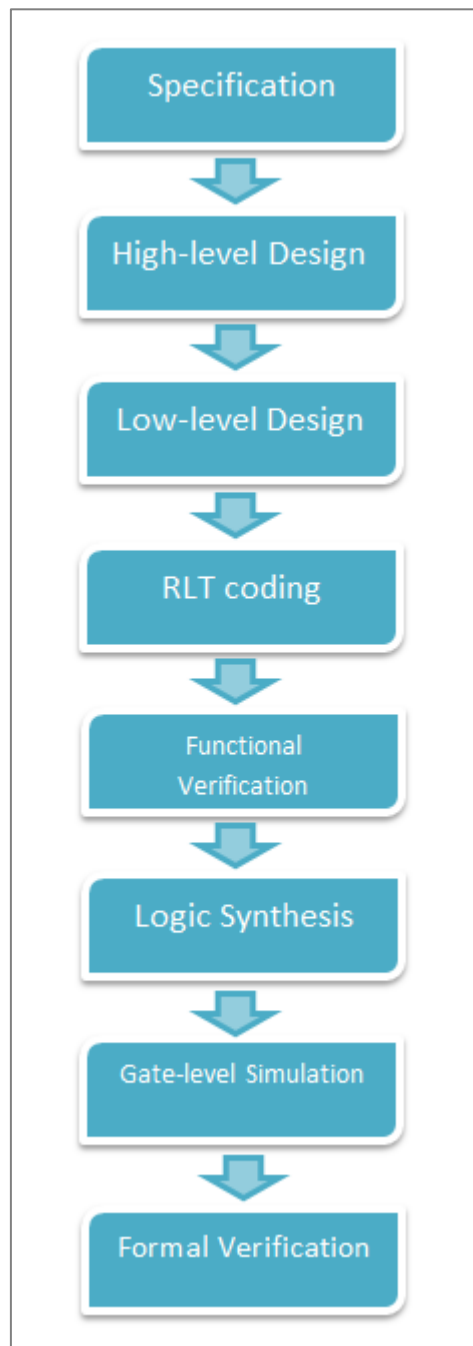
## 2.1 Χωροθέτηση Ολοκληρωμένων Κυκλωμάτων

### 2.2.1 Ροή σχεδίασης ολοκληρωμένων κυκλωμάτων

Η σύγχρονη σχεδίαση ενός ολοκληρωμένου κυκλώματος χωρίζεται σε δύο ροές:

- **Front-end Flow**: η διαδικασία μετατροπής του netlist σε λογικές πύλες.
- **Back-end Flow**: ή πιο γνωστή ως Φυσική Σχεδίαση (Physical Design). Οι κυκλωματικές αναπαραστάσεις των στοιχείων της σχεδίασης μετατρέπονται σε γεωμετρικές αναπαραστάσεις σχημάτων, που όταν κατασκευαστούν με τα κατάλληλα στρώματα από υλικά, θα εξασφαλίσουν την απαιτούμενη λειτουργία.

Τα στάδια που αποτελούν τη Front-end ροή είναι:



*2.2 Front-end Flow*

- Specification: ανάλυση στόχου, πόρων και τυχόν προβλημάτων που μπορεί να παρουσιαστούν.
- High-level Design: υψηλού επιπέδου περιγραφή της επικοινωνίας των μονάδων του κυκλώματος.

- Low-level Design: περιγραφή κάθε μονάδας του κυκλώματος ξεχωριστά.
- RTL coding: περιγραφή του σταδίου Low-level Design σε κάποια γλώσσα HDL (Hardware Description Language).
- Functional Verification: επαληθεύεται η αναμενόμενη λειτουργία της σχεδίασης.
- Logic Synthesis: η περιγραφή του κυκλώματος, σε επίπεδο καταχωρητών, η τεχνολογία που θέλουμε να χρησιμοποιήσουμε και οι περιορισμοί που θέλουμε να έχουμε περνάνε ως είσοδο σε κάποιο εργαλείο σύνθεσης και στην έξοδο έχουμε τη σχεδίαση σε επίπεδο πυλών.
- Gate-level Simulation: ελέγχεται η ορθή λειτουργία της υπό έλεγχο σχεδίασης.
- Formal verification: ελέγχεται αν η μετατροπή της σχεδίασης από το επίπεδο καταχωρητών σε επίπεδο λογικών πυλών είναι σωστή.

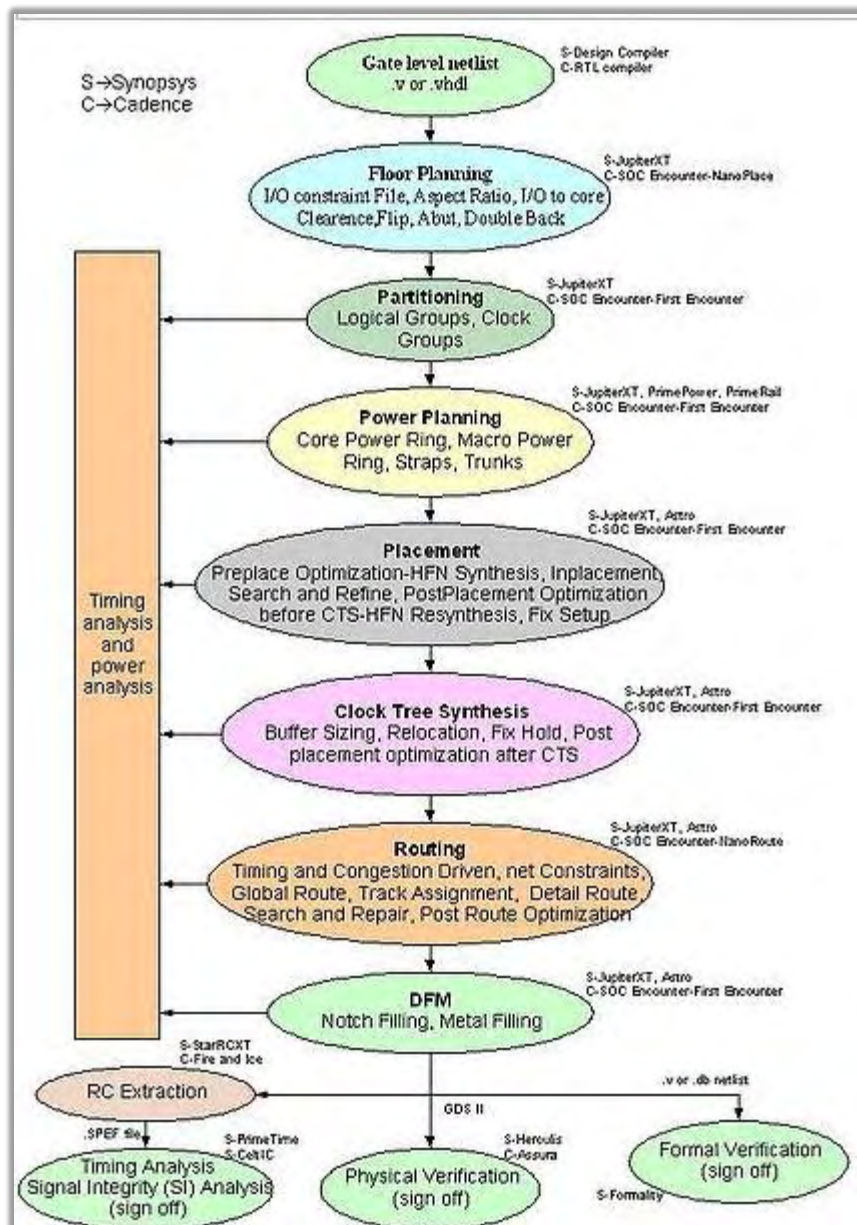
Μετά το πέρας της Front-end ροής ακολουθεί η Back-end ροή ή Φυσική Σχεδίαση. Όπως αναφέραμε και πιο πάνω χωρίζεται σε στάδια, καθένα από τα οποία χρησιμοποιεί κάποιο συγκεκριμένο εργαλείο. Ανάλογα με τα εργαλεία που χρησιμοποιούνται προκύπτουν και πιο αναλυτικές ροές σχεδίασης. Μερικά από τα πιο ευρέως διαδεδομένα λογισμικά χρησιμοποιούνται στη βιομηχανία είναι τα εξής:

- Synopsys (Design Compiler)
- Cadence (SoC Encounter, NanoRoute)
- Mentor (Olympus SoC, Calibre)

Στη συγκεκριμένη διπλωματική θα επικεντρωθούμε περισσότερο στο κομμάτι της Φυσικής Σχεδίασης (Physical Design) και συγκεκριμένα το στάδιο που αναφέρεται στο **Placement**.

Τα στάδια που αποτελούν τη Back-end ροή είναι:

- Design Netlist – Ουσιαστικά είναι το αποτέλεσμα της διαδικασίας της σύνθεσης ενός ψηφιακού κυκλώματος.
- Floor Planning - Στο βήμα αυτό, γίνεται μια πρώτη εκτίμηση του συνολικού χώρου που απαιτείται για τις δομικές μονάδες του και καθορίζονται οι θέσεις τους πάνω στο chip. Η διαδικασία αυτή είναι απαραίτητη για να ελέγξουμε αν όντως χωράει η σχεδίαση εντός του προκαθορισμένου χώρου.
- Partitioning – Διαίρεση της περιοχής της σχεδίασης με τον καταλληλότερο τρόπο.
- Placement – Στόχος είναι η βέλτιστη χωροθέτηση των κελιών της σχεδίασης στον προκαθορισμένο χώρο, προκειμένου να ελαχιστοποιηθεί η τιμή μιας αντικειμενικής συνάρτησης. (Αποτελεί το αντικείμενο αυτής της εργασίας).
- Clock Tree Synthesis – Η διαδικασία του Clock Tree Synthesis επιχειρεί να ελαχιστοποιήσει το skew και το insertion delay.
- Routing – Υπάρχουν δύο τύποι routing, το global routing και το detailed routing. Το πρώτο τοποθετεί τα routing resources τα οποία χρησιμοποιούνται για τις συνδέσεις μεταξύ των κελιών, ενώ το δεύτερο αναθέτει συγκεκριμένα μονοπάτια (routes) σε συγκεκριμένα επίπεδα μετάλλου.
- Physical Verification – Είναι το τελευταίο στάδιο της φυσικής σχεδίασης όπου γίνεται ο έλεγχος της ορθότητας του layout.



2.3 Physical Design Flow

## 2.2.2 Η σημασία της Χωροθέτησης

Όσο πιο προσεγγμένο το Placement, τόσο πιο αποδοτικό είναι και το κύκλωμα. Μπορούμε να συνοψίσουμε τη σημασία του στους παρακάτω λόγους:

- Μια καλή χωροθέτηση σημαίνει καλύτερο routing, ελαχιστοποιώντας συνωστισμένες περιοχές.

- Αποτελεί τον κύριο παράγοντα που επηρεάζει την αποδοτικότητα του κυκλώματος, καθώς καθορίζει το μήκος της διασύνδεσης μεταξύ των πυλών και κατ' επέκταση την καθυστέρηση.
- Η κατανάλωση ισχύος επηρεάζεται και αυτή από τη χωροθέτηση, έχοντας μικρότερα μήκη καλωδίων και μεγαλύτερο διαχωρισμό γειτονικών καλωδίων.
- Καθορίζει την κατανομή θερμότητας στην επιφάνεια.

### 2.2.3 Οι υποκατηγορίες της Χωροθέτησης

Γενικά, το πρόβλημα της χωροθέτησης δεν είναι απλό να διαχειρισθεί. Ένας τρόπος να ξεπεραστεί η πολυπλοκότητα του θέματος είναι να χωριστούν τα βήματα χωροθέτησης.

Η συνηθισμένη ροή του Placement περιγράφεται, σύμφωνα με την διεθνή βιβλιογραφία, συνοπτικά στα παρακάτω 5 βήματα:

- ✓ Global placement: Το global placement παράγει ένα αρχικό placement στο οποίο υπάρχει αλληλοεπικάλυψη (overlap) μεταξύ των κελιών. Η διαδικασία μπορεί να εκτελεστεί επαναληπτικά, προκειμένου να παραχθεί κάποιο καλύτερο αποτέλεσμα.
- ✓ Final Placement: Βελτιστοποιεί τις θέσεις των κελιών που έχουν προκύψει από το παραπάνω βήμα. Η διαδικασία είναι πάντοτε επαναληπτική και τα αποτελέσματα που δίνει κινούνται εντός συγκεκριμένου συνόλου λύσεων.
- ✓ Area Minimization: Αναφέρεται στην ελαχιστοποίηση της καταλαμβανόμενης από κελιά περιοχής. Είναι δισδιάστατο πρόβλημα και ανήκει στα NP-hard προβλήματα.

- ✓ **Legalization:** Εάν το τελικό κύκλωμα εξακολουθεί να παρουσιάζει αλληλοεπικάλυψη μεταξύ των κελιών, πρέπει εκ νέου να εφαρμοστούν τεχνικές «νομιμοποίησης» των θέσεων τους.
- ✓ **Detailed placement:** Περαιτέρω βελτίωση του προβλήματος με τεχνικές οι οποίες αναδιατάσσουν μια μικρή ομάδα κελιών αφήνοντας ανέπαφη την πλειοψηφία των κελιών.

## 2.2.4 Παράγοντες που επηρεάζονται από την Χωροθέτηση

Ιστορικά, οι τεχνικές χωροταξικής τοποθέτησης κελιών, έχουν αναπτυχθεί κυρίως με βάση τη δρομολόγηση. Οι αλγόριθμοι αυτοί, συνήθως επικεντρώνονται στην ελαχιστοποίηση του συνολικού καθαρού μήκους (wirelength), ενώ άλλοι εστιάζουν στην ελαχιστοποίηση των “crossovers” καλωδίων και των vias. Ωστόσο, με την αυξημένη ζήτηση για υψηλής ποιότητας και μακροπρόθεσμη αξιόπιστη απόδοση, έχουν αναπτυχθεί πολλές νέες τεχνικές.

Ένα κατώτερο Placement εκτός από την αρνητική επιρροή πάνω στην επίδοση, μπορεί να καταστήσει και το chip μη κατασκευάσιμο. Κατά συνέπεια, για να εξασφαλιστεί ότι η σχεδίαση ενός κυκλώματος ικανοποιεί τις προδιαγραφές πρέπει να βελτιστοποιηθούν κάποιοι στόχοι.

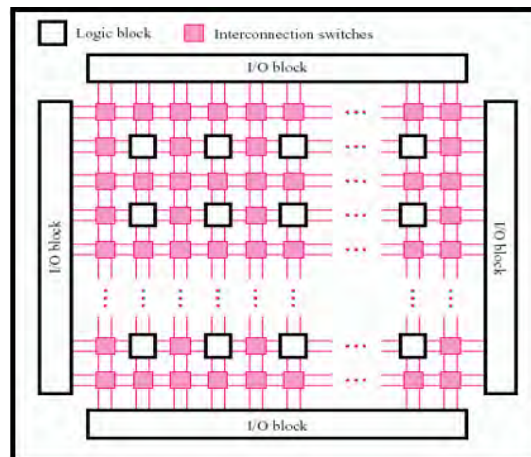
- ✓ **Total wirelength** - Άθροισμα του μήκους όλων των καλωδίων των κυκλωματικών στοιχείων (στη συγκεκριμένη εργασία τα κυκλωματικά στοιχεία είναι πύλες (gates)). Είναι το πιο δημοφιλές αντικείμενο έρευνας. Στόχος είναι να ελαχιστοποιηθεί το άθροισμα αυτό, εφόσον βοηθάει όχι μόνο στη μείωση του μεγέθους του chip και κατ' επέκταση στη μείωση του κόστους του, αλλά ελαχιστοποιεί την ισχύ και την καθυστέρηση, παράγοντες άμεσα συνδεδεμένοι με το wirelength.
- ✓ **Timing** – Χρονισμός: το μονοπάτι με τη μεγαλύτερη καθυστέρηση ονομάζεται κρίσιμο μονοπάτι και πρέπει να διασφαλιστεί ότι δεν υπάρχει διαδρομή με καθυστέρηση που να υπερβαίνει το ανώτατο όριο προβλέπεται από το κρίσιμο μονοπάτι. Επειδή η καθυστέρηση εξαρτάται από πολλούς παράγοντες όπως το routing, το μέγεθος του δίσκου, το πάχος των καλωδίων είναι υπολογιστικά ακριβό να διενεργηθούν

μετρήσεις για όλα και αυτό που γίνεται στην πράξη είναι να ελέγχεται ευρετικά.

- ✓ **Congestion** – Συμφόρηση: ενώ είναι απαραίτητο να ελαχιστοποιηθεί το wirelength, είναι επίσης απαραίτητο να αποφευχθεί μια συνωστισμένη περιοχή πάνω στο chip που μπορεί να οδηγήσει σε παρακάμψεις διαδρομών ή μπορεί να αποκλείσει τη διαδρομή τελείως. Εξαιτίας ωστόσο του μεγάλου υπολογιστικού κόστους σπάνια χρησιμοποιείται ως πρωταρχικός στόχος σε σχεδίαση ενός placement στην πράξη.
- ✓ **Power / Heat** – Ισχύς / Θερμότητα: στόχος είναι η ισοκατανομή της πάνω στο chip. Κατορθώνεται με την τοποθέτηση των στοιχείων με τέτοιο τρόπο ώστε να μειωθεί η συνολική κατανάλωση ενέργειας, να απαλλαχθεί το chip από «καυτές» περιοχές (hotspots) και να ομαλοποιηθούν οι αποκλίσεις θερμοκρασίας.

Καλούμαστε να τοποθετήσουμε τα κυκλωματικά στοιχεία πάνω στο chip, προκειμένου να ελαχιστοποιηθεί η τιμή μιας από τις παραπάνω συναρτήσεις. Υπάρχουν πέντε μορφές απεικόνισης του αποτελέσματος του placement :

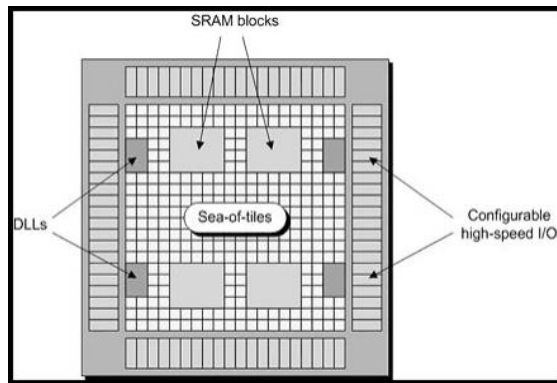
- ✓ Gate Array



2.4 Gate Array Model

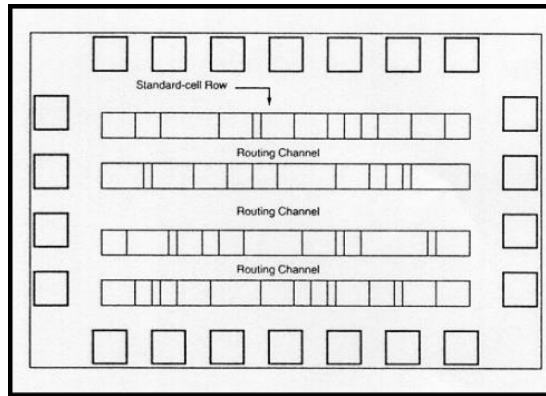


✓ Sea of Gates



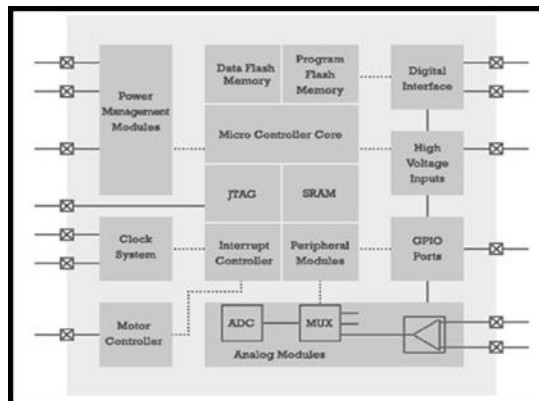
2.5 Sea of gates Model

✓ Standard Cell



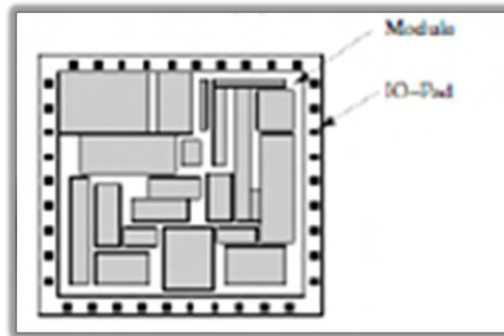
2.6 Standard Cell Model

✓ Mixed Cell



2.7 Mixed Cell Model

- ✓ General Cell ( Macros)



*2.8 General Cell Model*

## **2.3 Χωροθέτηση Ολοκληρωμένων Κυκλωμάτων βάσει Θερμικών Παραμέτρων**

Τα σύγχρονα ολοκληρωμένα κυκλώματα είναι πολύπλοκα και πολυεπίπεδα, με ένα chip μεγάλου μεγέθους να αποτελείται πλέον από πάνω από ένα δισεκατομμύριο τρανζίστορ.

Η εξέλιξη αυτή, στη μικροηλεκτρονική ορίζει τα τρανζίστορς να σχεδιάζονται κοντά το ένα στο άλλο προκειμένου να ελαχιστοποιηθούν οι καθυστερήσεις διάδοσης και ο όγκος, ωστόσο αυτό δεν έχει γίνει χωρίς την εμφάνιση σοβαρών προβλημάτων. Παρόλα αυτά, δεν είναι μόνο ο αριθμός των τρανζίστορ αυτός που έχει μεγαλώσει. Με την αύξηση του μεγέθους των chip επέρχεται και η αύξηση του μήκους των καλωδίων που ενώνουν τα στοιχεία αυτά, καθώς η χωρητικότητα του οποίου σε κυκλωματικά στοιχεία έχει πολλαπλασιαστεί.

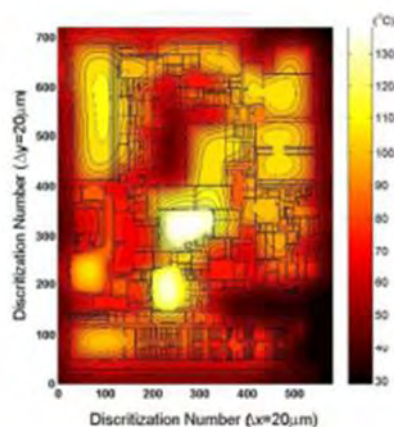
Το διάγραμμα που ακολουθεί παρουσιάζει τη ραγδαία αύξηση του αριθμού των τρανζίστορ σε κάποιες από τις σημαντικότερες μονάδες επεξεργασίας σε συνάρτηση με το νόμο του Moore. Ο νόμος του Moore υποστηρίζει πως κάθε δύο χρόνια επιτυγχάνεται ο διπλασιασμός του αριθμού των τρανζίστορ που συνθέτουν ένα επεξεργαστή.



### 2.3.1 Ανάγκη Χαμηλής Κατανάλωσης Ισχύος

Η ολοένα μεγαλύτερη συρρίκνωση των τρανζίστορ δημιούργησε και προβλήματα που δεν επηρέαζαν παλαιότερες γενιές. Η πρόοδος της τεχνολογίας των τρανζίστορς έχει οδηγήσει στην ανάπτυξη πολυπλοκότερων συστημάτων αυξάνοντας έτσι την πιθανότητα εμφάνισης σφαλμάτων σε κάποιο από αυτά. Ως βλάβη, ορίζεται η απόκλιση από την τήρηση των προδιαγραφών, η οποία μπορεί να οφείλεται από σχεδιαστικά προβλήματα μέχρι κατασκευαστικά σφάλματα και εσωτερικές διαταραχές.

Πιο συγκεκριμένα, αυτή η τάση συρρίκνωσης έχει ως αποτέλεσμα την υψηλότερη ροή θερμότητας στο υπόστρωμα. Η διακύμανση που παρουσιάζεται στις παραμέτρους του κυκλώματος σε συνδυασμό με διακυμάνσεις στη τάση λειτουργίας, στη θερμοκρασία και τις τιμές εισόδου (PVTI – Parameters/Voltage/Temperature/Input), κάνουν τα κυκλωματικά στοιχεία να συμπεριφέρονται πλέον περισσότερο σαν τυχαίες μεταβλητές αχρηστεύοντας έτσι τις σύγχρονες τεχνικές ανάλυσης του χειρίστου χρονισμού του κυκλώματος. Επιπρόσθετα, ακόμα υψηλότερες θερμοκρασίες μπορεί να προκύψουν, αν η θερμότητα που διαχέεται δεν εξαλειφθεί σωστά.



2.10 *The temperature profile of an industrial chip*

Μια υψηλότερη θερμοκρασία, δεν επηρεάζει μόνο την απόδοση του κυκλώματος, αλλά μειώνει και την αξιοπιστία του. Αν η ενέργεια διανεμηθεί άνισα, προκύπτουν τα λεγόμενα “hot spots” τα οποία μπορεί να επιφέρουν θερμικές εντάσεις. Αν αυτές οι εντάσεις είναι σοβαρές και συνεχιστούν για αρκετούς κύκλους, τότε μπορεί να οδηγήσουν σε καταστροφή του chip. Όπως είναι φανερό, ζήτηση για συστήματα επεξεργασίας σήματος που προσφέρουν υψηλά επίπεδα ποιότητας και επιδόσεων με χαμηλή κατανάλωση ισχύος έχει αυξηθεί τρομακτικά.

Η θερμική διαχείριση είναι ο πιο σημαντικός παράγοντας αξιοπιστίας και θα πρέπει να λαμβάνεται όσο πιο νωρίς γίνεται υπόψη στην διαδικασία σχεδιασμού. Το καλύτερο στάδιο, για να γίνει αυτό, είναι αυτό της τοποθέτησης των κελιών, καθώς η κατανομή της θερμοκρασίας εξαρτάται άμεσα από τα αποτελέσματα της χωροθέτησης. Ένα εργαλείο χωροθέτησης, που δεν έχει λάβει υπόψη τη θερμοκρασία, θα μπορούσε να τοποθετήσει κάποια chips με υψηλή θερμοκρασία πολύ κοντά το ένα στο άλλο και αυτό θα δημιουργούσε ένα “hot spot” στο υπόστρωμα, ακόμα και αν η συνολική κατανάλωση ενέργειας ήταν περιορισμένη.

Τέλος, μια σοβαρή ανάγκη για χαμηλής κατανάλωσης συστήματα πηγάζει από περιβαλλοντικούς λόγους. Η παραγωγή ηλεκτρικής ενέργειας είναι η βασική πηγή ρύπανσης της ατμόσφαιρας και ο ραγδαία αυξανόμενος κλάδος των υπολογιστικών συσκευών συμβάλλει δραματικά στη ρύπανση του περιβάλλοντος.

### **2.3.2 Σχεδίαση χαμηλής κατανάλωσης Ισχύος**

Η τεχνική στην οποία θα επικεντρωθούμε, που αφορά στο κομμάτι της χωροθέτησης με παραμέτρους θερμοκρασίας ή αλλιώς thermally driven placement, είναι η ανάλυση και βελτιστοποίηση των ολοκληρωμένων κυκλωμάτων ως προς την κατανάλωση ισχύος.

Ισχύς είναι ο ρυθμός με τον οποίο καταναλώνεται η ενέργεια. Σε ένα ολοκληρωμένο κύκλωμα η ηλεκτρική ενέργεια μετατρέπεται σε θερμότητα, η

οποία πρέπει να απαχθεί προς αποφυγήν ανόδου της θερμοκρασίας του κυκλώματος, η οποία με τη σειρά της μπορεί να οδηγήσει σε βλάβες.

Η θερμική διαχείριση είναι ο πιο σημαντικός παράγοντας αξιοπιστίας, θα πρέπει να λαμβάνεται όσο πιο νωρίς γίνεται υπόψη στην διαδικασία σχεδιασμού. Το καλύτερο στάδιο, για να γίνει αυτό, είναι αυτό της τοποθέτησης των κελιών, καθώς οι κατανομή της θερμοκρασίας εξαρτάται άμεσα από τα αποτελέσματα της χωροθέτησης. Ένα εργαλείο χωροθέτησης, που δεν έχει λάβει υπόψη τη θερμοκρασία, θα μπορούσε να τοποθετήσει κάποια chips με υψηλή θερμοκρασία πολύ κοντά το ένα στο άλλο και αυτό θα δημιουργούσε ένα “hot spot” στο υπόστρωμα, ακόμα και αν η συνολική κατανάλωση ενέργειας ήταν περιορισμένη.

Η ανάλυση και βελτιστοποίηση των ολοκληρωμένων κυκλωμάτων ως προς τη κατανάλωση ισχύος ξεκίνησε σαν ένας περιορισμένος σε έκταση κλάδος της σχεδίασης αναλογικών κυκλωμάτων. Σήμερα αποτελεί μέρος του βασικού κορμού της σχεδίασης των ψηφιακών κυκλωμάτων και επηρεάζει όλα τα στάδια σχεδίασης ενός συστήματος, καθώς η ανάγκη για χαμηλότερη κατανάλωση καθοδηγείται από τη βιομηχανία με νέες εφαρμογές αλλά και από την εξέλιξη της τεχνολογίας.

Κατά το σχεδιασμό χαμηλής ισχύος υπάρχει διαχωρισμός μεταξύ δύο τεχνικών, της συντηρητικής και συμβιβαστική τεχνική. Σύμφωνα με τη συντηρητική τεχνική, στόχος είναι η μείωση της ισχύος που καταναλώνεται χωρίς σοβαρό λόγο. Το κατορθώνει με την ανάλυση και ελαχιστοποίηση των απωλειών κατά τη διάρκεια της σχεδίασης. Από την άλλη πλευρά, η συμβιβαστική τεχνική εξετάζει εναλλακτικούς τρόπους λογικής σχεδίασης που μειώνουν την κατανάλωση.

Υπάρχουν διάφορες τεχνικές που μπορούν να εφαρμοστούν τόσο αυτόματα όσο και από τον σχεδιαστή, οι οποίες φέρουν διαφορετικά αποτελέσματα ανάλογα με την περίπτωση. Είναι σημαντικό να υπογραμμίσουμε ότι δεν υπάρχει μια τεχνική που να προσαρμόζεται αποτελεσματικά σε όλες τις εφαρμογές. Κάθε σχεδίαση έχει τις δικές της προδιαγραφές και περιορισμούς που μας αναγκάζουν να διαφοροποιούμε τη προσέγγιση μας κάθε φορά.

Μερικές από τις τεχνικές με έμφαση στη Χαμηλή Κατανάλωση Ισχύος αναφέρονται στην παρακάτω εικόνα.

Traditional Techniques	Dynamic Power Reduction	Leakage Power Reduction	Other Power Reduction Techniques
Clock Gating	Clock Gating	Minimize Usage of low $V_t$ cells	Multi oxide devices
Power Gating	Power Efficient Circuits	Power Gating	Minimize capacitance by custom design
Variable Frequency	Variable Frequency	Back Biasing	Power Efficient Circuits
Variable Voltage Supply	Variable Voltage Supply	Reduce Oxide Thickness	
Variable Device Threshold	Voltage Islands	Use FinFET	

### 2.11 Τεχνικές Low-Power Σχεδίασης

Παρατηρώντας τη παραπάνω εικόνα μπορούμε να καταλήξουμε στο συμπέρασμα ότι σε κάθε υλοποίηση, κάθε τεχνική βελτίωσης έχει και το αντίστοιχο «κόστος» που επιβαρύνει κάποιες άλλες παραμέτρους του κυκλώματος όπως για παράδειγμα το χρονισμό του. Γίνεται γνωστό πως πρέπει να δώσουμε μεγάλη προσοχή στο τι μπορούμε να θυσιάσουμε και τι μπορούμε να κερδίσουμε χρησιμοποιώντας την εκάστοτε τεχνική.

Τα κέρδη-κόστη μερικών από τις τεχνικές που αναφέρθηκαν στην παραπάνω εικόνα περιγράφονται συνοπτικά στην εικόνα που ακολουθεί.

Power Reduction Technique	Power Benefit	Timing Penalty	Area Penalty	Methodology Impact			
				Architecture	Design	Verification	Implementation
Multi-Vt Optimization	Medium	Little	Little	Low	Low	None	Low
Clock Gating	Medium	Little	Little	Low	Low	None	Low
Multi-supply Voltage	Large	Some	Little	High	Medium	Low	Medium
Power Shut-off	HUGE	Some	Some	High	High	High	High
Dynamic and Adaptive Voltage Frequency Scaling	Large	Some	Some	High	High	High	High
Substrate Biasing	Large	Some	Some	Medium	None	None	High

2.12 Κέρδη-Κόστη Τεχνικών Low-Power Σχεδίασης



# ΚΕΦΑΛΑΙΟ 3

## Υλοποίηση

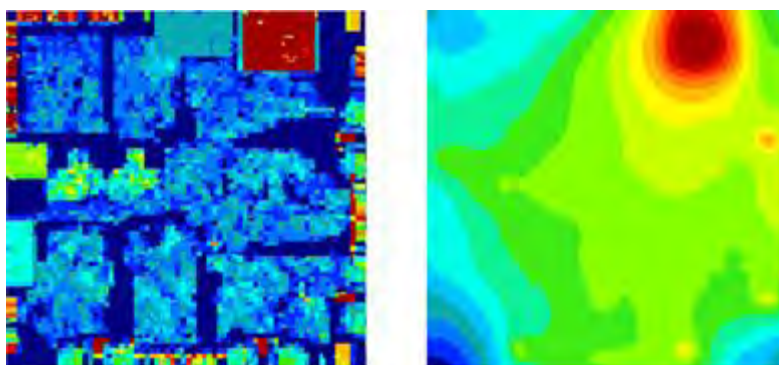
Στο κεφάλαιο αυτό θα περιγράψουμε το εργαλείο που υλοποιήθηκε και τις υπηρεσίες που παρέχει.

### 3.1 Εισαγωγή

Σε αυτή την εργασία, που βασίζεται στην ιδέα που αναφέρεται- και προσαρμόσαμε κατάλληλα, στη δημοσίευση των G. Chen και S. S. Sapatnekar, “Partition-Driven Standard Cell Thermal Placement,” θα επικεντρωθούμε στην χωροθέτηση πυλών σε ένα chip, με τέτοιο τρόπο ώστε να υπάρχει ισοκατανομή της θερμοκρασίας, αποφεύγοντας τη δημιουργία θερμών περιοχών (hotspots), προτείνοντας ένα αλγόριθμο χωροθέτησης βάσει της ισχύος. Για λόγους ευκολίας θα ταυτίσουμε τις έννοιες θερμοκρασία/θερμότητα. Τέλος, θα παρουσιάσουμε κάποια πειραματικά αποτελέσματα που αποδεικνύουν την αποτελεσματικότητα του αλγορίθμου.

Όπως έχουμε ήδη αναφέρει το πρόβλημα της θερμικής διαχείρισης έχει αναδεχθεί σε ένα από τα πιο βασικά θέματα για την σχεδίαση ολοκληρωμένων κυκλωμάτων, δεδομένου ότι το μέγεθος του chip συνεχίζει και συρρικνώνεται και η συχνότητα του ρολογιού αυξάνεται σταδιακά από τη μια τεχνολογία στην άλλη. Ο συνωστισμός των τρανζίστορ πάνω στο chip δημιουργεί περιοχές με θερμοκρασία σημαντικά αυξημένη σε σχέση με αυτή του υπολοίπου κυκλώματος, οδηγούν στη δημιουργία θερμών περιοχών. Η υψηλή θερμοκρασία μπορεί να έχει δραματικές επιπτώσεις στην αξιοπιστία του chip και μπορεί να προκαλέσει τη δυσλειτουργία της συσκευής.

Ως εκ τούτου, είναι σημαντικό να ληφθούν υπόψη θερμικά θέματα κατά τη διάρκεια της φυσικής σχεδίασης. Η εργασία αυτή προτείνει μια ευριστική μέθοδο που απλοποιεί τη θερμική εξίσωση και καθιστά δυνατόν την ενσωμάτωση των εκτιμήσεων θερμοκρασίας ως περιορισμούς της χωροθέτησης, με σκοπό την καλύτερη κατανομή θερμότητας.



*3.1 Converged power and temperature maps on a chip*

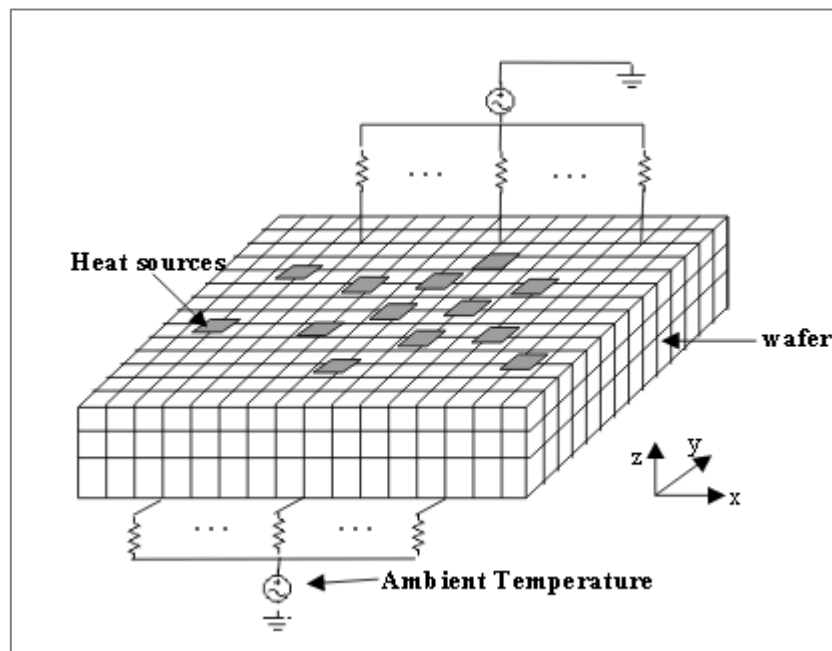
## **3.2 Θερμικό προφίλ**

Σύμφωνα με τη θεωρία μεταφοράς θερμότητας αν αγνοήσουμε την εξάρτηση της θερμοκρασίας της θερμικής αγωγιμότητας, το θερμικό προφίλ ικανοποιείται από την ακόλουθη εξίσωση:

$$k(x,y,z) \nabla^2 T(x,y,z) + g(x,y,z,t) = 0$$

όπου  $k(x,y,z)$  είναι η θερμική αγωγιμότητα,  $T(x,y,z)$  είναι η θερμοκρασία και  $g(x,y,z,t)$  είναι η πηγή θερμότητας.

Η παρακάτω εικόνα αναπαριστά το περιβάλλον θερμικής αγωγιμότητας ενός wafer. Αυτό που μας ενδιαφέρει είναι να μετρήσουμε και να τελικά να ελέγξουμε το θερμικό προφίλ κατά μήκος της επιφάνειας.



*3.2 Heat conduction for the wafer*

Λαμβάνοντας υπόψη τη διακριτοποίηση που παρουσιάζεται στην παραπάνω εικόνα και το θερμικό μοντέλο καταλήγουμε στο ακόλουθο:

**Εξίσωση (1):**

$$T = T_{fixed} + \begin{bmatrix} R_{11} & R_{12} & \dots & R_{1n} \\ R_{21} & R_{22} & \dots & R_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ R_{m1} & R_{m2} & \dots & R_{mn} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ \vdots \\ P_n \end{bmatrix}$$

Όπου το  $T$  είναι ένας μονοδιάστατος πίνακας  $m \times 1$  και αναπαριστά  $m$  σημεία στα οποία ελέγχουμε τη θερμοκρασία,  $n$  είναι οι πηγές θερμότητας και  $R$  είναι ο πίνακας μεταφοράς της θερμικής αντίστασης.

Κατά το στάδιο της χωροθέτησης, όσον αφορά τους θερμικούς περιορισμούς στόχο μας είναι να ελαχιστοποιηθεί η μέγιστη θερμοκρασία on-chip και να αποκτηθεί μια ομοιόμορφη κατανομή θερμοκρασίας. Το πρόβλημα που καλούμαστε να επιλύσουμε συνοψίζεται στο εξής:

$$\min\{ \max(T_i - T_{i,neighbors}) \}$$

### 3.2.1 Κατανάλωση ισχύος

Η δυναμική ισχύς (active power dissipation), που θα μας απασχολήσει παρακάτω, προκύπτει από τη μετάβαση των εσωτερικών κόμβων και εξόδων του κυκλώματος από τη μία λογική κατάσταση στην άλλη. Η ισχύς αυτή καταναλώνεται όταν μια πύλη είναι ενεργή καθώς οι τάσεις του δικτύου εναλλάσσονται λόγω κάποιου εξωτερικού ερεθίσματος που έχει εφαρμοστεί στην έξοδο. Επειδή η τάση στην είσοδο μπορεί να αλλάξει, χωρίς αυτό να συνεπάγεται κάποια λογική μεταβολή στην έξοδο, δυναμική ισχύς καταναλώνεται και όταν η έξοδος δεν αλλάζει τη λογική κατάσταση.

Ο τύπος που υπολογίζει τη δυναμική ισχύ είναι

$$P_{\text{dyn}} = \alpha \times C \times V_{\text{DD}}^2 \times f_p$$

Όπου: C ~ η χωρητικότητα εξόδου

$V_{\text{DD}}$  ~ η τάση τροφοδοσίας

$f_p$  ~ συχνότητα παλμού

$\alpha$  ~ παράγοντας μεταβάσεων, ο οποίος υπολογίζει τον αριθμό των μεταβάσεων ανά κύκλο ρολογιού

Συνεπώς, η δυναμική κατανάλωση ισχύος εξαρτάται γραμμικά από τη συχνότητα λειτουργίας του κυκλώματος.

Θα χρησιμοποιήσουμε τον τύπο που είδαμε πιο πάνω με μια προσθήκη, την απώλεια ισχύος που παρουσιάζεται σε κάθε στοιχείο, για να υπολογίσουμε την ισχύ που καταναλώνει κάθε πύλη του κυκλώματος.

Άρα ο νέος τύπος γράφεται:

$$P_{\text{dyn}} = \alpha \times C \times V_{\text{DD}}^2 \times f_p + \text{leakage}$$

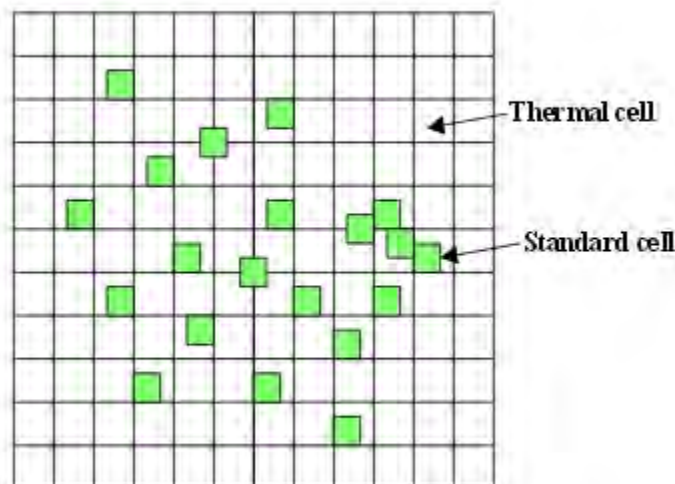
Όπου leakage η διαρροή ισχύος της πύλης.

Η συνολική ισχύς στην πραγματικότητα διαχέεται τόσο από το τρανζίστορ όσο και των διασυνδετικών συρμάτων. Εκτός για global σύρματα, η αντίσταση οδήγησης είναι συνήθως πολύ μεγαλύτερη από την αντίσταση του μετάλλου, και ως εκ τούτου το μεγαλύτερο μέρος της ισχύος διασκορπίζεται στα cells (μπλοκ από πύλες) και θα αγνοήσουμε το κομμάτι που καταναλώνεται από τα μεταλλικά σύρματα.

Στη συγκεκριμένη εργασία προτείνουμε μια partition-driven χωροθέτηση με παραμέτρους θερμοκρασίας. Επιλέξαμε μια partition-based μέθοδο γιατί είναι σε θέση να χειριστεί πληθώρα περιορισμών και σε σχέση με άλλες μεθόδους όπως είναι οι Randomized μέθοδοι ή Analytical προσεγγίσεις έχει καλύτερα αποτελέσματα.

### 3.2.2 Μια διαφορετική προσέγγιση του προβλήματος

Ένας τρόπος να χρησιμοποιήσουμε την εξίσωση (1) είναι να την εφαρμόσουμε κατευθείαν κατά τη διάρκεια της χωροθέτησης. Ωστόσο αυτό μπορεί να επιβαρύνει το υπολογιστικό κόστος και προϋποθέτει να γνωρίζουμε την ακριβή θέση κάθε κελιού στην αρχική χωροθέτηση. Μια άλλη προσέγγιση που θα μπορούσαμε να υλοποιήσουμε είναι να υπολογίσουμε αρχικά το επιθυμητό θερμικό προφίλ και να προσπαθήσουμε να προσαρμόσουμε τη χωροθέτηση σε αυτό. Όπως είναι φανερό, η προσέγγιση αυτή έχει και τα αρνητικά της καθώς χάνουμε τη πληροφορία σχετικά με τη θερμική σύνδεση μεταξύ γειτονικών κελιών.



### 3.3 Compact Thermal Model

Λόγω της δυσκολίας μέτρησης της θερμοκρασίας και του μεγάλου υπολογιστικού κόστους που απαιτείται προσεγγίσαμε το πρόβλημα δίνοντας έμφαση στην εκλυόμενη ισχύ κάθε πύλης και στην εύρεση ενός ελάχιστου κρίσιμου μονοπατιού. Ακολουθήσαμε το συμπαγές θερμικό μοντέλο που

παρουσιάζεται στο paper και προστάζει το διαχωρισμό του chip σε  $m$  μικρότερες περιοχές στις οποίες θα αναφερόμαστε ως «thermal cells». Για κάθε μια από αυτές τις περιοχές υπολογίσαμε την ισχύ που εκλύεται από κάθε κελί που περιλαμβάνεται σε αυτές τις περιοχές. Επόμενο βήμα ήταν για κάθε περιοχή να υπολογίσουμε την ισχύ που εκλύεται από τις γειτονικές της και προχωρήσαμε στην εύρεση ενός μονοπατιού που περιλαμβάνει τη χειρότερη συνολική έκλυση θερμότητας που μπορεί να υπάρξει στο κύκλωμα.

Για την εύρεση του κρίσιμου μονοπατιού χρησιμοποιήσαμε την παραδοχή

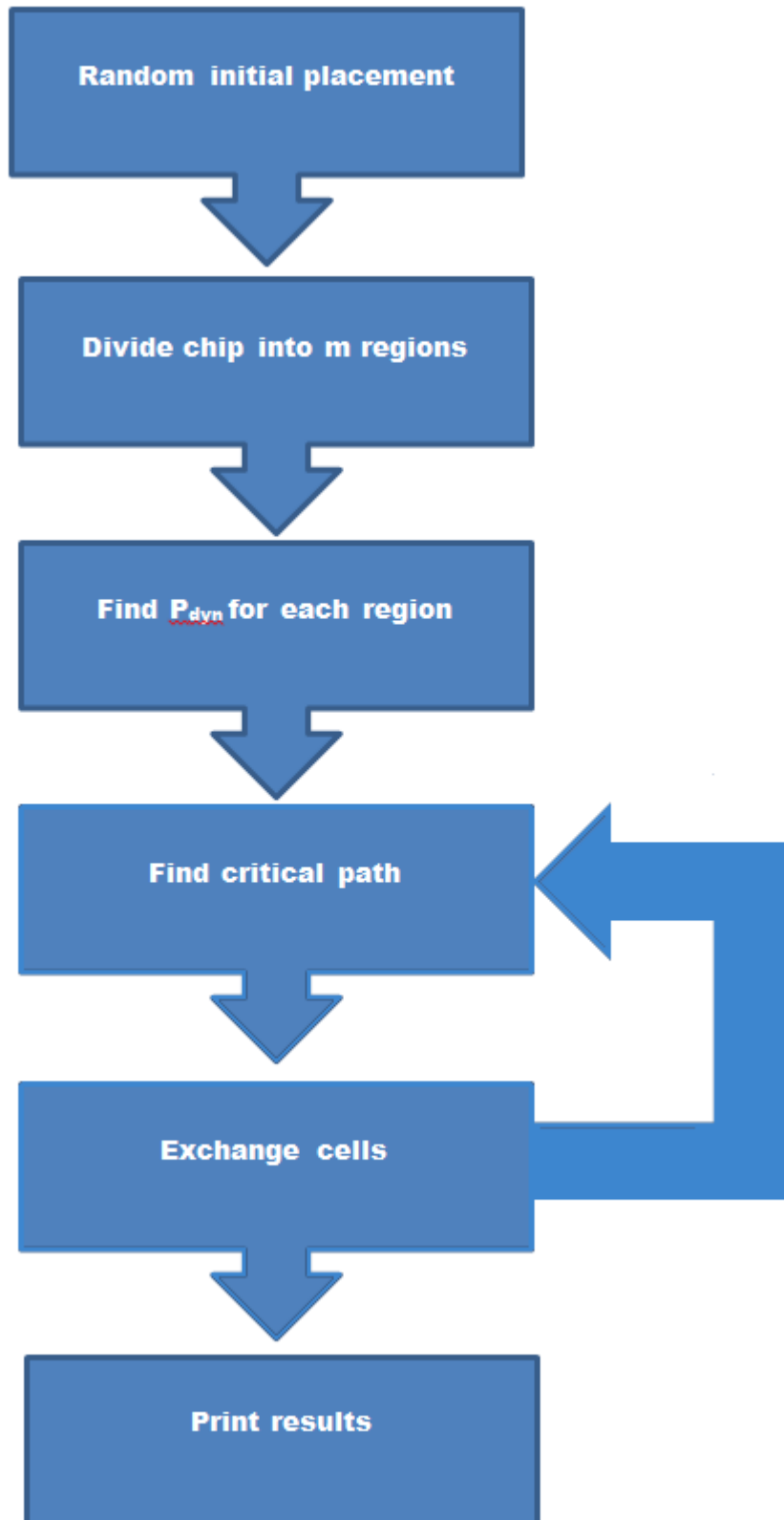
$$\min\{ \max(T_i - T_{i,neighbors}) \}$$

που είχαμε αναφέρει πιο πάνω. Για κάθε γειτονιά, στη περίπτωση του αλγορίθμου μας κάθε γειτονιά αποτελείται από 4 thermal cells, βρίσκουμε το παραπάνω ελάχιστο. Ως  $T$  έχουμε ορίσει την ισχύ που αντιστοιχεί σε κάθε γειτονιά. Επιλέγουμε κατά αυτό τον τρόπο τα κελιά που θα αποτελούν το κρίσιμο μονοπάτι μας και αθροίζοντας το ελάχιστο για κάθε γειτονιά παίρνουμε το αρχικό μονοπάτι. Στόχος μας είναι η ελαχιστοποίησή του.

Η μέθοδος που ακολουθούμε για την ελαχιστοποίηση του μονοπατιού ακολουθεί την εξής διαδικασία. Αφού βρούμε το κελί με τη μεγαλύτερη εκλυόμενη ισχύ και το αντίστοιχο με τη μικρότερη τα ανταλλάσουμε και ξανατρέχουμε με βάση τα παραπάνω. Αν έχω κελιά με ίδια τιμή ισχύ τρέχω τον αλγόριθμο επιλέγοντας σε κάθε τρέξιμο διαφορετικό κελί. Ο αλγόριθμος τρέχει τόσες φορές όσες και ο αριθμός των πυλών που αποτελούν το κύκλωμα. Το αποτέλεσμα θα είναι το τρέξιμο με το μικρότερο μονοπάτι.

### 3.3 Προτεινόμενος αλγόριθμος

Μπορούμε να συνοψίσουμε τον αλγόριθμο στα παρακάτω βήματα:



*3.4 Proposed algorithm*



## 3.4 Πειραματικά Αποτελέσματα

### 3.4.1 Benchmarks Circuits

Ο πιο δημοφιλής τρόπος ελέγχου του τελικού αποτελέσματος είναι η επιλογή των κατάλληλων Benchmarks Circuits τα οποία θα δοθούν ως είσοδος στο λογισμικό.

Στην εργασία χρησιμοποιήθηκαν τα κυκλώματα ISCAS '89 προκειμένου να τρέξουμε τον αλγόριθμο και να εξάγουμε τα αντίστοιχα αποτελέσματα του καθενός κυκλώματος. Οι κυκλωματικές περιγραφές των ISCAS '89 παρέχονται τόσο σε structural όσο και σε behavioral μορφή. Το σύνολό τους, αυτά τα υψηλού επιπέδου μοντέλα σχεδίασης έχουν αποδειχθεί, ιδιαιτέρως, χρήσιμα ως εργαλεία έρευνας σε πολλούς τομείς της ψηφιακής σχεδίασης .

Αξίζει να σημειωθεί ότι το γράμμα s στην ονομασία των κυκλωμάτων σημαίνει ότι τα κυκλώματα είναι σύγχρονα ακολουθιακά (synchronous sequential) και ο αριθμός που ακολουθεί το γράμμα s αντιπροσωπεύει τον αριθμό των γραμμών διασύνδεσης μεταξύ των κυκλωματικών στοιχείων.

Ο πίνακας που ακολουθεί παρουσιάζει τα κυκλώματα που χρησιμοποιήσαμε στα πειράματά μας.

Circuits Name	#of Primary Inputs	#of Primary Outputs	#of Gates
S27	7	4	19
s208	18	9	57
s298	17	20	100
s344	24	17	189
s349	24	17	172
s382	24	27	144
s386	13	13	134
s400	24	27	137
s420	35	18	202
s444	24	27	169
s510	25	13	280
s526	24	27	174
s641	54	42	282
s713	54	42	278
s820	23	24	258
s832	23	24	302
s838	66	33	322
s953	22	29	417
s1196	31	31	512
s1238	31	31	564
s1423	91	79	741
s1488	14	25	513
s1494	14	25	599
s5378	214	213	1037
s9234	247	250	1502

3.5 Πίνακας κυκλωμάτων

Circuits Name	Initial path	Final path	% improvement
S27	984359.738250	893464.958750	9.23
s208	1123724.34937	1041427.108255	7.23
s298	1544481.611625	1426673.407250	7.62
s344	1014972.415500	883626.155000	12.94
s349	1186598.546000	1131632.188750	4.63
s382	1906773.285120	1906773.285120	16.43
s386	1874744.554493	1818789.302748	2.98
s400	2066046.500500	1851619.946750	10.37
s420	944635.653750	925930.886750	1.98
s444	2591031.487562	2200058.357750	15.08
s510	3882273.610740	3463612.111123	10.78
s526	2485586.268773	2327270.665059	6.36
s641	1984124.740750	1918684.880500	3.29
s713	737008.278180	735926.380000	0.14
s820	1859498.521875	1693842.891555	8.90
s832	6761293.177706	5774328.571831	14.59
s838	3246082.989650	2878031.649650	11.33
s953	3609622.404672	3376187.361369	6.46
s1196	3131776.781893	2833310.439190	9.53
s1238	9402071.420361	8632284.762111	8.18
s1423	2259900.752306	2148176.900930	4.94
s1488	5136063.729665	4756759.377859	7.38
s1494	5762653.465616	5492951.348555	4.68
s5378	3493774.926055	3427168.768617	1.90
s9234	8816651.624996	8806962.412838	0.10

3.6 στιγμήτυπο τρεξίματος 1

Circuits Name	Initial path	Final path	% improvement
S27	840623.642930	735926.380000	12.45
s208	415031.601250	367963.190000	11.34
s298	1011470.953750	997963.637500	1.33
s344	2770423.268281	2743049.822875	0.98
s349	729586.49700	718307.589875	1.54
s382	1929628.282125	1618438.864620	16.12
s386	15315303.830430	1318028.062508	13.93
s400	1547882.576120	1505844.338620	2.71
s420	5602015.380925	5409180.021055	3.44
s444	3372913.418125	3007178.796125	10.84
s510	5123507.703440	4880325.096455	4.74
s526	2497256.365149	2248822.347745	9.94
s641	2678278.437180	2612098.137243	2.47
s713	778748.455500	735926.380000	5.49
s820	3855468.627656	2984101.102656	22.60
s832	6437266.609324	5701340.229324	11.43
s838	702489.639250	619594.160625	11.80
s953	4046559.650688	3727158.451023	7.89
s1196	4450901.486564	3957889.134250	11.07
s1238	5637442.657117	4815746.894435	14.57
s1423	4871253.210165	4248508.549339	12.78
s1488	7256754.454224	6269089.277724	13.61
s1494	4725267.590805	4401206.980930	6.85
s5378	4115131.737807	4000781.784245	2.77
s9234	11990519.216294	10418015.959794	13.11

3.7 στιγμήτυπο τρεξίματος 2

Circuits Name	Initial path	Final path	% improvement
S27	984359.738250	893464.958750	10.23
s208	1123724.34937	1041427.108255	17.23
s298	1544481.611625	1426673.407250	17.56
s344	1014972.415500	883626.155000	18.92
s349	1186598.546000	1131632.188750	14.11
s382	1906773.285120	1906773.285120	17.42
s386	1874744.554493	1818789.302748	12.56
s400	2066046.500500	1851619.946750	16.75
s420	944635.653750	925930.886750	11.98
s444	2591031.487562	2200058.357750	16.84
s510	3882273.610740	3463612.111123	11.98
s526	2485586.268773	2327270.665059	16.87
s641	1984124.740750	1918684.880500	13.54
s713	737008.278180	735926.380000	19.94
s820	1859498.521875	1693842.891555	18.90
s832	6761293.177706	5774328.571831	14.59
s838	3246082.989650	2878031.649650	11.33
s953	3609622.404672	3376187.361369	16.46
s1196	3131776.781893	2833310.439190	11.53
s1238	9402071.420361	8632284.762111	7.81
s1423	2259900.752306	2148176.900930	12.56
s1488	5136063.729665	4756759.377859	10.34
s1494	5762653.465616	5492951.348555	14.18
s5378	3493774.926055	3427168.768617	13.97
s9234	8816651.624996	8806962.412838	16.86

3.8 στιγμιότυπο τρεξίματος 3

Circuits Name	Initial path	Final path	% improvement
S27	984359.738250	893464.958750	12.63
s208	1123724.34937	1041427.108255	12.44
s298	1544481.611625	1426673.407250	9.23
s344	1014972.415500	883626.155000	9.89
s349	1186598.546000	1131632.188750	14.91
s382	1906773.285120	1906773.285120	21.45
s386	1874744.554493	1818789.302748	18.03
s400	2066046.500500	1851619.946750	11.10
s420	944635.653750	925930.886750	16.76
s444	2591031.487562	2200058.357750	6.81
s510	3882273.610740	3463612.111123	12.78
s526	2485586.268773	2327270.665059	19.32
s641	1984124.740750	1918684.880500	7.87
s713	737008.278180	735926.380000	8.60
s820	1859498.521875	1693842.891555	10.92
s832	6761293.177706	5774328.571831	19.22
s838	3246082.989650	2878031.649650	10.78
s953	3609622.404672	3376187.361369	13.76
s1196	3131776.781893	2833310.439190	17.88
s1238	9402071.420361	8632284.762111	8.64
s1423	2259900.752306	2148176.900930	14.05
s1488	5136063.729665	4756759.377859	15.18
s1494	5762653.465616	5492951.348555	17.58
s5378	3493774.926055	3427168.768617	12.96
s9234	8816651.624996	8806962.412838	16.12

3.9 στιγμιότυπο τρεξίματος 4

Circuits Name	Initial path	Final path	% improvement
S27	984359.738250	893464.958750	5.34
s208	1123724.34937	1041427.108255	12.24
s298	1544481.611625	1426673.407250	9.01
s344	1014972.415500	883626.155000	13.84
s349	1186598.546000	1131632.188750	4.63
s382	1906773.285120	1906773.285120	12.13
s386	1874744.554493	1818789.302748	15.08
s400	2066046.500500	1851619.946750	21.57
s420	944635.653750	925930.886750	25.65
s444	2591031.487562	2200058.357750	9.08
s510	3882273.610740	3463612.111123	17.00
s526	2485586.268773	2327270.665059	15.74
s641	1984124.740750	1918684.880500	25.95
s713	737008.278180	735926.380000	24.69
s820	1859498.521875	1693842.891555	43.79
s832	6761293.177706	5774328.571831	54.95
s838	3246082.989650	2878031.649650	21.10
s953	3609622.404672	3376187.361369	6.82
s1196	3131776.781893	2833310.439190	21.25
s1238	9402071.420361	8632284.762111	16.72
s1423	2259900.752306	2148176.900930	18.58
s1488	5136063.729665	4756759.377859	15.74
s1494	5762653.465616	5492951.348555	24.78
s5378	3493774.926055	3427168.768617	19.62
s9234	8816651.624996	8806962.412838	14.17

3.10 στιγμιότυπο τρεξίματος 5

Circuits Name	Initial path	Final path	% improvement
S27	984359.738250	893464.958750	37.67
s208	1123724.34937	1041427.108255	70.72
s298	1544481.611625	1426673.407250	21.81
s344	1014972.415500	883626.155000	35.79
s349	1186598.546000	1131632.188750	66.14
s382	1906773.285120	1906773.285120	1.72
s386	1874744.554493	1818789.302748	20.22
s400	2066046.500500	1851619.946750	9.51
s420	944635.653750	925930.886750	23.72
s444	2591031.487562	2200058.357750	21.11
s510	3882273.610740	3463612.111123	13.06
s526	2485586.268773	2327270.665059	6.85
s641	1984124.740750	1918684.880500	21.69
s713	737008.278180	735926.380000	17.57
s820	1859498.521875	1693842.891555	10.04
s832	6761293.177706	5774328.571831	4.68
s838	3246082.989650	2878031.649650	16.78
s953	3609622.404672	3376187.361369	17.67
s1196	3131776.781893	2833310.439190	19.37
s1238	9402071.420361	8632284.762111	16.79
s1423	2259900.752306	2148176.900930	15.68
s1488	5136063.729665	4756759.377859	20.17
s1494	5762653.465616	5492951.348555	22.77
s5378	3493774.926055	3427168.768617	18.58
s9234	8816651.624996	8806962.412838	19.37

3.11 στιγμιότυπο τρεξίματος 6



Circuits Name	Initial path	Final path	% improvement
S27	984359.738250	893464.958750	15.74
s208	1123724.34937	1041427.108255	25.95
s298	1544481.611625	1426673.407250	24.69
s344	1014972.415500	883626.155000	43.79
s349	1186598.546000	1131632.188750	54.95
s382	1906773.285120	1906773.285120	21.10
s386	1874744.554493	1818789.302748	6.82
s400	2066046.500500	1851619.946750	15.51
s420	944635.653750	925930.886750	16.72
s444	2591031.487562	2200058.357750	18.58
s510	3882273.610740	3463612.111123	30.60
s526	2485586.268773	2327270.665059	32.62
s641	1984124.740750	1918684.880500	17.00
s713	737008.278180	735926.380000	12.23
s820	1859498.521875	1693842.891555	14.81
s832	6761293.177706	5774328.571831	20.10
s838	3246082.989650	2878031.649650	13.11
s953	3609622.404672	3376187.361369	25.64
s1196	3131776.781893	2833310.439190	34.65
s1238	9402071.420361	8632284.762111	14.69
s1423	2259900.752306	2148176.900930	43.79
s1488	5136063.729665	4756759.377859	40.95
s1494	5762653.465616	5492951.348555	11.67
s5378	3493774.926055	3427168.768617	16.82
s9234	8816651.624996	8806962.412838	19.53

3.12 στιγμιότυπο τρεξίματος 7



3.13 Γραφική παράσταση 1<sup>ου</sup> Στιγμιότυπου



3.14 Γραφική παράσταση 2<sup>ου</sup> Στιγμιότυπου



3.15 Γραφική παράσταση 3<sup>ου</sup> Στιγμιότυπου



3.16 Γραφική παράσταση 4<sup>ου</sup> Στιγμιότυπου



3.17 Γραφική παράσταση 5<sup>ου</sup> Στιγμιότυπου



3.18 Γραφική παράσταση 6<sup>ου</sup> Στιγμιότυπου



3.19 Γραφική παράσταση 7<sup>ου</sup> Στιγμιότυπου

## 3.5 Συμπεράσματα

Θα προχωρήσουμε στην παρουσίαση των πειραματικών αποτελεσμάτων από την εφαρμογή του αλγορίθμου πάνω στα τα κυκλώματα ISCAS '89. Επιλέξαμε μια τυχαία αρχική χωροθέτηση για κάθε πύλη του κυκλώματος και εκτελέσαμε επαναληπτικά τον αλγόριθμο. Πειραματιστήκαμε και με μέγεθος του grid.

Οι πίνακες παρουσιάζουν το αρχικό χειρότερο μονοπάτι, το βελτιωμένο μονοπάτι μετά την εφαρμογή του αλγορίθμου και το ποσοστό βελτίωσης για κάθε κύκλωμα.

Βάσει των παραγόμενων αποτελεσμάτων, καθίσταται εμφανές ότι υπάρχει βελτίωση σε όλα τα κυκλώματα. Η θερμότητα έχει κατανεμηθεί στο κύκλωμα πιο ομοιόμορφα και το χειρότερο μονοπάτι έχει μειωθεί σε όλες τις περιπτώσεις. Ο αλγόριθμος . Παρατηρήθηκε επίσης, ότι όσο πιο κοντά τοποθετούνται οι πύλες με βάση την αρχική χωροθέτηση, τόσο μεγαλύτερο περιθώριο υπάρχει για βελτίωση.

# ΚΕΦΑΛΑΙΟ 4

## Μελλοντικές επεκτάσεις

Ο αλγόριθμος που παρουσιάστηκε μπορεί να αποτελέσει τη βάση για περαιτέρω εξέλιξη και βελτιστοποίηση. Οι πιθανές επεκτάσεις και παραλλαγές παρουσιάζονται συνοπτικά παρακάτω.

- ✓ Δημιουργία γραφικής διεπαφής
  
- ✓ Χρησιμοποίηση του πίνακα αγωγιμότητας
  
- ✓ Συνδυασμός υπάρχοντος αλγορίθμου με αλγόριθμο που λαμβάνει υπόψη άλλες σχεδιαστικές παραμέτρους, όπως wirelength.
  
- ✓ Υπολογισμός των παραμέτρων που χρησιμοποιούνται στο τύπο της ισχύς βάσει των παραμέτρων που δίνει ο χρήστης.
  
- ✓ Υπολογισμός των παραμέτρων που χρησιμοποιούνται στο τύπο της ισχύς βάσει της εκάστοτε εξεταζόμενης σχεδίασης.
  
- ✓ Χωροθέτηση ενός πλαισίου με μη διαθέσιμους προς επεξεργασία χώρους.

- ✓ Αναπαράσταση των πυλών και των άλλων κυκλωματικών στοιχείων βάσει των πραγματικών τους διαστάσεων και όχι ως σημεία.
- ✓ Υλοποίηση αλγορίθμου που μειώνει τη θερμότητα πάνω στο chip στο σύνολό της και όχι απλά να ισοκατανέμει την ήδη υπάρχουσα.
- ✓ Παραλληλοποίηση αλγορίθμου.
- ✓ Εφαρμογή του αλγορίθμου σε 3D δομές



# ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1] G. Chen and S. S. Sapatnekar, "Partition-Driven Standard Cell Thermal Placement," Proceedings of the ACM International Symposium on Physical Design, pp. 75 – 80, 2003.
  
- [2] Ghosal, P. Tuhina Samantam Rahaman, H. Dasgupta, P., "Thermal-Aware Placement of Standard Cells and Gate Arrays: Studies and Observations," Symposium on VLSI, 2008. ISVLSI '08. IEEE Computer Society Annual , vol., no., pp.369,374, 7-9 April 2008.
  
- [3] Antonios Dadaliaris. Reliability Driven Placement Algorithms. PhD thesis, Computer Science Dept., University Of Thessaly, June 2012.
  
- [4] C. C. N. Chu and D. F. Wong. A matrix synthesis approach to thermal placement. IEEE Transactions on Computer-aided design of Integrated Circuits and Systems, 17(11):1166-1174, 1998.
  
- [5] Yong Zhan Tianpei Zhang and Sachin S. Sapatnekar. Temperature-aware routing in 3d ics. In Proceedings of the Asia-South Pacific Design Automation Conference, pages 309-314, 2006.
  
- [6] Y.-K. Cheng and S.-M. Kang, "A temperature-aware simulation environment for reliable ULSI chip design," IEEE Trans. Computer-Aided Design, vol. 19, pp. 1211–1220, Oct. 2000.

- [7] C. H. Tsai and S. M. Kang. Cell-level placement for improving substrate thermal distribution. *IEEE Transactions on Computer-aided design of Integrated Circuits and Systems*, 19(2):253-266, February 2000.
- [8] Kim, N.S.; Austin, T.; Baauw, D.; Mudge, T.; Flautner, K.; Hu, J.S.; Irwin, M.J.; Kandemir, M.; Narayanan, V., "Leakage current: Moore's law meets static power," *Computer*, vol.36, no.12, pp.68,75, Dec. 2003
- [9] K-Y Chao and D. F. Wong. Thermal placement for high performance multi-chip modules. In *Proceedings of the International Conference on Computer Design*, pages 218-223, October 1995.
- [10] E J Paradise K-K Lee and S K Lim. Thermal-driven Circuit Partitioning and Floorplanning. GIT-CERCS Technical Report, Georgia Institute of Technology, 2003.
- [11] F. Najm. A survey of power estimation techniques in vlsi circuits. *IEEE Trans. on VLSI Systems*, 2(4):446-455, 1994.
- [12] K. Banerjee, A. Mehrotra, A. Sangiovanni-Vincentelli, and C. Hu, "On thermal effects in deep sub-micron VLSI interconnects," *Proceedings of the ACM/IEEE Design Automation Conference*, pp. 885-891, 1999.
- [13] M. C. Tang and J. D. Carothers, "Consideration of thermal constraints during multichip module placement," *Electron. Lett.*, vol. 33, no. 12, pp. 1043–1045, 1997.
- [14] G. E. Ellison, "Thermal analysis of circuit boards and microelectronic components using an analytical solution to the heat conduction equation," in *Proc. 12th IEEE SEMI-THERM Symp.*, 1996, pp. 144–150.
- [15] W. Maly and A. P. Piotrowski, "Heat exchange optimization technique for high-power hybrid ICs," *IEEE Trans. Comp., Hybrids, Manufact. Technol.*, vol. 2, pp. 226–231, June 1979.
- [16] R. E. Simons, "Microelectronics cooling and semitherm: A look back," in *Proc. 10<sup>th</sup> Semiconductor Thermal and Temperature Measurement Symp.* 1994, pp. 1-16.

- [17] M. Pecht and J. Naft, "Thermal reliability management in PCB design," in Proc. 1987 Annu. Rel. Maintainability Symp., 1987, pp. 27–29.
- [18] M. Pedram, "Power minimization in IC design: Principles and applications" ACM Trans. Design Automat. Electron. Syst., vol. 1, no.1, pp. 2-56, 1990.
- [19] G. Chen and S. S. Sapatnekar. Partition-driven standard cell thermal placement. In Proceedings of the International Symposium on Physical Design, pages 75–80, 2003.
- [20] K. Y. Chao and D. F. Wong, "Low power considerations in floorplan design", in Proc. 1994 Int. Workshop Low Power Design, 1994, pp 45-50.
- [21] Eisenmann, Hans; Johannes, F.M., "Generic global placement and floorplanning," Design Automation Conference, 1998. Proceedings , vol., no., pp.269,274, 19-19 June 1998
- [22] ] R. Eliasi, T. Elperin, and A. Bar-Cohen, "Monte Carlo thermal optimization of populated printed circuit board," IEEE Trans. Comp, Hybrids, Manufact. Technol., vol. 13, pp. 953–960, Dec. 1990.
- [23] A. L. Palisoc and C. C. Lee, "Exact thermal representation of multilayer rectangular structures by infinite plate structures using the method of images," J. Appl. Phys., vol. 12, no. 64, pp. 6851–6857, 1988.
- [24] T. D. Yuan, "Thermal management in PowerPC microprocessor multichip modules applications," in Proc. 13th IEEE SEMI-THERM Symp., 1997, pp. 247–256.
- [25] Jeng-Liang Tsai; Chen, C.C.-P.; Guoqiang Chen; Goplen, B.; Haifeng Qian; Yong Zhan; Sung-Mo Kang; Wong, M. D F; Sapatnekar, S.S., "Temperature-Aware Placement for SOCs," Proceedings of the IEEE , vol.94, no.8, pp.1502,1518, Aug. 2006
- [26] .Sangiovanni-Vincentelli, A. , "The tides of EDA," Design & Test of Computers, IEEE, Nov.-Dec. 2003

- [27] M. Osterman and M. Pecht, "Component placement for reliability on conductivity cooled printed wiring boards," Trans. ASME J. Electron. Packag., vol. 111, pp. 149–156, 1989.
- [28] Golshan, K. "Physical Design Essentials: An ASIC Design Implementation Perspective". New York: Springer ( 2007 ), ISBN: 978-0-387-36642-5.
- [29] Lavagno, Martin and Schaeffer. "EDA for IC Implementation, Circuit Design, and Process Technology (Electronic Design Automation for Integrated Circuits)". CRC Press, 2006. ISBN: 9780849379239.
- [30] Fastplace: Efficient analytical placement using cell shifting, iterative local refinement and a hybrid net model – Natarajan Viswanathan, Chris Chong-nuen Chu – 2004.
- [31] Jansen, D. "The Electronic Design Automation Handbook". Kluwer Academic Publishers. ( 2003 ). ISBN 1-4020-7502-2.
- [32] Roy, J.A. and Markov, I.L. , "Seeing the Forest and the Trees: Steiner Wirelength Optimization in Placement," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, April 2007.
- [33] Robert Brayton and Jason Cong. Electronic Design Automation – Past, Present and Future. NFS Workshop, Jul 2009.
- [34] Sarrafzadeg, M. and Wang, M. , "Global and detailed placement," In Proceedings of International conference on Computer-Aided Design.
- [35] Dunlop, A.E. and Kernighan, B.W. , "A Procedure for Placement of Standard-Cell VLSI Circuits," Computer-Aided Design of Integrated Circuits and Systems, IEEE transactions on, January 1985.
- [36] D. J. Dean, Thermal Design of Electronic Circuit Boards and Packages. Edinburgh, Scotland: Electrochemical Publications, 1985.
- [37] Forum for Electronics, [online] Available: <http://www.edaboard.com>

- [38] [http://users.auth.gr/linardis/Courses/MetaptyxVLSI/LowPower/low\\_power\\_1.pdf](http://users.auth.gr/linardis/Courses/MetaptyxVLSI/LowPower/low_power_1.pdf)
- [39] [http://en.wikipedia.org/wiki/Physical\\_design\\_\(electronics\)](http://en.wikipedia.org/wiki/Physical_design_(electronics))
- [40] [http://en.wikipedia.org/wiki/Integrated\\_circuit](http://en.wikipedia.org/wiki/Integrated_circuit)
- [41] [http://cc.ee.ntu.edu.tw/~ywchang/Courses/PD/EDA\\_placement.pdf](http://cc.ee.ntu.edu.tw/~ywchang/Courses/PD/EDA_placement.pdf)
- [42] [http://en.wikipedia.org/wiki/Electronic\\_design\\_automation](http://en.wikipedia.org/wiki/Electronic_design_automation)
- [43] [http://en.wikipedia.org/wiki/Computer-aided\\_design](http://en.wikipedia.org/wiki/Computer-aided_design)
- [44] <http://asic-soc.blogspot.in/2008/04/low-power-design-techniques.html>
- [45] [http://en.wikipedia.org/wiki/Integrated\\_circuit\\_design](http://en.wikipedia.org/wiki/Integrated_circuit_design)