

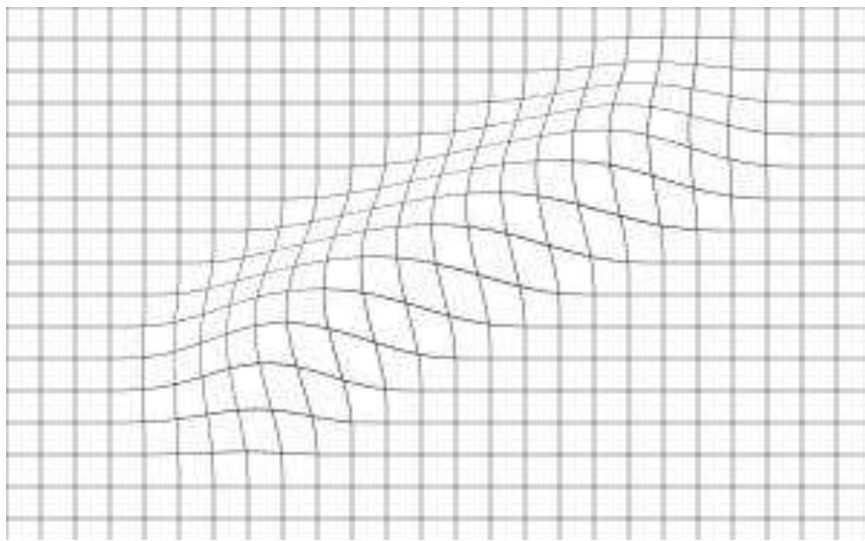


ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΘΕΜΑ: ΧΩΡΟΘΕΤΗΣΗ ΚΑΙ ΑΝΑΛΥΣΗ ΧΡΟΝΙΣΜΟΥ
ΚΥΚΛΩΜΑΤΩΝ VLSI ΣΕ ΒΙΟΜΗΧΑΝΙΚΟ ΠΕΡΙΒΑΛΛΟΝ



Επιβλέπων Καθηγητής: Σταμούλης Γεώργιος

Επιμέλεια: Καϊσίδης Βλαδίμηρος

A.E.M: 662

Βόλος 2012

Ευχαριστίες

Θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή μου Σταμούλη Γεώργιο, τον Αντώνη Δαδαλιάρη και τον Κωνσταντή Δαλούκα για την πολύτιμη βοήθεια και καθοδήγηση, τις οξυδερκείς συμβουλές και παρατηρήσεις, την σημαντική συμβολή, τις καίριες παρεμβάσεις, τα κατάλληλα και ουσιώδη κάθε φορά σχόλια, και γενικότερα για την εμπύχωση και υποστήριξή τους σε όλη την διάρκεια των προσπαθειών μου για την πραγματοποίηση αυτής της εργασίας. Η άψογη συνεργασία μου μαζί τους οδήγησε στην δημιουργία ενός πολύ ευχάριστου κλίματος με αποτέλεσμα η εκπόνηση της πτυχιακής μου εργασίας να αποτελέσει για μένα μία καταπληκτική διαδικασία και εμπειρία που θα μου μείνει αξέχαστη!

Περιεχόμενα

Εισαγωγή	...4
<u>ΜΕΡΟΣ ΠΡΩΤΟ</u>	
Κεφάλαιο 1: Το place and route και τα διάφορα περιβάλλοντα που χρησιμοποιείται	
1.1 Ο ορισμός του place and route	...6
1.2 Application Specific Integrated Circuit (ASIC)	...7
Κεφάλαιο 2: Large-Scale Placement by Grid Warping	
2.1 Ο αλγόριθμος Grid-Warping	...15
2.2 Η αναλυτική διατύπωση του Grid-Warping	...17
2.2.1 Η τετραγωνική αρχική τοποθέτηση	...17
2.2.2 Ο μετασχηματισμός του Grid Warping Unit-Cell	...18
2.2.3 Η αντικειμενική συνάρτηση του Warping	...20
<u>ΜΕΡΟΣ ΔΕΥΤΕΡΟ</u>	
Κεφάλαιο 3: Αποτελέσματα	...22
Κεφάλαιο 4: Συμπεράσματα	...47
Βιβλιογραφία	...48

Εισαγωγή

Αντικείμενο μελέτης του παρόντος εγχειρήματος αποτελεί ένας αλγόριθμος επανατοποθέτησης των πυλών μιας επιφάνειας. Αυτός ο αλγόριθμος βασίζεται σε μία απλή ιδέα, κατά την οποία αντί να μετακινούμε τις πύλες για να βελτιώσουμε τις θέσεις τους, παραμορφώνουμε την δισδιάστατη επιφάνεια πάνω στην οποία έχουν τοποθετηθεί, μέχρι οι πύλες να τοποθετηθούν σε σημεία της αρέσκειας μας. Συνεπώς, μετακινούμε το πλέγμα (grid) και όχι τις πύλες.

Δεδομένης της τεράστιας τεχνολογικής ανάπτυξης και της επανάστασης που παρουσιάζεται στον κόσμο των ηλεκτρονικών, μια συστηματική έρευνα για την βελτιστοποίηση της τοποθέτησης των πυλών της επιφάνειας ενός τσιπ, θα αποτελούσε σημαντικό θέμα μελέτης και έρευνας.

Στόχος της παρούσας εργασίας είναι, χρησιμοποιώντας τον αλγόριθμο τοποθέτησης Grid-Warping στον σχεδιασμό ενός τσιπ, να έχουμε ως τελικό αποτέλεσμα τη μείωση του wirelength, και κατά συνέπεια την αύξηση της απόδοσης, και την μείωση του κόστους.

Η εργασία χωρίζεται σε δύο μέρη. Το πρώτο μέρος περιλαμβάνει το θεωρητικό κομμάτι της εργασίας, όπου στο πρώτο κεφάλαιο δίνεται ο ορισμός του place and route και παρουσιάζεται το ASIC με τα διάφορα design του. Στο δεύτερο κεφάλαιο εξετάζεται ο αλγόριθμος grid-warping, δίνονται γενικά στοιχεία για τον αλγόριθμο και γίνεται η αναλυτική περιγραφή της διατύπωσης του.

Το δεύτερο μέρος, που είναι το τρίτο και το τέταρτο κεφάλαιο της εργασίας, περιλαμβάνει την παρουσίαση των λαμβανομένων αποτελεσμάτων και την διατύπωση γενικών συμπερασμάτων. Τα αποτελέσματα προήλθαν ύστερα από συνεχή διενέργεια πειραματικών μετρήσεων με τη χρήση του αλγορίθμου

τοποθέτησης Grid-warping και των κυκλωμάτων ISCAS '89. Ο αντίστοιχος κώδικας έχει γραφτεί σε γλώσσα προγραμματισμού C.

Η εργασία ολοκληρώνεται με την παράθεση της σημασίας του αλγορίθμου grid-warping σχετικά με το ρόλο που μπορεί να διαδραματίσει στην παγκόσμια τεχνολογία και την ερευνητική κοινότητα.

Αναφορικά με τη μέθοδο που ακολουθήθηκε για τη συγγραφή της εργασίας είναι η βιβλιογραφική έρευνα και η μελέτη περίπτωσης-πείραμα. Η χρήση της βιβλιογραφίας βοήθησε τόσο για το ιστορικό μέρος της εργασίας όσο και για την άντληση στοιχείων για την ανάπτυξη του θέματος της διπλωματικής. Στη μελέτη περίπτωσης, οι κύριες πηγές αντλήθηκαν στην πλειονότητα τους από το ερευνητικό και πειραματικό κομμάτι της εργασίας, ύστερα από την χρήση του αλγορίθμου στα κυκλώματα ISCAS '89 .

Κεφάλαιο 1: Το place and route και τα διάφορα περιβάλλοντα που χρησιμοποιείται.

1.1 Place and Route

Το Place and route (τοποθεσία και δρομολόγηση) είναι ένα στάδιο στον σχεδιασμό των application specific integrated circuits (ASICs) και των field-programmable gates arrays (FPGAs). Όπως υποδηλώνει και το όνομα του, αποτελείται από δύο στάδια, την τοποθέτηση και την δρομολόγηση. Το πρώτο στάδιο, η τοποθέτηση, περιλαμβάνει την επιλογή του τόπου όπου θα τοποθετηθούν τα ηλεκτρονικά εξαρτήματα, κυκλώματα και λογικά στοιχεία, σε ένα γενικά περιορισμένο χώρο. Αυτό ακολουθείται από την δρομολόγηση, η οποία αποφασίζει για τον ακριβή σχεδιασμό όλων των καλωδίων που απαιτούνται για να συνδεθούν τα τοποθετημένα στοιχεία. Αυτό το στάδιο πρέπει να πραγματοποιήσει όλες τις επιθυμητές συνδέσεις, ακολουθώντας τους κανόνες και τους περιορισμούς της παραγωγικής διαδικασίας.

Το place and route χρησιμοποιείται σε διάφορα περιβάλλοντα:

- ASICs

- FPGAs

Το τελικό αποτέλεσμα όταν το placing and routing τελειώνει είναι το *layout*, μια γεωμετρική περιγραφή της θέσης και της περιστροφής του κάθε μέρους, και η ακριβή διαδρομή του κάθε καλωδίου που τα συνδέει.

Περιστασιακά, κάποιιοι ονομάζουν ολόκληρη τη διαδικασία place-and-route *layout*.

Στη συνέχεια ακολουθεί αναλυτική ανάλυση του ASIC.

1.2 Application Specific Integrated Circuit (ASIC)

Ένα application specific integrated circuit (ASIC) είναι ένα ολοκληρωμένο κύκλωμα (IC), προσαρμοσμένο για μια συγκεκριμένη χρήση, αντί να προορίζεται για γενική χρήση. Για παράδειγμα, ένα τσίπ σχεδιασμένο να λειτουργεί σε ένα μηχάνημα εγγραφής ψηφιακής φωνής είναι ένα ASIC. Η ειδική εφαρμογή τυποποιημένων προϊόντων (ASSPs), είναι ο μεσάζοντας μεταξύ των ASICs και του βιομηχανικού προτύπου των ολοκληρωμένων κυκλωμάτων, όπως η 7400 ή η 4000 σειρά.

Καθώς χαρακτηριστικά μεγέθη έχουν συρρικνωθεί και τα εργαλεία σχεδιασμού βελτιώνονται με την πάροδο του χρόνου, η μέγιστη πολυπλοκότητα (και ως εκ τούτου και η λειτουργικότητα) ενός ASIC, είναι πιθανόν να αυξηθεί από 5000 πύλες σε 100 εκατομμύρια. Τα σύγχρονα ASICs συχνά περιλαμβάνουν ολοκληρωμένους 32-bits επεξεργαστές, μπλοκ μνήμης συμπεριλαμβανομένων των ROM, RAM, EEPROM, και άλλων μεγάλων δομικών μπλοκ. Ένα τέτοιο ASIC συχνά χαρακτηρίζεται με τον όρο SoC (System on Chip). Οι σχεδιαστές των ψηφιακών ASICs χρησιμοποιούν μια γλώσσα περιγραφής υλικού (HDL), όπως είναι η Verilog ή η VHDL, για να περιγράψουν τη λειτουργικότητα των ASICs.

Ένα field programmable gate arrays (FPGA), είναι η σύγχρονη τεχνολογία για την οικοδόμηση ενός breadboard ή πρωτοτύπου από τυποποιημένα κομμάτια. Προγραμματιζόμενα μπλοκ λογικής και προγραμματιζόμενες διασυνδέσεις επιτρέπουν το FPGA να χρησιμοποιηθεί σε πολλές διαφορετικές εφαρμογές. Για μικρότερα σχέδια και για χαμηλότερο όγκο παραγωγής, τα FPGAs μπορεί να είναι πιο αποδοτικά από έναν ASIC σχεδιασμό.

Ιστορία

Το αρχικό ASIC χρησιμοποιούσε τεχνολογία gate array (συστοιχίας πυλών). Η Ferranti, μία βρετανική εταιρεία εξοπλισμού ηλεκτρολόγων μηχανικών, παρήγαγε ίσως το πρώτο κύκλωμα με τεχνολογία gate array, το ULA, γύρω στο 1980. Το κύκλωμα ULA ήταν μία από τις πρώτες πετυχημένες εμπορικές εφαρμογές το οποίο συναντάται στους προσωπικούς υπολογιστές ZX81 των 8-bit και ZX Spectrum low-end και καθιερώθηκε το 1981 και το 1982. Αυτοί οι δύο προσωπικοί υπολογιστές, χρησιμοποιήθηκαν από τη Sinclair Research, ουσιαστικά ως μια λύση I/O χαμηλού κόστους, με στόχο τον χειρισμό των γραφικών του υπολογιστή.

Τα ULAs είχαν πολυπλοκότητα μέχρι και μερικές χιλιάδες πύλες. Οι νεότερες εκδόσεις έγιναν πιο γενικευμένες με διαφορετική προσαρμοσμένη βάση τόσο από μέταλλο όσο και από στρώματα πολυπυριτίου. Τέλος, μερικές βάσεις περιλαμβάνουν στοιχεία RAM.

Standard-cell design

Στα μέσα της δεκαετίας του 1980, ένας σχεδιαστής θα επιλέξει έναν ASIC κατασκευαστή, και θα εφαρμόσουν τον σχεδιασμό τους χρησιμοποιώντας τα διαθέσιμα εργαλεία σχεδίασης του κατασκευαστή. Οι περισσότεροι σχεδιαστές κατέληξαν να χρησιμοποιούν συγκεκριμένα εργαλεία εργοστασίου για να ολοκληρώσουν την εκτέλεση των σχεδίων τους. Έτσι οδηγηθήκαμε στην εφαρμογή των standard cells. Κάθε κατασκευαστής ASIC, πλέον, θα μπορούσε να δημιουργήσει λειτουργικά μπλοκ/τμήματα, με γνωστά ηλεκτρονικά χαρακτηριστικά, όπως η καθυστέρηση διάδοσης, η χωρητικότητα και η αυτεπαγωγή. Ο σχεδιασμός των standard cells έχει ως στόχο την αξιοποίηση αυτών των λειτουργικών τμημάτων για την επίτευξη πολύ υψηλής πυκνότητας πύλης και καλής ηλεκτρικής απόδοσης. Ο σχεδιασμός του standard cell μοιάζει με τον σχεδιασμό του Gate Array και του Full

Custom τόσο όσον αφορά τη μη επαναλαμβανόμενη μηχανική όσο και το επαναλαμβανόμενο κόστος συστατικού.

Στα τέλη της δεκαετίας του 1990, τα εργαλεία λογικής σύνθεσης έγιναν διαθέσιμα. Αυτά τα εργαλεία μπορούν να συγκεντρώσουν τις HDL περιγραφές σε μια gate-level netlist. Τα ολοκληρωμένα κυκλώματα του standard cell είναι σχεδιασμένα σε ακόλουθα εννοιολογικά στάδια, παρόλο που αυτά τα στάδια επικαλύπτονται σημαντικά στη πράξη. Τα στάδια αυτά είναι:

1. Μία ομάδα μηχανικών σχεδιασμού ξεκινά με μία άτυπη κατανόηση των απαιτούμενων λειτουργιών για ένα νέο ASIC, που συνήθως προέρχεται από την ανάλυση των απαιτήσεων.
2. Η σχεδιαστική ομάδα κατασκευάζει μια περιγραφή ενός ASIC, για την επίτευξη αυτών των στόχων, χρησιμοποιώντας μία HDL. Αυτή η διαδικασία είναι ανάλογη με το γράψιμο ενός προγράμματος του ηλεκτρονικού υπολογιστή σε μία γλώσσα υψηλού επιπέδου. Αυτό συνήθως ονομάζεται RTL (register transfer level) σχεδιασμός.
3. Η καταλληλότητα του στόχου οφείλει να επαληθεύεται μέσω λειτουργικής επαλήθευσης. Κάτι τέτοιο για να επιτευχθεί μπορεί να περιλαμβάνει τεχνικές όπως η λογική προσομοίωση, η τυπική επαλήθευση, η εξομοίωση, ή η δημιουργία ενός ισοδύναμου μοντέλου λογισμικού. Καθεμία από αυτές τις τεχνικές έχει τα πλεονεκτήματα και μειονεκτήματα της, και γι' αυτό, συχνά χρησιμοποιούνται διάφορες μέθοδοι.
4. Η λογική σύνθεση μετατρέπει τον RTL σχεδιασμό σε μία μεγάλη συλλογή χαμηλότερου επιπέδου δομών που ονομάζεται standard cells. Αυτές οι δομές λαμβάνονται από μία standard cell βιβλιοθήκη που αποτελείται από προϋπάρχουσες συλλογές πυλών (όπως η nor 2 εισόδων, η nand 2 εισόδων, οι

μετατροπείς κλπ). Τα standard cells είναι συνήθως συγκεκριμένα για τον προγραμματισμένο κατασκευαστή του ASIC. Η προκύπτουσα συλλογή των standard cells, καθώς και οι απαραίτητες ηλεκτρικές διασυνδέσεις μεταξύ αυτών ονομάζεται gate-level netlist.

5. Στη συνέχεια ένα εργαλείο τοποθέτησης επεξεργάζεται το gate-level netlist, τοποθετώντας τα standard cells πάνω σε μία περιοχή που αντιπροσωπεύει το τελικό ASIC. Προσπαθεί να βρει μία τοποθέτηση των standard cells, που υπόκειται σε μια σειρά συγκεκριμένων περιορισμών.
6. Έπειτα το εργαλείο δρομολόγησης παίρνει την φυσική τοποθέτηση των standard cells και χρησιμοποιεί το netlist για να δημιουργήσει τις ηλεκτρικές διασυνδέσεις μεταξύ αυτών. Δεδομένου ότι ο χώρος αναζήτησης είναι μεγάλος η διαδικασία αυτή θα παράγει μία επαρκή αλλά όχι βέλτιστη λύση.
7. Λαμβάνοντας υπόψη την τελική διάταξη, το κύκλωμα εξόρυξης υπολογίζει τις παρασιτικές αντιστάσεις και χωρητικότητες. Αυτές, στην περίπτωση ενός ψηφιακού κυκλώματος, θα τις αντιστοιχίσουμε με πληροφορίες καθυστέρησης, από τις οποίες η επίδοση του κυκλώματος μπορεί να εκτιμηθεί, συνήθως μέσω της στατικής χρονικής ανάλυσης. Αυτό σε συνδυασμό με άλλες τελικές δοκιμές, όπως ο κανόνας σχεδιασμού ελέγχου και η ανάλυση δύναμης έχουν ως στόχο να εξασφαλίσουν ότι η συσκευή θα λειτουργήσει σωστά σε όλες τις ακραίες τάσεις και θερμοκρασίες της διαδικασίας.

Αυτά τα βήματα συνήθως παράγουν μία τελική συσκευή που υλοποιεί σωστά τον αρχικό σχεδιασμό. Επίσης, τα βήματα του σχεδιασμού είναι κοινά με το πρότυπο σχεδιασμού προϊόντων. Η σημαντική διαφορά είναι ότι ο σχεδιασμός του standard cell χρησιμοποιεί βιβλιοθήκες cell του κατασκευαστή, που έχουν χρησιμοποιηθεί σε εκατοντάδες άλλες εφαρμογές σχεδιασμού, και ως εκ τούτου είναι πολύ μικρότερος σε κίνδυνο από ότι ο πλήρης σύνηθες σχεδιασμός. Τα standard cells παράγουν μια

σχεδιαστική πυκνότητα που είναι οικονομικά αποδοτική, και μπορούν να ενσωματώσουν IP πυρήνες και SRAM (Static Random Access Memory) αποτελεσματικά, σε αντίθεση με τις Gates Arrays.

Gate-array design

Ο Gate-array σχεδιασμός είναι μια μέθοδος παραγωγής στην οποία τα διάχυτα στρώματα, δηλαδή τα τρανζίστορ και τα άλλα ενεργά προϊόντα είναι προκαθορισμένα, όπου ακόμα και γκοφρέτες που περιέχουν τέτοιου είδους συσκευές διατηρούνται σε αποθέματα πριν από την επιμετάλλωση. Εν ολίγης δεν συνδέονται. Στη συνέχεια, ακολουθεί η φυσική διαδικασία σχεδιασμού όπου και ορίζει τις διασυνδέσεις της τελικής συσκευής. Για τις περισσότερες ASIC κατασκευές, αυτό αποτελείται από δύο μέχρι και εννέα μεταλλικά στρώματα, όπου κάθε στρώμα μετάλλου λειτουργεί οριζόντια, το ένα κάτω από το άλλο. Τα μη επαναλαμβανόμενα μηχανικά κόστη είναι πολύ χαμηλότερα, καθώς οι φωτολιθογραφικές μάσκες που απαιτούνται μόνο για τα μεταλλικά στρώματα, αλλά και οι κύκλοι παραγωγής, που είναι πολύ μικρότεροι, ορίζουν την επιμετάλλωση ως μια συγκριτικά γρήγορη διαδικασία.

Οι Gate-array ASICs αποτελούν πάντα έναν συμβιβασμό, καθώς κάνοντας χαρτογράφηση ένα δεδομένο σχέδιο είναι αδύνατο να έχουμε 100% αξιοποίηση σε μια τέτοιου είδους κατασκευή. Συχνά οι δυσκολίες στη δρομολόγηση της διασύνδεσης απαιτούν τη μετακίνηση σε μια μεγαλύτερη συσκευή array με συνακόλουθη αύξηση μεριδίου της τιμής. Οι δυσκολίες αυτές συχνά είναι αποτέλεσμα της διάταξης λογισμικού που χρησιμοποιείται για την ανάπτυξη της διασύνδεσης.

Στην πραγματικότητα, σήμερα ο gate-array σχεδιασμός σπάνια εφαρμόζεται από τους σχεδιαστές κυκλωμάτων, έχοντας αντικατασταθεί σχεδόν εξ' ολοκλήρου από το πεδίο προγραμματιζόμενων συσκευών, όπως τα field-programmable gate arrays (FPGAs), τα οποία μπορούν να προγραμματιστούν από τον χρήστη, προσφέροντας χαμηλά τιμολογιακά εργαλεία, μη επαναλαμβανόμενη μηχανική, μόνο οριακά αυξημένο κόστος και ανταγωνιστικές επιδόσεις. Σήμερα, οι gate arrays εξελίσσονται σε structured ASICs που αποτελούνται από ένα μεγάλο IP πυρήνα όπως, οι CPU και DSP μονάδες, περιφερειακά, καθορισμένες διεπαφές, και ολοκληρωμένες μνήμες SRAM. Αυτή η αλλαγή οφείλεται σε μεγάλο βαθμό στις ASIC συσκευές, οι οποίες είναι σε θέση να ενσωματώνουν μεγάλα τμήματα της λειτουργικότητας του συστήματος και του "system-on-a-chip" απαιτώντας πολλά περισσότερα από απλά μπλοκ λογικής.

Στη πράξη, συχνά οι όροι "gate array" και "semi-custom" είναι συνώνυμοι. Οι μηχανικοί της διαδικασίας πιο συχνά χρησιμοποιούν τον όρο "semi-custom" ενώ ο όρος "gate-array" χρησιμοποιείται πιο συχνά από τους σχεδιαστές λογικής.

Full-custom design

Όσον αφορά το full-custom ASIC σχεδιασμό, είναι γνωστό πως καθορίζει όλα τα φωτολιθογραφικά στρώματα της συσκευής. Ο Full-custom σχεδιασμός χρησιμοποιείται τόσο για ASIC σχεδιασμό όσο και για το σχεδιασμό πρότυπων προϊόντων.

Τα πλεονεκτήματα του full-custom σχεδιασμού είναι το γεγονός ότι συχνά παρατηρείται μείωση της περιοχής, βελτίωση της απόδοσης αλλά και η ικανότητα να

ενσωματώνει αναλογικά εξαρτήματα και άλλα προσχεδιασμένα εξαρτήματα, όπως οι πυρήνες μικροεπεξεργαστών που σχηματίζουν ένα system-on-chip.

Τα μειονεκτήματα του full-custom σχεδιασμού αναφέρουν αύξηση του χρόνου παραγωγής και του χρόνου σχεδιασμού, αυξημένα και μη επαναλαμβανόμενα μηχανικά έξοδα, πολυπλοκότητα στο CAD του συστήματος και υψηλά απαιτούμενες δεξιότητες από την ομάδα σχεδιασμού.

Ωστόσο, αποκλειστικά για τον ψηφιακό σχεδιασμό, οι "standard-cell" βιβλιοθήκες cell, μαζί με τα σύγχρονα συστήματα CAD μπορούν να προσφέρουν σημαντικά στον λόγο απόδοση/κόστος και μάλιστα με χαμηλό κίνδυνο. Τα αυτοματοποιημένα εργαλεία διάταξης είναι εύκολα και γρήγορα στη χρήση, προσφέροντας επίσης τη δυνατότητα βελτιστοποίησης της απόδοσης κάθε περιορισμού σε διάφορες πτυχές του σχεδιασμού.

Structured design

Η δομημένη (structured) σχεδίαση ASIC, είναι ένας σχετικά νέος όρος στη βιομηχανία με αποτέλεσμα να έχουμε κάποιες παραλλαγές στον ορισμό του. Ωστόσο, βασική αρχή ενός structured ASIC αποτελεί το γεγονός ότι τόσο ο χρόνος του κύκλου παραγωγής όσο και ο χρόνος του κύκλου σχεδιασμού είναι μειωμένος σε σύγκριση με τη cell-based ASIC, εξαιτίας των προκαθορισμένων μεταλλικών στρωμάτων (με αποτέλεσμα τη μείωση του χρόνου κατασκευής) και του προκαθορισμού του τι είναι το πυρίτιο (μειώνοντας έτσι τον χρόνο του κύκλου σχεδιασμού).

Ένας ορισμός αναφέρει ότι η "Structured ASIC" τεχνολογία θεωρείται ότι γεφυρώνει το χάσμα μεταξύ του τομέα προγραμματιζόμενων gate arrays και των "standard-cell" ASIC σχεδιασμών.

Αυτό που κάνει μια "Structured ASIC" να διαφέρει είναι ότι σε μια gate array, τα προκαθορισμένα μεταλλικά στρώματα χρησιμεύουν για να κάνουν ταχύτερη την ανάκαμψη της κατασκευής, ενώ σε μια "Structured ASIC" η χρήση των προκαθορισμένων επιμεταλλώσεων γίνεται κατά κύριο λόγο για να μειωθεί το κόστος του συνόλου της μάσκας, μειώνοντας σημαντικά το χρόνο του κύκλου σχεδιασμού. Για παράδειγμα σε ένα cell-based ή gate-array σχεδιασμό ο χρήστης πρέπει συχνά να σχεδιάζει δύναμη, ρολόι και τις δοκιμές των δομών, οι οποίες είναι προκαθορισμένες στα structured ASICs και ως εκ τούτου μπορεί να εξοικονομήσει χρόνο και έξοδα για τον σχεδιαστή σε σχέση με τη gate-array. Ομοίως, τα εργαλεία σχεδιασμού που χρησιμοποιούνται για τη structured ASIC μπορούν να έχουν χαμηλότερο κόστος και να χρησιμοποιηθούν ευκολότερα από ότι τα cell-based εργαλεία, καθώς δεν χρειάζεται να εκτελέσουν όλες τις λειτουργίες που κάνουν τα cell-based εργαλεία. Σε ορισμένες περιπτώσεις ο προμηθευτής του structured ASIC απαιτεί να χρησιμοποιηθούν προσαρμοσμένα εργαλεία για τη συσκευή τους, που επιτρέπουν τον σχεδιασμό να τεθεί σε παραγωγή πιο γρήγορα.

Μια ακόμη σημαντική παρατήρηση για τη "Structured ASIC" είναι ότι επιτρέπει την πνευματική ιδιοκτησία (intellectual property (IP)) που είναι κοινή για ορισμένες εφαρμογές ή τμήματα της βιομηχανίας να είναι "built in" και όχι "designed in". Δομώντας την IP, απευθείας στην αρχιτεκτονική, ο σχεδιαστής καταφέρνει να σώσει ξανά τόσο χρόνο όσο και χρήμα σε σύγκριση με τη περίπτωση σχεδιασμού IP σε ένα κελί με cell-based ASIC.

Κεφάλαιο 2: Large-Scale Placement by Grid Warping

2.1 Ο αλγόριθμος Grid-Warping

Το Grid-warping είναι ένας καινούργιος αλγόριθμος τοποθέτησης, ο οποίος βασίζεται σε μια απλή ιδέα. Αυτή η ιδέα μας λέει ότι αντί να μετακινούμε τις πύλες (gates) για να βελτιώσουμε τις θέσεις τους, παραμορφώνουμε την δισδιάστατη επιφάνεια πάνω στην οποία έχουν τοποθετηθεί (οι πύλες), μέχρι οι πύλες να τοποθετηθούν σε σημεία της αρέσκειας μας. Το βασικό αυτής της ιδέας, το οποίο πρέπει να θυμόμαστε, είναι ότι μετακινούμε το πλέγμα (grid) και όχι τις πύλες.

Τα τελευταία χρόνια παρατηρείται ένας ιδιαίτερα έντονος ανταγωνισμός προκειμένου να εξελιχθούν αποδοτικότεροι μέθοδοι ανάλυσης για τον χειρισμό μεγαλύτερων netlists, και για την παραγωγή καλύτερων wirelengths και καλύτερου χρόνου. Παρά την εντυπωσιακή πρόοδο, που έχει πραγματοποιηθεί τις τελευταίες δεκαετίες, το πρόβλημα παραμένει ακόμα αρκετά σημαντικό προκειμένου να εστιάσουμε σε αυτό, διότι μεγάλο μέρος της τελικής απόδοσης (μέγεθος, απόδοση, κόστος, ταχύτητα) μιας σύγχρονης εφαρμογής ολοκληρωμένου κυκλώματος καθορίζεται από την τοποθέτηση της.

Όπως προαναφέραμε η ιδέα του αλγορίθμου Grid Warping είναι εντυπωσιακά απλή. Αντί να μετακινούμε τις πύλες για να βελτιώσουμε την τοποθέτηση τους παραμορφώνουμε την δισδιάστατη επιφάνεια πάνω στην οποία οι πύλες έχουν τοποθετηθεί γρήγορα και πρόχειρα. Δηλαδή μετακινούμε το πλέγμα και όχι τις πύλες, έως ότου οι πύλες να τοποθετηθούν σε θέσεις της αρεσκείας μας.

Αυτή η στρατηγική έχει τρία πλεονεκτήματα:

- 1) Η παραμόρφωση της επιφάνειας είναι εκπληκτικά απλή, και το πρόβλημα βελτιστοποίησης χαμηλών διαστάσεων.

- 2) Απελευθερωνόμαστε από την ανάγκη να βασιζόμαστε σε μία μοναδική κινητήρια δύναμη της εξέλιξης της τοποθέτησης, και μπορούμε να προσθέσουμε βελτιστοποίηση χρησιμοποιώντας ισχυρές μη γραμμικές μεθόδους και να διαλέξουμε οποιαδήποτε αντικειμενική συνάρτηση (με καλή συμπεριφορά) μας αρέσει.

- 3) Αυτό το πολύ μεγάλο πρόβλημα του σχεδιασμού έχει μετατραπεί από ένα έργο βελτιστοποίησης πολύ υψηλών διαστάσεων σε μια πολύ μεγάλη αριθμητική συνάρτηση κόστους με μικρό αριθμό βαθμών ελευθερίας, που καθορίζουν την παραμόρφωση του πλέγματος τοποθέτησης.
Αυτό το λέμε placement by grid-warping.

Πέρα όμως από τα τρία αυτά πλεονεκτήματα, ο αλγόριθμός μας παρουσιάζει ορισμένες πρωτόγνωρες συμπεριφορές, τις οποίες πρέπει να αντιμετωπίσουμε επιτυχημένα.

Προκειμένου να αρχίσουμε να κατανοούμε καλύτερα τον αλγόριθμο τοποθέτησης Grid Warping θα προσπαθήσουμε να κάνουμε μία σύντομη περιγραφή του. Αρχικά, μπορούμε να αντιληφθούμε το warping σαν ένα ενιαίο πλέγμα πάνω από την επιφάνεια τοποθέτησης, όπου κάθε τομή του πλέγματος προσδιορίζει ένα σημείο ελέγχου (control point). Τέσσερα τέτοια σημεία αποτελούν τις τέσσερις κορυφές των τετραγώνων ή των τετραπλεύρων του πλέγματος, τα οποία ονομάζονται unit cells. Το κάθε unit cell ,αρχικά, περιέχει ένα σύνολο τοποθετημένων πυλών. Το warping μετακινεί αυτά τα σημεία ελέγχου για να προσεγγίσει κάποια παραμόρφωση του πλέγματος. Με αυτόν τον τρόπο παραμορφώνονται και τα unit cells, με αποτέλεσμα να αποκτούν ένα καινούργιο σύνολο τοποθετημένων πυλών. Έπειτα, τραβάμε αυτές τις πύλες σε καινούργιες θέσεις, εντός των αρχικών μη παραμορφωμένων unit cells.

Μπορούμε πλέον να συνειδητοποιήσουμε ότι υπάρχουν δύο βασικές ενέργειες:

- 1) Το warping, το οποίο καθορίζει πως το αρχικό πλέγμα (grid) παραμορφώνεται.

- 2) Το αντίστροφο warping, το οποίο καθορίζει πως κάθε (x,y) θέση πύλης της αρχικής τοποθέτησης μεταφέρεται πίσω σε μία νέα θέση.

Δηλαδή εμείς παραμορφώνουμε τον χώρο άμεσα, και η τοποθέτηση των πυλών γίνεται ως έμμεση συνέπεια αυτού.

2.2 Η αναλυτική διατύπωση του Grid-Warping

2.2.1 Η τετραγωνική αρχική τοποθέτηση

Αρχικά για να τοποθετήσουμε τις πύλες στην επιφάνεια τοποθέτησης χρησιμοποιούμε μία τετραγωνική αναλυτική διατύπωση τοποθέτησης. Ένα netlist κύκλωμα παρουσιάζεται ως ένα σταθμισμένο υπερ-γράφημα με $m=|M|$ κορυφές που αντιστοιχούν σε πύλες, και $n=|N|$ ακμές που αντιστοιχούν σε nets. Η αρχική τοποθέτηση επιδιώκει να αντιστοιχίσει όλες τις m μετακινούμενες πύλες πάνω σε επιτρεπτές θέσεις της δισδιάστατης περιοχής διάταξης. Κάθε net n είναι ένα σύνολο από pins και έχει βάρος W_n . Για κάθε πύλη i , έχουμε δύο μεταβλητές (x, y) , που αντιπροσωπεύουν τις x και y συντεταγμένες της, αντίστοιχα. Συνήθως ένα net που συνδέει k πύλες αποφέρει μία κλίκα στο γράφημα. Επίσης, υπάρχει και ο συντελεστής βάρους $1/(k-1)$, ο οποίος χρησιμοποιείται για να εμποδίζει μεγάλα nets να κυριαρχήσουν της αντικειμενικής συνάρτησης.

Στόχος μας είναι να ελαχιστοποιήσουμε το ευκλείδειο τετράγωνο wirelength, έτσι ώστε η απόσταση μεταξύ δύο συνδεδεμένων πυλών i και j να είναι $(x_i - x_j)^2 + (y_i - y_j)^2$. Το δισδιάστατο αυτό πρόβλημα έχει αποσυντεθεί σε δύο ανεξάρτητες τοποθετήσεις, την οριζόντια και την κάθετη, και έτσι η ελαχιστοποίηση γίνεται με την κλασική τετραγωνική μορφή:

$$(1/2)*(x^T)*A*x + (b^T)*x + constant,$$

όπου ο A είναι ένας καθορισμένος συμμετρικός και θετικός πίνακας διαστάσεων $m \times m$ και αντιπροσωπεύει την σταθμισμένη συνδεσιμότητα, το b είναι ένα m -διάστατο διάνυσμα που αντιπροσωπεύει καθορισμένες θέσεις, και x (ή y) είναι ένα m -διάστατο διάνυσμα που αντιπροσωπεύει τις συντεταγμένες που πρέπει να επιλυθούν. Αυτό έχει τη γνωστή βέλτιστη λύση $x=(A)^{-1}*b$ που διατίθεται μέσω του Conjugate Gradients.

Δηλαδή, συμπεραίνουμε ότι η τετραγωνική τοποθέτηση μας χρησιμεύει στην αρχική τοποθέτηση των πυλών στην επιφάνεια, και στη συνέχεια ακολουθεί το βήμα βελτίωσης του warping.

2.2.2 Ο μετασχηματισμός του Grid Warping Unit-Cell

Το επόμενο μας βήμα είναι να παραμορφώσουμε τον χώρο, επιτρέποντας έτσι σε κάθε unit cell του πλέγματος να παραμορφωθεί και να αποκτήσει ένα νέο σύνολο πυλών.

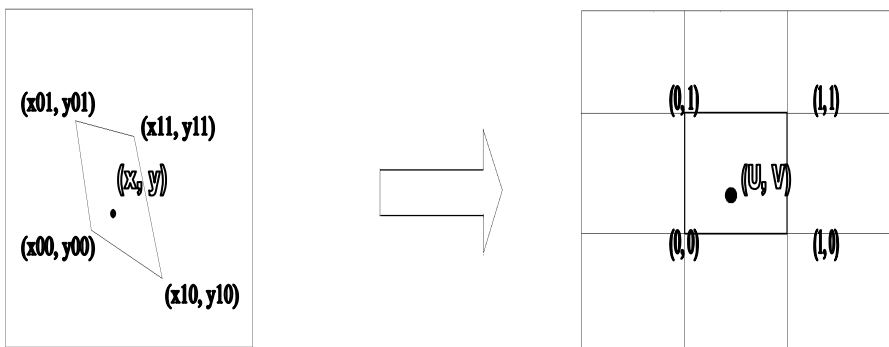
Το warping είναι μία διαδικασία τριών βημάτων:

- Αλλάζουμε την τοποθεσία των σημείων ελέγχου κάθε unit cell, επιτρέποντας κάθε unit cell να παραμορφωθεί και να επικαλύψει διαφορετικές πύλες.
- Χαρτογραφούμε όλες τις πρόσφατα επικαλυπτόμενες πύλες πίσω σε μια νέα τοποθεσία μέσα στο μη παραμορφωμένο αρχικό unit cell.

- Επαναυπολογίζουμε μία αντικειμενική συνάρτηση που μετράει πόσο καλά αναδιατάχθηκαν οι πύλες.

Έτσι, το επόμενο πρόβλημα είναι το πως ένα unit cell στρεβλώνεται (warped) γεωμετρικά.

Η βιβλιογραφία των γραφικών του υπολογιστή είναι πλούσια σε παραδείγματα, που αναφέρονται σε τρόπους μετατροπής ενός κυρτού τετραπλεύρου σε ένα τετράγωνο. Τα καλύτερα αποτελέσματα τα λαμβάνουμε με μία *inverse bilinear transform* (αντίστροφη *bilinear* μετατροπή). Η *bilinear* χαρτογράφηση είναι μία απλή, αναλογική γεωμετρική μετατροπή, που συνήθως ορίζεται ως μια χαρτογράφηση ενός τετραγώνου σε ένα τετράπλευρο. Εμείς, βασικά, χρειαζόμαστε την αντίστροφη *bilinear* χαρτογράφηση για να χαρτογραφήσουμε το στρεβλωμένο unit cell πίσω στο ομοιόμορφο πλέγμα. Η αντίστροφη χαρτογράφηση μπορεί να προκύψει από την επίλυση δύο απλών τετραγωνικών εξισώσεων.



$$A*u^2 + B*u + C = 0$$

$$D*v^2 + E*v + F = 0$$

Όπου,

$$A = a*f - b*e, \quad B = e*x - a*y + a*h - d*e + c*f - b*g, \quad C = g*x - c*y + c*h - d*g$$

$$D = a*g - c*e, \quad E = e*x - a*y + a*h - d*e - c*f + b*g, \quad F = f*x - b*y + b*h - d*f$$

και,

$$a = x_{00} - x_{10} - x_{01} + x_{11}$$

$$b = -x_{00} + x_{10}$$

$$c = -x_{00} + x_{01}$$

$$d = x_{00}$$

$$e = y_{00} - y_{10} - y_{01} + y_{11}$$

$$f = -y_{00} + y_{10}$$

$$g = -y_{00} + y_{01}$$

$$h = y_{00}$$

2.2.3 Η αντικειμενική συνάρτηση του Warping.

Σε αυτήν την ενότητα θα μελετήσουμε την αντικειμενική συνάρτηση που χρησιμοποιούμε για την βελτιστοποίηση. Μέσω αυτής συμπεραίνουμε αν επιτεύχθηκε όντως βελτιστοποίηση έπειτα από την τοποθέτηση των πυλών στις νέες τους θέσεις. Για την αντικειμενική συνάρτηση χρησιμοποιούμε έναν σταθμισμένο συνδυασμό του wirelength και της συμφόρησης (congestion).

$$Cost = Wirelength + W \times CongestionPenalty$$

Χρησιμοποιούμε τη half perimeter για το wirelength και μία penalty συνάρτηση για την συμφόρηση, που χρησιμοποιεί το source grid (πηγαίο πλέγμα). Κάθε source cell (πηγαίο κελί) ij συμβάλει ένα penalty C_{ij} , με βάση το κατά πόσον ο αριθμός των

πυλών, αντιστοιχούν σε περιοχή που υπερβαίνει μία συγκεκριμένη δυναμικότητα (ο συνολικός αριθμός των πυλών m διαιρείται με τον αριθμό των source cells $|C|$, και μας δίνει το κ). Έστω ότι m_{ij} είναι ο αριθμός των πυλών του κελιού ij , τότε:

$$C_{ij} = 0 \quad , \text{ αν } m_{ij} \text{ ανήκει στο διάστημα } [0.95\kappa, 1.05\kappa]$$

$$C_{ij} = (m_{ij}-\kappa)^2 \quad , \text{ αν } m_{ij} \text{ ανήκει στο διάστημα } [0.85\kappa, 0.95\kappa] \text{ ή } [1.05\kappa, 1.15\kappa]$$

$$C_{ij} = M + (m_{ij}-\kappa)^2 \quad , \text{ αν } m_{ij} \text{ ανήκει αλλού}$$

Περιοχές με πάρα πολλές, ή πολύ λίγες, πύλες, πάντοτε επιβαρύνονται με ένα μεγάλο βασικό penalty (M). Δηλαδή το warping παραμορφώνει τον χώρο έτσι ώστε, μετά τη χαρτογράφηση κάθε πύλης στη νέα της τοποθεσία, οι πύλες να έχουν μοιραστεί σε όσο το δυνατόν περισσότερα unit cells, ενώ προσπαθεί να εξασφαλίσει το wirelength να μην τεθεί σε κίνδυνο.

Κεφάλαιο 3: Αποτελέσματα

Σε αυτό το κεφάλαιο παρουσιάζονται τα αποτελέσματα του αλγορίθμου μας, τον οποίον τρέξαμε χρησιμοποιώντας διαφορετικά κυκλώματα και φυσικά θα προχωρήσουμε στον περαιτέρω σχολιασμό αυτών των αποτελεσμάτων.

Τα αποτελέσματα κάθε κυκλώματος παρουσιάζονται σε πίνακες. Σε αυτά έχουν ληφθεί υπόψη οι διάφορες τιμές της σταθεράς W , που χρησιμοποιείται για τον υπολογισμό του αρχικού και τελικού συνολικού κόστους (Initial / Final Total Cost) και της σταθεράς βασικού penalty M , που χρησιμοποιείται στον υπολογισμό του αρχικού και τελικού κόστους συμφόρησης (Initial / Final Penalty Cost).

Όσον αφορά το Penalty Cost, κάθε source cell ij συμβάλει ένα penalty C_{ij} , με βάση το κατά πόσον ο αριθμός των πυλών, που αντιστοιχούν σε μια περιοχή, υπερβαίνει μία συγκεκριμένη δυναμικότητα (ο συνολικός αριθμός των πυλών m διαιρείται με τον αριθμό των source cells $|C|$, και μας δίνει το κ). Έστω ότι m_{ij} είναι ο αριθμός των πυλών του κελιού ij , τότε:

$$C_{ij} = 0 \quad ,\text{if } m_{ij} \text{ ανήκει στο διάστημα } [0.95\kappa, 1.05\kappa]$$

$$C_{ij} = (m_{ij}-\kappa)^2 \quad ,\text{if } m_{ij} \text{ ανήκει στο διάστημα } [0.85\kappa, 0.95\kappa] \text{ ή } [1.05\kappa, 1.15\kappa]$$

$$C_{ij} = M + (m_{ij}-\kappa)^2 \quad ,\text{if } m_{ij} \text{ ανήκει αλλού}$$

Το συνολικό κόστος υπολογίζεται από την εξίσωση:

$$\text{Total_Cost} = \text{Wirelength} + W * \text{Penalty_Cost}$$

Οι στήλες του κάθε πίνακα περιέχουν τις σταθερές W και M , το Initial Wirelength, το Final Wirelength, το Initial Penalty Cost, το Final Penalty Cost, το Initial Total Cost και το Final Total Cost.

ISCAS 89

Στην εργασία χρησιμοποιήθηκαν τα κυκλώματα ISCAS 89 προκειμένου να τρέξουμε τον αλγόριθμό μας και να εξάγουμε τα αντίστοιχα αποτελέσματα του καθενός κυκλώματος. Στον πίνακα A που ακολουθεί γίνεται μία πλήρη αναφορά των κυκλωμάτων που χρησιμοποιήθηκαν.

Πρέπει να σημειωθεί ότι το γράμμα s στην ονομασία των κυκλωμάτων σημαίνει ότι τα κυκλώματα είναι σύγχρονα ακολουθιακά (synchronous sequential) και ο αριθμός που ακολουθεί το γράμμα s αντιπροσωπεύει τον αριθμό των γραμμών διασύνδεσης μεταξύ των πρωτόγονων κυκλωμάτων .

Πίνακας Α

Circuit name	#of Primary Inputs	#of Primary Outputs	#of D-type flipflops	#of AND/OR/NOT Gates
s208	11	2	8	96
s298	3	6	14	119
s344	9	11	15	160
s349	9	11	15	161
s382	3	6	21	158
s386	7	7	6	159
s400	3	6	21	162
s420	19	2	16	196
s444	3	6	21	181
s510	19	7	6	211
s526	3	6	21	193
s641	35	24	19	379
s713	35	23	19	393
s820	18	19	5	289
s832	18	19	5	287
s953	16	23	29	395
s1196	14	14	18	529
s1238	14	14	18	508
s1488	8	19	6	653

Αυτό που σήμερα γνωρίζουμε για το καθένα από τα παραπάνω κυκλώματα είναι:

- Το κύκλωμα s349 είναι ένας 4-bit πολλαπλασιαστής.
- Τα κυκλώματα s298, s400, s444 και s526 είναι φωτεινοί σηματοδότες ελέγχου κυκλοφορίας.
- Τα κυκλώματα s386, s510 και s953 είναι ελεγκτές, οι οποίοι συντίθενται από ένα υψηλό επίπεδο περιγραφής.
- Το κύκλωμα s1238 είναι ένα συνδυαστικό κύκλωμα με τυχαία παρεμβαλλόμενα flip-flops.
- Τα κυκλώματα s208, s420 και s838 είναι ψηφιακοί κλασματικοί πολλαπλασιαστές, που συντίθενται ιεραρχικά από ένα υψηλό επίπεδο περιγραφής.
- Τα κυκλώματα s298, s208, s713, s641 και s832, βασίζονται σε συσκευές PLD.
- Τα κυκλώματα s344, s382, s641, s820, s1196 και s1488 έχουν συντεθεί εκ νέου από τα κυκλώματα s349, s400, s526, s713, s832 και s1238, μετά την αφαίρεση όλων των απολύσεων σε πλήρη λειτουργία σάρωσης.

Στη συνέχεια, παρουσιάζονται οι πίνακες με τα αποτελέσματα κάθε κυκλώματος ξεχωριστά.

Πίνακας 1: Αποτελέσματα του κυκλώματος s208

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	6176.283674	5449.166403	546.04	402.04	11636.683674	9469.566403
100	1	6185.104452	5380.164702	502.04	395.04	56389.104452	44884.164702
1000	1	6169.717435	5376.944124	546.04	422.04	552209.717435	427416.944124
10000	1	6167.898683	5381.718795	484.04	380.04	4846567.898683	3805781.718795
10	10	6180.888330	5352.599676	749.04	657.04	13671.288330	11922.999676
100	10	6176.884117	5350.965701	749.04	633.04	81080.884117	68654.965701
1000	10	6178.905310	5336.818435	749.04	643.04	755218.905310	648376.818435
10000	10	6180.337382	5363.062115	749.04	631.04	7496580.337382	6315763.062115
10	100	6185.123194	5396.366579	2999.04	2803.04	36175.523194	33426.766579
100	100	6179.039173	5430.652650	2999.04	2871.04	306083.039173	292534.652650
1000	100	6186.237988	5400.893834	2999.04	2907.04	3005226.237988	2912440.893834
10000	100	6170.000140	5413.299217	2979.04	2761.04	29796570.000140	27615813.299217

Πίνακας 2: Αποτελέσματα του κυκλώματος s298

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	7076.246986	6322.867164	1625	1275	23326.246986	19072.867164
100	1	7078.732342	6322.971121	1625	1275	169578.732342	133822.971121
1000	1	7077.648141	6322.832147	1625	1275	1632077.648141	1281322.832147
10000	1	7073.853174	6322.975593	1625	1275	16257073.853174	12756322.975593
10	10	7083.671759	6322.925264	1850	1500	25583.671759	21322.925264
100	10	7074.414109	6323.253177	1850	1500	192074.414109	156323.253177
1000	10	7073.078384	6323.080206	1850	1500	1857073.078384	1506323.080206
10000	10	7073.526057	6322.939729	1850	1500	18507073.526057	15006322.939729
10	100	7073.647762	6323.060805	4100	3750	48073.647762	43823.060805
100	100	7082.212141	6322.878396	4100	3750	417082.212141	381322.878396
1000	100	7080.132017	6323.045987	4100	3750	4107080.132017	3756323.045987
10000	100	7083.654414	6323.090396	4100	3750	41007083.654414	37506323.090396

Πίνακας 3: Αποτελέσματα του κυκλώματος s344

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	10237.042715	10551.837507	5667.16	4313.16	66908.642715	53683.437507
100	1	10232.895281	10579.452344	5741.16	4423.16	584348.895281	452895.452344
1000	1	10241.431860	10552.027804	5593.16	4277.16	5603401.431860	4287712.027804
10000	1	10238.002993	10572.156011	5667.16	4351.16	56681838.002993	43522172.156012
10	10	10239.661058	10558.334121	5744.16	4612.16	67681.261058	56679.934121
100	10	10237.277788	10557.342169	5818.16	4502.16	592053.277788	460773.342169
1000	10	10235.589448	10504.742175	5670.16	4500.16	5680395.589448	4510664.742175
10000	10	10237.810562	10567.401187	5892.16	4538.16	58931837.810562	45392167.401187
10	100	10237.098646	10548.078587	8142.16	6862.16	91658.698646	79169.678587
100	100	10237.979154	10518.8336	8068.16	6856.16	817053.979154	696134.8336
1000	100	10237.511180	10600.830631	8142.16	6862.16	8152397.511180	6872760.830631
10000	100	10236.539133	10516.743553	7994.16	6862.16	79951836.539133	68632116.743553

Πίνακας 4: Αποτελέσματα του κυκλώματος s349

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	9046.965874	7978.525042	4759.64	3713.64	56643.365874	45114.925042
100	1	9045.017887	7964.647875	4557.64	3613.64	464809.017887	369328.647875
1000	1	9042.850273	7964.640618	4693.64	3585.64	4702682.850273	3593604.640618
10000	1	9042.754665	7978.257761	4691.64	3645.64	46925442.754665	36464378.257761
10	10	9047.801538	7978.361089	4916.64	3870.64	58214.201538	46684.761089
100	10	9042.340281	7978.378436	4848.64	3788.64	493906.340281	386842.378436
1000	10	9044.010382	7978.404128	4916.64	3870.64	4925684.010382	3878618.404128
10000	10	9047.149823	7966.413814	4782.64	3756.64	47835447.149823	37574366.413814
10	100	9040.430934	7978.205483	7166.64	6106.64	80706.830934	69044.605483
100	100	9048.098422	7964.711811	7166.64	6140.64	725712.098422	622028.711811
1000	100	9043.737141	7978.273066	7234.64	6240.64	7243683.737141	6248618.273066
10000	100	9045.629109	7969.221645	7100.64	6054.64	71015445.629109	60554369.221645

:

Πίνακας 5: Αποτελέσματα του κυκλώματος s382

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	11085.396401	9998.889286	3119.56	2461.56	42280.996401	34614.489286
100	1	11089.124261	9982.703856	3175.56	2475.56	328645.124261	257538.703856
1000	1	11085.747315	10035.253628	3231.56	2503.56	3242645.747315	2513595.253628
10000	1	11084.258281	10004.968133	3289.56	2531.56	32906684.258281	25325604.968133
10	10	11083.521391	9957.413528	3512.56	2812.56	46209.121391	38083.013528
100	10	11089.700291	10053.546797	3456.56	2674.56	356745.700291	277509.546797
1000	10	11085.878438	10022.991520	3512.56	2784.56	3523645.878438	2794582.991520
10000	10	11084.195648	9984.667506	3568.56	2840.56	35696684.195648	28415584.667506
10	100	11081.401001	9948.719001	5762.56	5062.56	68707.001001	60574.319001
100	100	11084.307918	10041.015773	5764.56	4978.56	587540.307918	507897.015773
1000	100	11079.582416	9960.795576	5818.56	5118.56	5829639.582416	5128520.795576
10000	100	11082.764351	10065.038964	5762.56	5062.56	57636682.764351	50635665.038964

Πίνακας 6: Αποτελέσματα του κυκλώματος s386

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	8042.320681	8354.983607	2794.76	2152.76	35989.920681	29882.583607
100	1	8043.848316	8310.796998	2794.76	2228.76	287519.848316	231186.796998
1000	1	8046.996969	8330.024532	2846.76	2202.76	2854806.996969	2211090.024532
10000	1	8042.292481	8324.251401	2794.76	2228.76	79955642.292481	22295924.251401
10	10	8045.783230	8324.059149	3071.76	2453.76	38763.383230	32861.659149
100	10	8042.006104	8338.700427	3071.76	2429.76	315218.006104	251314.700427
1000	10	8041.405320	8325.071359	3071.76	2401.76	3079801.405320	2410085.071359
10000	10	8046.677585	8338.701196	3123.76	2453.76	31245646.677585	24545938.701196
10	100	8048.080133	8324.193666	5321.76	4729.76	61265.680133	55621.793666
100	100	8037.843105	8324.028962	5321.76	4643.76	540213.843105	472700.028962
1000	100	8049.724650	8336.776129	5269.76	4677.76	5277809.724650	4686096.776129
10000	100	8044.387304	8316.347984	5269.76	4579.76	52705644.387304	45805916.347984

Πίνακας 7: Αποτελέσματα του κυκλώματος s400

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	8991.197395	8375.684696	3029.24	2412.24	39283.597395	32498.084696
100	1	8994.196656	8418.541350	2923.24	2293.24	301318.196656	237742.541350
1000	1	8993.701955	8415.695568	2975.24	2304.24	2984233.701955	2312655.695568
10000	1	8993.752927	8458.346921	3029.24	2293.24	30301393.752927	22940858.346921
10	10	8990.954338	8418.354404	3148.24	2522.24	40473.354338	33640.754404
100	10	8994.504192	8375.657175	3254.24	2596.24	334418.504192	267999.657175
1000	10	8989.976072	8393.413363	3146.24	2520.24	3155229.976072	2528633.413363
10000	10	8990.949485	8408.255948	3146.24	2502.24	31471390.949485	25030808.255948
10	100	8994.349332	8442.111934	5396.24	4752.24	62956.749332	55964.511934
100	100	8999.273406	8448.473302	5450.24	4766.24	554023.273406	485072.473302
1000	100	8993.629307	8402.474365	5452.24	4736.24	5461233.629307	4744642.474365
10000	100	8996.019588	8394.531826	5504.24	4788.24	55051396.019588	47890794.531826

Πίνακας 8: Αποτελέσματα του κυκλώματος s420

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	13951.156244	12980.286406	6316.84	4916.84	77119.556244	62148.686406
100	1	13951.546032	13003.517497	6396.84	4996.84	653635.546032	512687.517497
1000	1	13956.019979	13015.716356	6396.84	4936.84	6410769.019979	4949855.716356
10000	1	13949.355134	12984.902426	6316.84	5016.84	63182349.355134	50181384.902426
10	10	13949.056614	12992.380947	6541.84	5201.84	79367.456614	65010.780947
100	10	13948.099170	13016.324004	6699.84	5221.84	683932.099170	535200.324004
1000	10	13953.662081	13004.870234	6543.84	5123.84	6557793.662081	5136844.870234
10000	10	13952.023340	12980.293502	6619.84	5219.84	66212352.023340	52211380.293502
10	100	13949.781666	13010.903345	9029.84	7629.84	104248.181666	89309.303345
100	100	13951.024200	12985.009445	8791.84	7391.84	893135.024200	752169.009445
1000	100	13950.127676	12980.393617	8791.84	7333.84	8805790.127676	7346820.393617
10000	100	13951.548924	12981.812564	8791.84	7391.84	87932351.548924	73931381.812564

Πίνακας 9: Αποτελέσματα του κυκλώματος s444

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	9285.366312	8467.172652	4463.56	3503.56	53920.966312	43502.772652
100	1	9283.477107	8557.497101	4463.56	3423.56	455639.477107	350913.497101
1000	1	9281.354206	8480.642551	4397.56	3424.5024	4406841.354206	3432983.042551
10000	1	9279.439328	8487.008425	4463.56	3586.5024	44644879.439328	35873511.008425
10	10	9288.112082	8555.781549	4754.56	3662.56	56833.712082	45181.381549
100	10	9289.128306	8495.218702	4622.56	3596.56	471545.128306	368151.218702
1000	10	9280.226519	8502.525071	4688.56	3712.56	4697840.226519	3721062.525071
10000	10	9284.601373	8525.605923	4754.56	3760.56	47554884.601373	37614125.605923
10	100	9284.573217	8488.427665	6938.56	5912.56	78670.173217	67614.027665
100	100	9281.497837	8536.726765	7070.56	5978.56	716337.497837	606392.726765
1000	100	9281.731651	8527.090791	7004.56	6042.56	7013841.731651	6051087.090791
10000	100	9279.215005	8490.1252	6872.56	5894.56	68734879.215005	58954090.1252

Πίνακας 10: Αποτελέσματα του κυκλώματος s510

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	18332.821507	16504.535761	12569	9825	144022.821507	114754.535761
100	1	18332.043780	16504.5492	12569	9825	1275232.043780	999004.549275
1000	1	18332.017122	16504.551830	12569	9825	12587332.017122	9841504.551830
10000	1	18335.803042	16504.571061	12569	9825	125708335.803042	98266504.571061
10	10	18327.849180	16504.575467	12794	10050	146267.849180	117004.575467
100	10	18335.605777	16504.500450	12794	10050	1297735.605777	1021504.500450
1000	10	18334.378700	16504.527880	12794	10050	12812334.378700	10066504.527880
10000	10	18332.527628	16504.572207	12794	10050	127958332.527628	100516504.572207
10	100	18334.681482	16504.408505	15044	12300	168774.681482	139504.408505
100	100	18334.628656	16504.597668	15044	12300	1522734.628656	1246504.597668
1000	100	18324.756202	16504.549316	15044	12300	15062324.756202	12316504.549316
10000	100	18330.604099	16504.565608	15044	12300	150458330.604099	123016504565608

Πίνακας 11: Αποτελέσματα του κυκλώματος s526

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	11904.036920	11116.490268	4801.96	3755.96	59923.636920	48676.090268
100	1	11905.510778	11100.923454	4801.96	3858.96	492101.510778	396996.923454
1000	1	11907.297891	11113.694237	4871.96	3724.96	4883867.297891	3736073.694237
10000	1	11905.785049	11146.374080	4733.96	3687.96	47351505.785049	36890746.374080
10	10	11909.227469	11099.152413	4958.96	3946.96	61498.827469	50568.752413
100	10	11902.773456	11084.326299	4890.96	3886.96	500998.773456	399780.326299
1000	10	11900.603216	11146.471083	5026.96	3980.96	5038860.603216	3992106.471083
10000	10	11904.865758	11086.210309	4890.96	3924.9584	48921504.865758	39260670.210309
10	100	11901.777591	11114.205818	7208.96	6014.96	83991.377591	71263.805818
100	100	11901.934185	11155.355558	7276.96	6130.96	739597.934185	624251.355558
1000	100	11905.664759	11125.637234	7276.96	6230.96	7288865.664759	6242085.637234
10000	100	11905.025087	11135.862551	7208.96	6046.96	72101505.025087	60480735.862551

Πίνακας 12: Αποτελέσματα του κυκλώματος s641

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	16777.062472	14964.550308	12750.04	9952.04	144277.462472	114484.950308
100	1	16777.557071	14975.222880	12416.04	9756.04	1258381.557071	990579.222880
1000	1	16775.507363	14984.555679	12638.04	9786.04	12654815.507363	9801024.555679
10000	1	16777.409895	14975.101352	12526.04	9810.04	125277177.409895	98115375.101352
10	10	16778.086892	14992.444435	12751.04	10063.04	144288.486892	115622.844435
100	10	16778.084799	14955.174659	12863.04	10091.04	1303082.084799	1024059.174659
1000	10	16777.120953	14969.931147	12975.04	10231.04	12991817.120953	10246009.931147
10000	10	16774.014503	14988.083249	12863.04	10009.04	128647174.014503	100105388.083250
10	100	16776.327745	14969.815414	15113.04	12341.04	167906.727745	138380.215414
100	100	16779.268937	14971.963606	15001.04	12315.04	1516883.268937	1246475.963606
1000	100	16778.179905	14969.930676	15225.04	12481.04	15241818.179905	12496009.930676
10000	100	16775.771179	14991.906567	15113.04	12369.04	151147175.771179	123705391.906567

Πίνακας 13: Αποτελέσματα του κυκλώματος s713

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	16088.174600	14656.320174	12281.64	9537.64	138904.574600	110032.720174
100	1	16087.564458	14650.705803	12281.64	9539.64	1244251.564458	968614.705803
1000	1	16086.169078	14627.497524	11953.64	9347.64	11969726.169078	9362267.497524
10000	1	16089.931434	14657.693858	12281.64	9621.64	122832489.931434	96231057.693858
10	10	16089.783941	14650.500025	12396.64	9818.64	140056.183941	112836.900025
100	10	16086.393576	14665.163413	12288.64	9656.64	1244950.393576	980329.163413
1000	10	16090.056384	14649.909268	12396.64	9628.64	12412730.056384	9643289.909268
10000	10	16084.732948	14656.343656	12506.64	9762.64	125082484.732948	97641056.343656
10	100	16085.295667	14672.310867	14646.64	11934.64	162551.695667	134018.710867
100	100	16087.640361	14671.047103	14756.64	11904.64	1491751.640361	1205135.047103
1000	100	16089.555564	14655.741812	14646.64	11880.64	14662729.555564	11895295.741812
10000	100	16090.878363	14656.447898	14646.64	12068.64	146482490.878363	120701056.447898

Πίνακας 14: Αποτελέσματα του κυκλώματος s820

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	16088.174600	14656.320174	12281.64	9537.64	138904.574600	110032.720174
100	1	14909.476510	13530.974687	10676.44	8336.44	1082553.476510	847174.974687
1000	1	14907.714483	13531.909369	10370.44	8058.44	10385347.714483	8071971.909369
10000	1	14908.815568	13537.178903	10574.44	8108.44	105759308.815568	81097937.178903
10	10	14909.592738	13575.395720	10799.44	8285.44	122903.992738	96429.795720
100	10	14910.814675	13537.775114	10799.44	8613.44	1094854.814675	874881.775114
1000	10	14908.566773	13579.836097	10697.44	8459.44	10712348.566773	8473019.836097
10000	10	14911.124411	13562.082398	10697.44	8335.44	106989311.124411	83367962.082398
10	100	14908.228088	13514.479409	13049.44	10735.44	145402.628088	120868.879409
100	100	14909.944757	13567.836504	12947.44	10607.44	1309653.944757	1074311.836504
1000	100	14910.428500	13533.771918	12845.44	10583.44	12860350.428500	10596973.771918
10000	100	14911.806836	13547.527795	12947.44	10533.44	129489311.806836	105347947.527795

Πίνακας 15: Αποτελέσματα του κυκλώματος s

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	18846.638437	17576.482714	14380.84	11110.84	162655.038437	128684.882714
100	1	18843.394492	17587.777123	14618.84	11468.84	1480727.394492	1164471.777123
1000	1	18847.302795	17570.222187	14378.84	11290.84	14397687.302795	11308410.222187
10000	1	18843.312883	17584.844980	14498.84	11200.84	145007243.312883	112025984.844980
10	10	18837.464000	17599.879280	14723.84	11457.84	166075.864000	132178.279280
100	10	18843.906407	17574.412577	14485.84	11335.84	1467427.906407	1151158.412577
1000	10	18843.868023	17550.465314	14843.84	11695.84	14862683.868023	11713390.465314
10000	10	18841.828403	17588.851093	14367.84	11103.84	143697241.828403	111055988.851093
10	100	18842.758054	17561.863311	16973.84	13793.84	188581.158054	155500.263311
100	100	18840.272646	17587.655552	16973.84	13853.84	1716224.272646	1402971.655552
1000	100	18845.107708	17581.699488	16853.84	13733.84	16872685.107708	13751421.699488
10000	100	18847.203983	17602.515637	16855.84	13649.84	168577247.203983	136516002.515637

Πίνακας 16: Αποτελέσματα του κυκλώματος s838

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	22083.123936	21005.304146	16233.64	12685.64	184419.523936	147861.704146
100	1	22078.364816	21002.505928	16615.64	13031.64	1683642.364816	1324166.505928
1000	1	22083.392666	21002.470052	16487.64	12903.64	16509723.392666	12924642.470052
10000	1	22078.856973	21025.258178	16233.64	12591.64	162358478.856973	125937425.258178
10	10	22080.357884	21025.418166	16460.64	12720.64	186686.757884	148231.818166
100	10	22080.917175	21042.475928	16458.64	12750.64	1667944.917175	1296106.475928
1000	10	22076.777873	21005.250540	16840.64	13096.64	16862716.777873	13117645.250540
10000	10	22081.487107	21042.547469	16840.64	13128.64	168428481.487107	131307442.547469
10	100	22080.108186	21042.505152	18708.64	15032.64	209166.508186	171368.905152
100	100	22082.837189	21025.181619	18964.64	15320.64	1918546.837189	1553089.181619
1000	100	22081.839085	21025.370661	18710.64	15002.64	18732721.839085	15023665.370661
10000	100	22083.169109	21005.345475	19090.64	15348.64	190928483.169109	153507405.345475

Πίνακας 17: Αποτελέσματα του κυκλώματος s953

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	16658.149851	14786.976486	27848.44	21802.44	295142.549851	232811.376486
100	1	16658.009101	14786.967543	27848.44	21800.44	2801502.009101	2194830.967543
1000	1	16657.963363	14806.504098	27516.44	21470.44	27533097.963363	21485246.504098
10000	1	16657.171849	14806.448625	27352.44	21304.44	273541057.171849	213059206.448625
10	10	16657.886822	14810.968349	27907.44	21859.44	295732.286822	233405.368349
100	10	16657.927837	14830.527734	27413.44	21449.44	2758001.927837	2159774.527734
1000	10	16658.820288	14776.795679	27743.44	21653.44	27760098.820288	21668216.795679
10000	10	16655.857742	14806.564433	27907.44	21777.44	279091055.857742	217789206.564433
10	100	16657.860179	14776.758279	30323.44	24151.44	319892.260179	256291.158279
100	100	16657.704271	14787.002135	30157.44	24275.44	3032401.704271	2442331.002135
1000	100	16658.640618	14787.016850	29993.44	24029.44	30010098.640618	24044227.016850
10000	100	16659.674423	14806.507160	29993.44	24113.44	299951059.674423	241149206.507160

Πίνακας 18: Αποτελέσματα του κυκλώματος s1196

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	20713.616785	19740.354140	41361.24	32257.24	434326.016785	342312.754140
100	1	20714.046695	19701.046695	41765.24	32713.24	4197238.017840	3291025.046695
1000	1	20714.268034	19774.563913	41359.24	32107.24	41379954.268034	32127014.563913
10000	1	20714.509311	19759.875011	41359.24	32307.24	413613114.509311	323092159.875011
10	10	20715.839564	19740.977749	41992.24	32786.24	440638.239564	347603.377749
100	10	20714.645156	19774.909983	41990.24	32938.24	4219738.645156	3313598.909983
1000	10	20714.009452	19724.770622	41990.24	32836.24	42010954.009452	32855964.770622
10000	10	20716.765375	19779.944308	41788.24	32382.24	417903116.765375	323842179.944308
10	100	20715.619158	19729.677562	44240.24	35188.24	463118.019158	371612.077562
100	100	20714.203195	19699.974708	44240.24	35138.24	4444738.203195	3533523.974708
1000	100	20716.341708	19730.293960	44038.24	34832.24	44058956.341708	34851970.293960
10000	100	20713.937615	19774.745046	44242.24	35190.24	442443113.937615	351922174.745047

Πίνακας 19: Αποτελέσματα του κυκλώματος s1238

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	25352.188537	23963.678028	50473.16	39553.16	530083.788537	419495.278028
100	1	25352.600510	23963.615509	50473.16	39441.16	5072668.600510	3968079.615509
1000	1	25353.501774	24030.424684	50473.16	39387.16	50498513.501774	39411190.424684
10000	1	25354.053967	24045.871515	50473.16	39105.16	504756954.053967	391075645.871515
10	10	25353.592159	24037.478406	50698.16	39554.16	532335.192159	419579.078406
100	10	25352.335981	23980.279137	50698.16	39666.16	5095168.335981	3990596.279137
1000	10	25352.794279	24023.310109	51146.16	40114.16	51171512.794279	40138183.310109
10000	10	25353.669818	24023.333681	50922.16	39890.16	509246953.669818	398925623.333681
10	100	25353.498256	24007.917629	53172.16	42310.16	557075.098256	447109.517629
100	100	25353..129378	24022.056572	52724.16	41526.16	5297769.129378	4176638.056572
1000	100	25353.574332	23992.148362	53172.16	41918.16	53197513.574332	41942152.148362
10000	100	25353.256301	23963.695178	53172.16	42252.16	531746953.256301	422545563.695178

Πίνακας 20: Αποτελέσματα του κυκλώματος s1488

<i>W</i>	<i>M</i>	<i>Initial Wirelength</i>	<i>Final Wirelength</i>	<i>Initial Penalty Cost</i>	<i>Final Penalty Cost</i>	<i>Initial Total Cost</i>	<i>Final Total Cost</i>
10	1	20734.518499	19693.864881	41725.24	32571.24	437986.918499	345406.264881
100	1	20733.839796	19673.149989	41929.24	32825.24	4213657.839796	3302197.149989
1000	1	20733.769805	19693.875198	41725.24	32571.24	41745973.769805	32590933.875198
10000	1	20731.880375	19661.001134	41929.24	32621.24	419313131.880375	326232061.001134
10	10	20732.842634	19673.104600	41950.24	32848.24	440235.242634	348155.504600
100	10	20733.548185	19671.169671	41950.24	32898.24	4215757.548185	3309495.169671
1000	10	20733.886211	19661.080846	41950.24	32846.24	41970973.886211	32865901.080846
10000	10	20733.130836	19646.213336	42358.24	32948.24	423603133.130836	329502046.213336
10	100	20732.662727	19675.958501	44200.24	35148.24	462735.062727	371158.358501
100	100	20735.176198	19661.127675	44404.24	35096.24	4461159.176198	3529285.127675
1000	100	20732.502142	19673.148343	44406.24	35302.24	44426972.502142	35321913.148343
10000	100	20734.524322	19664.252573	44200.24	34994.24	442023134.524322	349962064.252573

Αφού έχουμε ολοκληρώσει όλα τα πειράματα μπορούμε να σχολιάσουμε τους πίνακες των αποτελεσμάτων τους.

Αυτό που παρατηρούμε από τους πίνακες των αποτελεσμάτων είναι το γεγονός ότι για όλες τις περιπτώσεις των διαφόρων τιμών των σταθερών M και W έχουμε βελτίωση του Wirelength, του κόστους συμφόρησης (Penalty Cost) και του συνολικού κόστους (Total Cost). Δηλαδή, ο αλγόριθμος Grid Warping κατάφερε, όντως, να μειώσει το Wirelength και το κόστος σε όλα τα παραδείγματα που τον τρέξαμε, για όλους τους συνδυασμούς των τιμών των σταθερών M και W .

Τέλος, πρέπει να αναφερθεί ότι η βελτίωση τόσο του wirelength όσο και του κόστους οφείλεται στο γεγονός ότι πλέον οι πύλες είναι πιο απλωμένες στην επιφάνεια, και περισσότερα unit cells τις περιέχουν, πράγμα το οποίο βοηθά άμεσα στη μείωση του κόστους συμφόρησης και έμμεσα στη μείωση του συνολικού κόστους.

Κεφάλαιο 4: Συμπεράσματα

Παρατηρώντας την μεγάλη τεχνολογική ανάπτυξη στον κόσμο των ηλεκτρονικών, μπορούμε να συμπεράνουμε ότι η έρευνα για τη βελτιστοποίηση της τοποθέτησης των πυλών στην επιφάνεια ενός τσίπ αποτελεί ένα πολύ σημαντικό θέμα.

Το grid-warping είναι ένας καινούργιος αλγόριθμος τοποθέτησης βασισμένος σε μία απλή ιδέα. Αντί να μετακινούμε τις πύλες για να βελτιώσουμε την θέση τους, παραμορφώνουμε την επιφάνεια ενός δισδιάστατου μοντέλου τσίπ πάνω στην οποία έχουν τοποθετηθεί πρόχειρα οι πύλες, και την “τεντώνουμε” μέχρι οι πύλες να τοποθετηθούν όπως μας αρέσει. Η παραμόρφωση του πλέγματος είναι μία απλή, χαμηλής διάστασης μη γραμμική βελτιστοποίηση, και ενισχύει την παραδοσιακή τετραγωνική διατύπωση. Ο καινούργιος αυτός αλγόριθμος, επίσης, μας δημιούργησε κάποιες νέες συμπεριφορές, τις οποίες αντιμετωπίσαμε επιτυχώς.

Υπάρχουν, όμως, σημαντικές δυνατότητες για περαιτέρω βελτίωση του warping ακόμη. Ευχή μας είναι να βελτιωθεί ακόμα περισσότερο διότι στην εποχή μας, η λειτουργία πολλών ηλεκτρονικών συσκευών, και πολλών προϊόντων που χρησιμοποιούμε στην καθημερινότητα μας στηρίζεται σε αυτό. Χάρη στην βελτίωση του warping το κόστος των παραπάνω ηλεκτρικών συσκευών και προϊόντων θα μειωθεί, με αποτέλεσμα να γίνουν πιο προσιτά στους καταναλωτές. Αγοράζοντας και χρησιμοποιώντας τις συσκευές αυτές θα υπάρξει άμεσο αντίκτυπο στη ζωή τους, παρέχοντας τους πολλές διευκολύνσεις σε διάφορους τομείς της καθημερινότητας τους.

Βιβλιογραφία

Chanseok Hwang & Massoud Pedram (2006). *Timing-Driven Placement Based on Monotone Cell Ordering Constraint*, Proceedings of the 11th Asia and South Pacific Design Automation Conference, Yokohama, Japan

David Z. Pan, Bill Halpin and Haoxing Ren (2008). *Timing-Driven Placement*. In Charles J. Alpert, Dinesh P.Mehta and Sachin S. Sapatnekar, Handbook of Algorithms for Physical Design Automation (pp. 429-443). Auerbach Publications

Franc Brglez, David Bryan, and Krzysztof Kozminski (1989). Combinational profiles of sequential benchmark circuits. In ISCAS, Proceedings of the International Symposium on Circuits and Systems, (pp 1929-1934).

Zhong Xiu, James D. Ma, Suzanne M. Fowler & Rob A. Rutenbar (2004). *Large-Scale Placement by Grid Warping*, Proceedings of the 41st annual Design Automation Conference, San Diego, USA