

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ,
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ
ΔΙΚΤΥΩΝ

Υλοποίηση Αλγορίθμου Τοποθέτησης Πυλών με
Παραμέτρους Αξιοπιστίας, Σημαντικότητας και
Κατανάλωσης Ισχύος

Significance Driven IR-Drop Aware Placement for
Energy Efficient and Reliable Computing

Διπλωματική Εργασία

Πινήτας Ν. Γεώργιος

Επιβλέποντες Καθηγητές : Σταμούλης Γεώργιος
Καθηγητής

Ευμορφόπουλος Νέστωρ
Επίκουρος Καθηγητής

Βόλος, Ιούλιος 2012



ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ,
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ

Υλοποίηση Αλγορίθμου Τοποθέτησης Πυλών με
Παραμέτρους Αξιοπιστίας, Σημαντικότητας και
Κατανάλωσης Ισχύος

Διπλωματική Εργασία

Πινήτας Ν. Γεώργιος

Επιβλέποντες : Σταμούλης Γεώργιος
Καθηγητής

Ευμορφόπουλος Νέστωρ
Επίκουρος Καθηγητής

Εγκρίθηκε από την διμελή εξεταστική επιτροπή την 3^η Ιουλίου 2012

.....
Γ. Σταμούλης
Καθηγητής

.....
Ν. Ευμορφόπουλος
Επίκουρος Καθηγητής

Διπλωματική Εργασία για την απόκτηση του Διπλώματος του Μηχανικού Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων του Πανεπιστημίου Θεσσαλίας, στα πλαίσια του Προγράμματος Προπτυχιακών Σπουδών του Τμήματος Μηχανικών Η/Υ, Τηλεπικοινωνιών και Δικτύων του Πανεπιστημίου Θεσσαλίας.

.....

Πινήτας Γεώργιος

Διπλωματούχος Μηχανικός Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων Πανεπιστημίου Θεσσαλίας

Copyright © Pinitas Georgios, 2012

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό.

Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα.

Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Στην οικογένειά μου και στους φίλους μου

Ευχαριστίες

Με την περάτωση της παρούσας εργασίας, θα ήθελα να ευχαριστήσω θερμά τους επιβλέποντες της διπλωματικής εργασίας κ. Γεώργιο Σταμούλη και κ. Νέστορα Ευμορφόπουλο για την εμπιστοσύνη που επέδειξαν στο πρόσωπό μου, την άριστη συνεργασία, την συνεχή καθοδήγηση και τις ουσιώδεις υποδείξεις και παρεμβάσεις, που διευκόλυναν την εκπόνηση της πτυχιακής εργασίας.

Επίσης, θα ήθελα να ευχαριστήσω τους φίλους και συνεργάτες του Εργαστηρίου Ε5 για την υποστήριξη και την δημιουργία ενός ευχάριστου και δημιουργικού κλίματος. Ιδιαίτερα θα ήθελα να ευχαριστήσω τον υποψήφιο διδάκτορα του τμήματος Κωνσταντή Νταλούκα ο οποίος ήταν δίπλα μου σε κάθε μου βήμα, κάθε μου επιλογή και χωρίς την βοήθεια του η περάτωση της παρούσας εργασίας θα ήταν σχεδόν ανέφικτη.

Πολλά ευχαριστώ θα ήθελα να δώσω και στον διδάκτορα του τμήματος Αντώνη Δαδαλιάρη, τον υποψήφιο διδάκτορα Μιχάλη Τσιαμπά καθώς και τον μεταπτυχιακό φοιτητή Ιωάννη Αρβανιτάκη για την πολύτιμη και συνεχή βοήθειά τους καθ'όλη τη διάρκεια υλοποίησης της παρούσας εργασίας.

Ακόμα, θα ήθελα να ευχαριστήσω τον μεταδιδακτορικό ερευνητή του ΕΡΦΛ Γεώργιο Καρακωνσταντή που μου εμπιστεύθηκε την ιδέα του και μου έδωσε την ευκαιρία να συμβάλλω στην ερευνητική του μελέτη.

Τέλος, οφείλω ένα μεγάλο ευχαριστώ στην οικογένειά μου και στους φίλους μου για την αμέριστη υποστήριξη και την ανεκτίμητη βοήθεια που μου παρείχαν τόσο κατά την διάρκεια των σπουδών μου όσο και κατά την εκπόνηση της διπλωματικής εργασίας.

ΓΕΩΡΓΙΟΣ ΠΙΝΗΤΑΣ
ΒΟΛΟΣ, 2012

Περιεχόμενα

Κατάλογος Πινάκων	vi
Κατάλογος Σχημάτων	vii
Κατάλογος Συντομογραφιών	ix
Περίληψη	xi
Abstract	xii
1 Εισαγωγή	1
1.1 Περιγραφή του Προβλήματος και Συμβολή της Εργασίας	1
1.2 Αποτελέσματα της Διπλωματικής Εργασίας	2
1.3 Διάρθρωση της Διπλωματικής Εργασίας	2
2 Βασικές Έννοιες	3
2.1 Σχεδίαση Ολοκληρωμένων Κυκλωμάτων	3
2.2 Ροή Σχεδίασης Ολοκληρωμένων Κυκλωμάτων	3
2.2.1 Front-end flow	4
2.2.2 Back-end flow	5
2.3 Εργαλεία CAD	8
2.4 Εργαλεία EDA	8
2.4.1 Ιστορία του EDA	8
2.4.2 Τομείς Εφαρμογής του EDA	9
3 Τεχνικές Σχεδίασης	11
3.1 Σχεδίαση Χαμηλής Κατανάλωσης Ισχύος	11
3.1.1 Ανάγκη για χαμηλή κατανάλωση	11
3.1.2 Βασικές Πηγές Κατανάλωσης	12
3.1.3 Βασικές Αρχές Σχεδίασης	13
3.2 Σχεδίαση Αξιοπιστίας	14
3.2.1 Ορισμός Αξιοπιστίας	14
3.2.2 Είδη Σφαλμάτων	16
3.3 Σχεδίαση Σημαντικότητας	18
4 Υλοποίηση	19
4.1 Περιγραφή	19

4.2	Δομή Εργαλείου	19
4.2.1	Γενική Δομή	19
4.2.2	Αλγοριθμική Δομή	22
4.3	Προτεινόμενη Ροή Σχεδίασης	27
4.3.1	Αλγόριθμοι Επανατοποθέτησης	27
4.3.2	Αλγόριθμος Χωροθέτησης	27
5	Πειραματικά Αποτελέσματα	29
5.1	Εργαλεία	29
5.1.1	Nangate Open Cell Library	29
5.1.2	Synopsys Design Compiler	29
5.1.3	Cadence SoC Encounter	30
5.1.4	Synopsys Star-RCXT	30
5.1.5	Synopsys PrimeTime	30
5.1.6	Nanotropic NanoPower	30
5.2	Πειραματικό Κύκλωμα Wallace DCT	31
5.3	Αποτελέσματα	31
5.3.1	Αποτελέσματα Επανατοποθέτησης Γενικού Σκοπού	31
5.3.2	Αποτελέσματα Επανατοποθέτησης Σημαντικότητας	31
5.3.3	Αποτελέσματα Χωροθέτησης Σημαντικότητας	33
6	Επίλογος	37
6.1	Συμπεράσματα	37
6.2	Μελλοντικές Επεκτάσεις	37
	Βιβλιογραφία	39

Κατάλογος Πινάκων

3.1	Τεχνικές Low-Power Σχεδίασης	13
3.2	Κέρδη-Κόστη Τεχνικών Low-Power Σχεδίασης	14
3.3	Είδη σφαλμάτων σε επίπεδο Υλικού	16

Κατάλογος Σχημάτων

2.1	Front-end design flow	5
2.2	Back-end design flow	7
2.3	Εργαλεία CAD	8
3.1	Reliability Bathtub Curve	15
3.2	Οι αντιστάσεις μεταξύ της εξωτερικής τροφοδοσίας και ενός κελιού στο κέντρο του chip. Η πτώση τάσης είναι το άθροισμα της πτώσης τάσης στις $R_{V_{DD}}$ και $R_{V_{SS}}$	17
3.3	Το φαινόμενο της πτώσης τάσης που παρατηρείται σε μια καταβόθρα τροφοδοσίας ισχύος στο δίκτυο διανομής της ισχύος.	17
3.4	Οι συντελεστές του DCT και η σημαντικότητά τους.	18
4.1	Προτεινόμενο Εργαλείο	21
4.2	Δυνατότητες Προτεινόμενου Εργαλείου	22
4.3	Ροή Επανατοποθέτησης Γενικού Σκοπού	24
4.4	Δυνατότητες με έμφαση στη Σημαντικότητα	24
4.5	Ροή Επανατοποθέτησης Σημαντικότητας	25
4.6	Ροή Χωροθέτησης Σημαντικότητας	26
4.7	Προτεινόμενη Ροή Σχεδίασης	28
5.1	Αποτελέσματα Αλγορίθμου Επανατοποθέτησης Γενικού Σκοπού	32
5.2	Αποτελέσματα Αλγορίθμου Επανατοποθέτησης Σημαντικότητας (Σενάριο 1)	32
5.3	Αποτελέσματα Αλγορίθμου Επανατοποθέτησης Σημαντικότητας (Σενάριο 2)	33
5.4	Αρχική Σχεδίαση	34
5.5	Νέα Σχεδίαση	35
5.6	Αποτελέσματα Αλγορίθμου Χωροθέτησης Σημαντικότητας	35

Κατάλογος Συντομογραφιών

API	Application Programming Interface
ASIC	Application Specific Instruction Set
CAD	Computer Aided Design
CCS	Composite Current Source
CPU	Central Processing Unit
CTS	Clock Tree Synthesis
DCT	Discrete Cosine Transform
DEF	Design Exchange Format
DFT	Design For Testability
DRC	Design Rule Checking
DSP	Digital Signal Processing
DUT	Design Under Test
EDA	Electronic Design Automation
ECSM	Effective Current-Source Models
ELC	Electro-migration Lifetime Check
EVT	Extreme Value Theory
FIT	Failures In Time
FPGA	Field-programmable Gate Array
FSM	Finite State Machine
HDL	Hardware Description Languages
IC	Integrated Circuit
LEF	Library Exchange Format

LVS	Layout Versus Schematic
MTBF	Mean Time Between Failures
NLDM	Non-Linear Delay Models
NLPM	Non-Linear Power Models
PSNR	Peak signal-to-noise Ratio
PVT	Process, Voltage, and Temperature
QoS	Quality of Service
RTL	Register Transfer Level
SoC	System on Chip
SPEF	Standard Parasitic Extraction Format
STA	Static Timing Analysis
VLSI	Very Large Scale Integration

Περίληψη

Καθώς οι διαστάσεις των τρανζίστορ μειώνονται συνεχώς γίνονται όλο και πιο ευάλωτα σε παραμετρικές μεταβολές (στατικές και χρονικές) και φυσικές ανωμαλίες, όπως η πτώση τάσης (IR-Drop) που μπορεί να οδηγήσει σε καθυστέρηση, λάθη και σε αποτυχίες στη σταθερότητα της μνήμης· γεγονότα που απειλούν την «ορθή» λειτουργία και, επομένως, την απόδοση των μελλοντικών συστημάτων. Η συμβατική λογική υπαγορεύει το σχεδιασμό με τη χρήση ζωνών ασφαλείας (κλιμάκωση της τάσης ή του ρολογιού, αύξηση του μεγέθους των τρανζίστορ). Ωστόσο οι μέθοδοι αυτές περιορίζουν τα κέρδη από άποψη ενέργειας και απόδοσης που λαμβάνονται από την κλιμάκωση της τεχνολογίας. Αυτά σε συνδυασμό με τις σπάνιες χείριστες συνθήκες (παραμετρικές μεταβολές, διακυμάνσεις τάσεως και θερμοκρασίας), οι οποίες συνήθως λαμβάνονται ως υπόθεση κατά τη διάρκεια του σχεδιασμού μπορεί να οδηγήσουν σε μεγάλα πάγια έξοδα από άποψη κατανάλωσης, κάτι που έρχεται σε αντίθεση με την άλλη κύρια πρόκληση του σχεδιασμού ψηφιακών κυκλωμάτων, την χαμηλή κατανάλωση ενέργειας.

Σε αυτή την εργασία, αντί να επικεντρωνόμαστε σε αρχιτεκτονικό ή κυκλωματικό επίπεδο όπως γίνεται από την πλειοψηφία των υφιστάμενων τεχνικών για την εξασφάλιση ζωνών ασφαλείας για υπολογισμούς που βρίσκονται στα κρίσιμα μονοπάτια, απευθυνόμαστε στα προβλήματα μεταβλητότητας και διακύμανσης τάσης στο φυσικό επίπεδο. Συγκεκριμένα, λαμβάνουμε υπόψη μας τις πιθανές διακυμάνσεις της τάσης (IR-drop) που είναι αποτέλεσμα των ασθενών ηλεκτρικών δικτύων, των μεταβαλλόμενων συνθηκών λειτουργίας του κυκλώματος και των φορτίων σε διάφορα μέρη του chip, και παρουσιάζουμε ένα σύστημα που δίνει προτεραιότητα στην τοποθέτηση των κρίσιμων και ευαίσθητων υπολογισμών σε περιοχές του chip με χαμηλό IR-drop. Κύρια ιδέα της τεχνικής μας είναι το γεγονός ότι οι υπολογισμοί μας εφαρμογής καθώς και τα μέρη ενός συστήματος από άποψη υλικού δεν παίζουν τον ίδιο ρόλο στη λειτουργία του συνολικού συστήματος και τον προσδιορισμό της ποιότητας της υπηρεσίας του (Quality of Service (QoS)).

Λέξεις Κλειδιά:

Αξιοπιστία, Σχεδίαση Χαμηλής Ισχύος, Πτώση Τάσης, Σχεδίαση Σημαντικότητας Χωροθέτηση Ψηφιακών Κυκλωμάτων, EDA, Εργαλεία CAD

Abstract

As transistors are being scaled down they become vulnerable to parametric variations (static and temporal) and physical abnormalities such as IR drop which may lead to delay errors in logic blocks and stability failures in memories threatening the 'correct' operation and thus the yield of future systems. Conventional wisdom dictates designing with guard bands (up-scaling voltage or clock, up-sizing transistors), however such methods limit the power and performance gains obtained by technology scaling and in combination with the rare worst-case conditions (parametric variations, voltage and temperature variations) that are usually assumed during design can lead to large power overheads, thus contradicting with the other main design challenge of low power consumption.

In this thesis, rather than focusing at the architecture and circuits layers as done by the majority of existing techniques for providing safety margins to computations that lie on the critical path we will address the issues of variations and voltage scaling at the physical layer. Specifically, we will account for potential voltage fluctuations (IR-drop) that are the result of weak power grids and changing operation conditions and data loads in various parts of a chip and we will develop an IR-drop aware placement scheme that gives priority on the placement of critical-sensitive computations in areas of the chip with low IR-drop. Main idea of our technique is the fact that the computations of an application as well as the parts of a hardware system do not play the same role in the operation of the overall system and the determination of output QoS.

Keywords:

Reliable, Low Power Design, IR-Drop, Significance Driven Design, Standard Cell Placement, EDA, CAD Tools

Κεφάλαιο 1

Εισαγωγή

1.1 Περιγραφή του Προβλήματος και Συμβολή της Εργασίας

Ζούμε σε έναν ψηφιακό κόσμο. Η Ψηφιακή Επεξεργασία Σήματος, Digital Signal Processing (DSP), είναι σήμερα συνηθισμένη σε συσκευές όπως κινητά τηλέφωνα, υπολογιστές πολυμέσων, συσκευές βίντεο, CD players, στους ελεγκτές των σκληρών δίσκων και στα μόντεμ, με λίγα λόγια λόγια αποτελεί ένα τεράστιο κομμάτι της ηλεκτρονικής αγοράς. Μια σημαντική εφαρμογή των DSP είναι η συμπίεση και αποσυμπίεση του σήματος. Σε τέτοια συστήματα όμως οι υπολογισμοί που περιλαμβάνουν δεν καθορίζουν εξίσου την συνολική ποιότητα του συστήματος, παρόλα αυτά η σχεδίαση τους δεν αντιμετωπίζεται με ξεχωριστό τρόπο, τουλάχιστον όχι κατά την διαδικασία της φυσικής σχεδίασης του συστήματος.

Επιπλέον, καθώς οι διαστάσεις των τρανζίστορ μειώνονται συνεχώς γίνονται όλο και πιο ευάλωτα σε παραμετρικές μεταβολές (στατικές και χρονικές) και φυσικές ανωμαλίες, όπως η πτώση τάσης (IR-Drop) που μπορεί να οδηγήσει σε καθυστέρηση, λάθη και σε αποτυχίες στη σταθερότητα της μνήμης· γεγονότα που απειλούν την «ορθή» λειτουργία και, επομένως, την απόδοση των μελλοντικών συστημάτων. Η συμβατική λογική υπαγορεύει το σχεδιασμό με τη χρήση ζωνών ασφαλείας (κλιμάκωση της τάσης ή του ρολογιού, αύξηση του μεγέθους των τρανζίστορ). Ωστόσο οι μέθοδοι αυτές περιορίζουν τα κέρδη από άποψη ενέργειας και απόδοσης που λαμβάνονται από την κλιμάκωση της τεχνολογίας. Αυτά σε συνδυασμό με τις σπάνιες χείριστες συνθήκες (παραμετρικές μεταβολές, διακυμάνσεις τάσεως και Θερμοκρασίας), οι οποίες συνήθως λαμβάνονται ως υπόθεση κατά τη διάρκεια του σχεδιασμού μπορεί να οδηγήσουν σε μεγάλα πάγια έξοδα από άποψη κατανάλωσης, κάτι που έρχεται σε αντίθεση με την άλλη κύρια πρόκληση του σχεδιασμού ψηφιακών κυκλωμάτων, την χαμηλή κατανάλωση ενέργειας.

Έτσι, τόσο τα υψηλά πάγια έξοδα που αναφέραμε στην προηγούμενη παράγραφο όσο και η έλλειψη βελτιστοποίησης των σημαντικών υπολογισμών μιας σχεδίασης DSP οδηγούν σε σχεδιάσεις που καταλήγουν να αποδίδουν σε χαμηλότερο βαθμό απ'ότι στην πραγματικότητα μπορούν και η αξιοπιστία τους τείνει σε χαμηλότερα επίπεδα από την καλύτερη δυνατή.

1.2 Αποτελέσματα της Διπλωματικής Εργασίας

Η παρούσα διπλωματική εργασία παρουσιάζει μία εφαρμογή επανατοποθέτησης των κελίων μιας Σχεδίασης σε Φυσικό Επίπεδο λαμβάνοντας υπόψη τις πιθανές διακυμάνσεις της τάσης που μπορεί να υπάρχουν και δίνοντας προτεραιότητα στην τοποθέτηση των κρίσιμων υπολογισμών σε περιοχές με χαμηλό IR-drop.

Επιπρόσθετα, παρουσιάζεται μια επέκταση της τεχνικής αυτής για σχεδιάσεις που η σημαντικότητα των υπολογισμών δεν είναι γνωστή ή δεν μπορεί να καθοριστεί.

Τέλος, αναδεικνύεται η δυνατότητα του εργαλείου να ενσωματωθεί με επιτυχία στις ήδη υπάρχουσες αυτοματοποιημένες ροές σχεδίασης που γίνονται με την χρήση γνωστών βιομηχανικών εργαλείων αλλά και τα θετικά αποτελέσματα που μπορεί να επιφέρει η χρήση του σε πραγματικές σχεδιάσεις.

1.3 Διάρθρωση της Διπλωματικής Εργασίας

Στο Κεφάλαιο 2 γίνεται μία εισαγωγή στην ροή σχεδίασης των Ψηφιακών Κυκλωμάτων, στα Computer Aided Design (CAD) εργαλεία αλλά και στο Electronic Design Automation (EDA).

Το Κεφάλαιο 3 αποτελεί μία σύντομη περιγραφή των Τεχνικών Σχεδίασης Ψηφιακών Κυκλωμάτων που βασιστήκαμε και προσπαθήσαμε να ακολουθήσουμε κατά την διάρκεια ανάπτυξης του εργαλείου μας.

Στο Κεφάλαιο 4 περιγράφεται η υλοποίηση και η δομή του εργαλείου που αναπτύχθηκε, καθώς και ο τρόπος που αυτό ενσωματώνεται στην Φυσική Ροή Σχεδίασης Ψηφιακών Κυκλωμάτων με την χρήση βιομηχανικών εργαλείων.

Έπειτα, στο Κεφάλαιο 5 παρουσιάζονται κάποια πειραματικά αποτελέσματα των αλγορίθμων που υλοποιήθηκαν και η σύγκρισή τους με αυτά γνωστών βιομηχανικών εργαλείων.

Τέλος, στο Κεφάλαιο 6 παρουσιάζονται τα κύρια συμπεράσματα που προέκυψαν από την παρούσα εργασία και κάποιες μελλοντικές επεκτάσεις αυτής.

Κεφάλαιο 2

Βασικές Έννοιες

Σε αυτό το κεφάλαιο γίνεται μία εισαγωγή στην ροή σχεδίασης των ψηφιακών κυκλωμάτων.

2.1 Σχεδίαση Ολοκληρωμένων Κυκλωμάτων

Η σχεδίαση ολοκληρωμένων κυκλωμάτων (Integrated Circuit (IC) design) αποτελεί ένα υποσύνολο του γνωστικού αντικειμένου των Ηλεκτρολόγων Μηχανικών. Η ψηφιακή σχεδίαση ολοκληρωμένων κυκλωμάτων παράγει κυκλωματικά στοιχεία όπως μικροεπεξεργαστές, μνήμες, Field-programmable Gate Array (FPGA) και Application Specific Instruction Set (ASIC). Τα σύγχρονα ολοκληρωμένα κυκλώματα είναι αρκούντως πολύπλοκα, με ένα chip μεγάλου μεγέθους να αποτελείται πλέον από πάνω από ένα δισεκατομμύριο τρανζίστορ. Το γεγονός αυτό, σε συνάρτηση με την πίεση της αγοράς για παραγωγή ολοκληρωμένων κυκλωμάτων στο μικρότερο δυνατό χρονικό διάστημα έχει οδηγήσει στην ανάπτυξη και χρήση εργαλείων αυτοματοποιημένης σχεδίασης EDA. Η χρήση εργαλείων αυτής της κατηγορίας κρίνεται πλέον απαραίτητη στην πλειοψηφία των βημάτων που ακολουθούνται κατά την σχεδίαση ενός κυκλώματος.

2.2 Ροή Σχεδίασης Ολοκληρωμένων Κυκλωμάτων

Η Ροή Σχεδίασης προϋποθέτει το ρητό συνδυασμό ενός πλήθους από EDAs για την ορθή ολοκλήρωση του σχεδιασμού ενός ολοκληρωμένου κυκλώματος.

Οι προκλήσεις της αυξανόμενης καθυστέρησης μεταξύ των διασυνδέσεων (interconnection delay) οδήγησε σε έναν νέο τρόπο σκέψης σχετικά με την σχεδίαση και την υλοποίηση των EDA. Νέες προκλήσεις, όπως η διαρροή ρεύματος (leakage power), η μεταβλητότητα (variability) και η αξιοπιστία (reliability) θα συνεχίσει να αμφισβητεί τη σημερινή κατάσταση της τέχνης στην περάτωση του σχεδιασμού. Υπάρχουν δύο διακριτές ροές σχεδίασης, μια για την υλοποίηση ASIC και μια την υλοποίηση FPGA. Η εργασία αυτή βασίζεται στη ροή σχεδίασης που αφορά κυκλώματα τύπου ASIC.

Η όλη διαδικασία χωρίζεται σε δύο επιμέρους ροές :

- Front-end flow
- Back-end flow

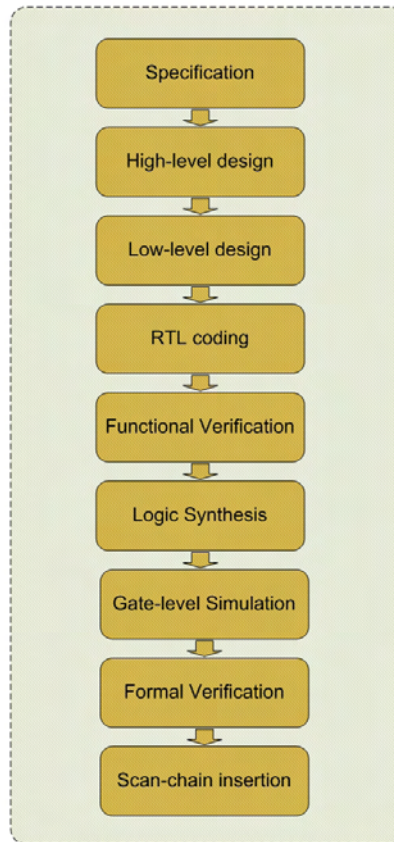
Front-end flow

Η Front-end ροή είναι η διαδικασία που οδηγεί από την έννοια του netlist σε αυτή των λογικών πυλών. Περιλαμβάνει στάδια όπως τον αρχιτεκτονικό σχεδιασμό, τη προσομοίωση και τη σύνθεση. Η front-end ροή ολοκληρώνεται με το βήμα τη Λογικής Σύνθεσης. Αναλυτικότερα :

- **Specification:** Ανάλυση του απώτερου στόχου, εκτίμηση των προβλημάτων που μπορεί να παρουσιαστούν και των πόρων που έχουμε στη διάθεσή μας για την υλοποίηση του τελικού αποτελέσματος.
- **High-level design:** Διάφορα blocks ορίζονται και περιγράφεται η επικοινωνία μεταξύ τους. Η περιγραφή δίνεται σε υψηλού επιπέδου γλώσσες (SystemC, C, C++).
- **Low-level design:** Περιγράφεται η υλοποίηση κάθε μπλοκ ξεχωριστά. Περιέχει λεπτομέρειες σχετικά με Finite State Machines (FSMs), μετρητές, καταχωρητές κ.λ.π.
- **RTL coding:** Το στάδιο κατά το οποίο μια σχεδίαση επιπέδου Low-Level εκφράζεται με τη βοήθεια μιας γλώσσας Hardware Description Languages (HDL) χρησιμοποιώντας στοιχεία τα οποία μπορούν να συνθεθούν.
- **Functional Verification:** Επαληθεύεται ότι η σχεδίαση έχει την αναμενόμενη λειτουργία. Δημιουργούνται Testbenches έτσι ώστε να εφαρμοστούν όλα τα πιθανά "ερεθίσματα" στην είσοδο της σχεδίασης με σκοπό τον έλεγχο όλων των πιθανών αποτελεσμάτων.
- **Logic Synthesis:** Η διαδικασία κατά την οποία το εργαλείο σύνθεσης δέχεται ως είσοδο τη περιγραφή της λειτουργίας του κυκλώματος σε επίπεδο καταχωρητών, την τεχνολογία που θέλουμε να χρησιμοποιήσουμε και τους περιορισμούς που έχουμε θέσει στην σχεδίαση και επιστρέφει την σχεδίαση σε επίπεδο λογικών πυλών με την χρήση των πυλών της βιβλιοθήκης που δόθηκε ως είσοδος. Αφού παραχθεί η σχεδίαση σε επίπεδο λογικών πυλών (gate-level netlist) γίνεται ανάλυση χρονισμού για να ελεγχθεί αν η σχεδίαση καλύπτει τις απαιτήσεις σε επίπεδο χρονισμού.
- **Gate-level Simulation:** Ελέγχει εάν η υπό έλεγχο σχεδίαση Design Under Test (DUT) είναι λειτουργικά σωστή.

Προτού προχωρήσουμε στη back-end ροή της σχεδίασης συνήθως προηγείται το στάδιο της Τυπικής Επαλήθευσης (Formal Verification) και η εισαγωγή αλυσίδων σάρωσης (scan-chain).

- **Formal verification:** Ελέγχεται αν η μετατροπή της σχεδίασης από το επίπεδο καταχωρητών στο επίπεδο των λογικών πυλών είναι σωστή.
- **Scan-chain insertion:** Εισαγωγή αλυσίδων σάρωσης (scan-chain) σε περίπτωση που το ASIC αποτελεί σχεδίαση για ελεγχιμότητα Design For Testability (DFT).



Σχήμα 2.1: Front-end design flow

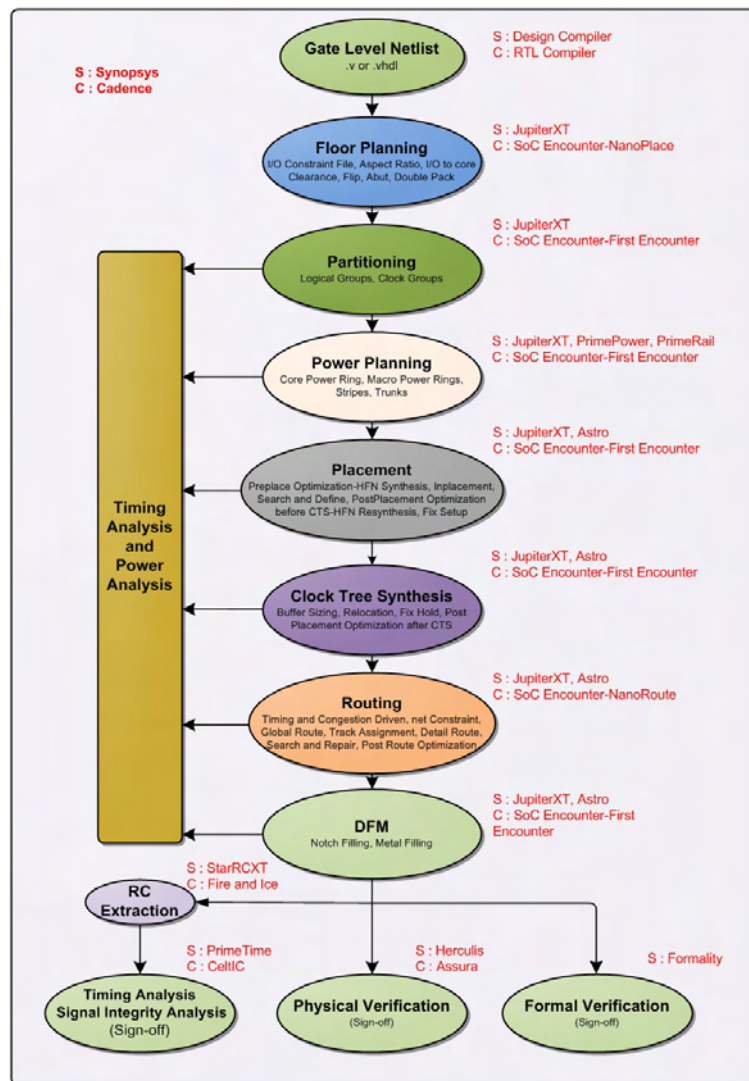
Back-end flow

Η Back-end ροή ή η Φυσική Σχεδίαση είναι το στάδιο στη καθιερωμένη ροή σχεδίασης που ακολουθεί την Front-end ροή. Σε αυτό το στάδιο, οι κυκλωματικές αναπαραστάσεις των στοιχείων (συστήματα και διασυνδέσεις) της σχεδίασης μετατρέπονται σε γεωμετρικές αναπαραστάσεις σχημάτων, που όταν κατασκευαστούν με τα κατάλληλα στρώματα από υλικά, θα εξασφαλίσουν την απαιτούμενη λειτουργία. Το επόμενο στάδιο μετά την Φυσική Σχεδίαση είναι η διαδικασία της Κατασκευής του συστήματος που υλοποιείται στα Wafer Fabrication Houses. Αναλυτικότερα η Back-end ροή :

- Gate-level netlist: Η σχεδίαση του κυκλώματος μετά την ολοκλήρωση της Front-end ροής.
- Floorplanning: Είναι η διαδικασία προσδιορισμού των δομών που πρέπει να τοποθετηθούν κοντά μεταξύ τους, και τον καθορισμό του χώρου που απαιτείται κατά τέτοιο τρόπο ώστε να πληρούν τους ενίοτε αλληλοσυγκρουόμενους στόχους του διαθέσιμου χώρου (το κόστος του τσιπ), τις απαιτούμενες επιδόσεις, και την επιθυμία να έχουμε τα πάντα κοντά μεταξύ τους.

- **Partitioning:** Είναι η διαδικασία της διαίρεσης του τσιπ σε μικρότερα τετράγωνα. Αυτό γίνεται κυρίως για να διαχωριστούν τα διάφορα λειτουργικά τμήματα και επίσης να κάνει την τοποθέτηση και την δρομολόγηση της σχεδίασης ευκολότερη. Ο διαχωρισμός μπορεί να γίνει στη φάση του Register Transfer Level (RTL) σχεδιασμού, όταν οι σχεδιαστές χωρίζουν το σύνολο του σχεδιασμού σε επιμέρους τμήματα και στη συνέχεια προχωρούν στο σχεδιασμό κάθε επιμέρους ενότητας ξεχωριστά. Αυτές οι επιμέρους μονάδες εν τέλει συνδέονται μεταξύ τους και αποτελούν την τελική σχεδίαση.
- **Placement:** Είναι η διαδικασία της τοποθέτησης των κελιών της σχεδίασης στην περιοχή του πυρήνα.
- **Clock Tree Synthesis (CTS):** Πριν από την CTS φάση, το σήμα του ρολογιού δεν μεταβιβάζεται και θεωρείται ιδανικό. Το δέντρο του σήματος του ρολογιού ξεκινά από την πηγή που παράγει τον παλμό του ρολογιού και καταλήγει στις εισόδους των Flip-flop.
- **Routing:** Υπάρχουν δύο τύποι δρομολόγησης της φυσικής σχεδίασης, η Global routing και η Detailed routing. Με την Global routing δεσμεύονται οι πόροι δρομολόγησης που χρησιμοποιούνται για τις συνδέσεις. Η Detailed routing αναθέτει σε συγκεκριμένες διαδρομές μεταλλικά στρώματα και αγωγούς, εντός των συνολικών πόρων δρομολόγησης.
- **Signoff:** Ελέγχει την ορθότητα του φυσικού σχεδίου, πριν να είναι έτοιμο για παραγωγή. Υπάρχουν διάφορες κατηγορίες Signoff ελέγχων:
 - **Design Rule Checking (DRC):** Επίσης γνωστός και ως γεωμετρικός έλεγχος. Περιλαμβάνει την εξακρίβωση του αν ο σχεδιασμός μπορεί να κατασκευαστεί αξιόπιστα λαμβάνοντας υπόψη τους σημερινούς περιορισμούς της μεθόδου της φωτολιθογραφίας.
 - **Layout Versus Schematic (LVS):** Επίσης γνωστή ως Σχηματική Επαλήθευση. Χρησιμοποιείται για να βεβαιωθούμε ότι η τοποθέτηση και δρομολόγηση των κελιών της σχεδίασης δεν έχει αλλάξει τη λειτουργικότητα του ως προς κατασκευή κυκλώματος.
 - **Formal Verification:** Επαληθεύεται για το αν η λειτουργικότητα της σχεδίασης μετά το τέλος της Φυσικής Σχεδίασης είναι η αναμενόμενη.
 - **Voltage-drop analysis:** Επίσης γνωστή και ως IR-drop ανάλυση. Σε αυτό το στάδιο επαληθεύεται εάν η ισχύς του πλέγματος είναι αρκετά ισχυρή ώστε να εξασφαλίσει ότι η τάση που εκπροσωπεί το κάθε κελί δεν 'πέφτει' ποτέ κάτω από ένα προκαθορισμένο περιθώριο.
 - **Signal-integrity analysis:** Ελέγχεται η ποιότητα του σήματος, αναλύεται ο θόρυβος που οφείλεται στη αλληλεπίδραση μεταξύ των σημάτων και ελέγχεται η επίδρασή του στη λειτουργικότητα του κυκλώματος.
 - **Static Timing Analysis (STA):** Χρησιμοποιείται για να εξακριβωθεί εάν όλα τα λογικά μονοπάτια δεδομένων στο σχεδιασμό μπορούν να λειτουργήσουν με τη προβλεπόμενη συχνότητα ρολογιού.

- Electro-migration Lifetime Check (ELC): Ελέγχει το κύκλωμα ώστε να εξασφαλίσει ένα ελάχιστο χρόνο ζωής λειτουργίας του κυκλώματος στη προβλεπόμενη συχνότητα ρολογιού χωρίς το κύκλωμα να υποκύψει στο φαινόμενο της Ηλεκτρομετανάστευσης.



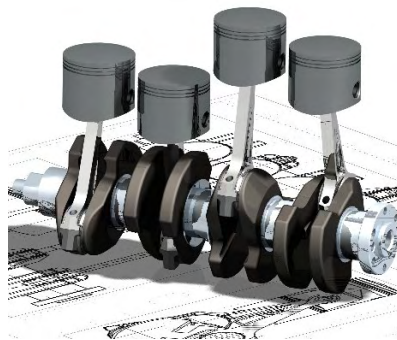
Σχήμα 2.2: Back-end design flow

Σε αυτή την εργασία θα ασχοληθούμε την Back-end ροή σχεδίασης και συγκεκριμένα με τα στάδια της Χωροθέτησης (Floorplanning) και της Τοποθέτησης των κελιών στον πυρήνα (Placement).

2.3 Εργαλεία CAD

Όταν αναφερόμαστε στο όρο Computer Aided Design (CAD), αναφερόμαστε πρακτικά στην χρησιμοποίηση της τεχνολογίας των υπολογιστών για την διευκόλυνση της διαδικασίας σχεδιασμού ενός αντικειμένου.

Τα προγράμματα CAD πρωτοεμφανίστηκαν την δεκαετία του '80 και οδήγησαν στο να μειωθεί η άμεση ανάγκη επιπλέον εξειδικευμένου προσωπικού, δίνοντας περεταίρω δυνατότητες ανάπτυξης σε εταιρείες μεσαίου μεγέθους. Το γεγονός πως, σε σύντομο σχετικά χρονικό διάστημα, από την πρώιμη εμφάνισή τους, οι εταιρείες κατέστησαν οικονομικά προσιτή την απόκτησή τους και την χρήση τους στον προσωπικό υπολογιστή ενός μέσου χρήστη, βοήθησε στο μέγιστο βαθμό τους σχετιζόμενους με το αντικείμενο κλάδους μηχανικής.



Σχήμα 2.3: Εργαλεία CAD

2.4 Εργαλεία EDA

Η αυτοματοποιημένη ηλεκτρονική σχεδίαση EDA, είναι κατ'ουσίαν, η υλοποίηση ενός κυκλώματος με παράλληλη χρήση ειδικών λογισμικών τα οποία έχουν δημιουργηθεί κατά περίπτωση για την υποβοήθηση της διαδικασίας. Στην περίπτωση που εξετάζουμε, στον σχεδιασμό, δηλαδή, ενός ολοκληρωμένου κυκλώματος, η εν σειρά χρησιμοποίηση μιας ομάδας εργαλείων για την παραγωγή της τελικής σχεδίασης στοιχειοθετεί μια ροή σχεδιασμού.

Ιστορία του EDA

Πριν από την αυτοματοποίηση της διαδικασίας, ο σχεδιασμός των ολοκληρωμένων κυκλωμάτων πραγματοποιούνταν χειρονακτικά. Ο σχεδιασμός βασιζόταν στην γραφική απεικόνιση του κυκλώματος και πιο συγκεκριμένα στην τροποποίηση της ηλεκτρονικής περιγραφής του κυκλώματος στην γραφική αναπαράστασή του. Μια από τις πιο γνωστές εταιρείες της πρώιμης αυτής περιόδου, ήταν η Calma η οποία δημιούργησε το format GDSII το οποίο χρησιμοποιείται ακόμη και σήμερα.

Στα μέσα της δεκαετίας του '70 ξεκίνησε η ανάπτυξη των πρώτων εργαλείων για την κατάλληλη χωροθέτηση ενός κυκλώματος. Τα πρακτικά των επιστημονικών συνεδρίων της εποχής παρουσιάζουν ανάγλυφα τις καινοτομίες που εισήχθησαν στην ροή σχεδίασης ολοκληρωμένων κυκλωμάτων και αποτέλεσαν την βάση για την έρευνα στον

προκειμένο τομέα τα χρόνια που ακολούθησαν. Τα πρώτα ολοκληρωμένα εργαλεία EDA, παρόλα αυτά, εμφανίστηκαν αρχικά εντός ακαδημαϊκού περιβάλλοντος. Ένα από τα δημοφιλέστερα εργαλεία της εποχής αυτής ήταν το VLSI Tools Tarball το οποίο αναπτύχθηκε στο πανεπιστήμιο του Berkeley, και ήταν, κατ'ουσίαν, μια συλλογή εφαρμογών σε περιβάλλον UNIX για τον σχεδιασμό VLSI συστημάτων. Στις αρχές της δεκαετίας του '80 αρχίζει η βιομηχανική παραγωγή εργαλείων EDA. Μέχρι εκείνη την χρονική στιγμή οι μεγαλύτερες εταιρείες του κλάδου ανέπτυσαν εργαλεία αυτής της κατηγορίας προς ιδίαν χρήση, χωρίς να παρέχεται η δυνατότητα απόκτησής τους από άλλους φορείς. Πολλοί, όμως σχεδιαστές, κρίνοντας πως ο τομέας παρουσίαζε μεγάλο τεχνολογικό ενδιαφέρον και είχε δυνατότητες περεταίρω οικονομικής ανάπτυξης αποφάσισαν να δημιουργήσουν νέες αυτόνομες εταιρείες με αποκλειστικό στόχο την δημιουργία EDA εργαλείων. Την προκειμένη περίοδο ιδρύθηκαν σημαντικές εταιρείες όπως η Mentor Graphics και η Valid Logic Systems.

Επιπρόσθετα, το 1986 και το 1987 παρουσιάστηκαν δύο υψηλού επιπέδου γλώσσες περιγραφής υλικού, η Verilog και η VHDL αντίστοιχα, οι οποίες χρησιμοποιήθηκαν άμεσα από την πλειοψηφία των προσομοιωτών λειτουργίας ψηφιακών κυκλωμάτων προκειμένου να διευκολυνθεί ο άμεσος έλεγχος της ορθότητας της εκάστοτε σχεδίασης, γεγονός το οποίο με τη σειρά του οδήγησε στην δημιουργία των πρώτων εργαλείων λογικής σύνθεσης.

Οι σύγχρονες ροές σχεδίασης ολοκληρωμένων κυκλωμάτων αποτελούνται πλέον από πολλαπλά βήματα, σε κάθε ένα από τα οποία γίνεται χρήση του κατάλληλου εργαλείου. Στην αρχή της προαναφερθείσας διαδικασίας έχουμε κατά κανόνα την δημιουργία μιας περιγραφής του κυκλώματος βάσει κάποιας HDL γλώσσας σε επίπεδο κελιών, τα οποία είναι τεχνολογικά ανεξάρτητα. Ακολούθως, ο σχεδιαστής παρέχει τις κατάλληλες τεχνολογικές βιβλιοθήκες οι οποίες συνδράμουν στην επιτυχή και λεπτομερή προσομοίωση της λειτουργίας του κυκλώματος, ενώ κατά το τελευταίο στάδιο παρέχονται στον σχεδιαστή οι τελικές προδιαγραφές για τις συνθήκες λειτουργίας του.

Τομείς Εφαρμογής του EDA

Οι βασικότεροι τομείς της σχεδίασης ενός ολοκληρωμένου κυκλώματος, για τους οποίους έχουν αναπτυχθεί κατάλληλα λογισμικά τα οποία εμπίπτουν στην κατηγορία των EDA εργαλείων είναι οι ακόλουθοι:

- ΣΧΕΔΙΑΣΜΟΣ (DESIGN)
 - High Level Synthesis
 - Logic Synthesis
 - Schematic Capture
 - Layout
- ΠΡΟΣΟΜΟΙΩΣΗ (SIMULATION)
 - Logic Simulation
 - Behavioral Simulation
 - Hardware Emulation

- ΑΝΑΛΥΣΗ ΚΑΙ ΕΠΑΛΗΘΕΥΣΗ (ANALYSIS & VERIFICATION)
 - Functional Verification
 - Formal Verification
 - Equivalence Checking
 - Static Timing Analysis
 - Physical Verification
- ΚΑΤΑΣΚΕΥΗ (MANUFACTURING)
 - Mask Data Preparation

Κεφάλαιο 3

Τεχνικές Σχεδίασης

Στο παρόν κεφάλαιο γίνεται μία εισαγωγή στις διάφορες κατευθύνσεις-στόχοι που λαμβάνονται υπόψη κατά την σχεδίαση Ψηφιακών Συστημάτων. Στη παρούσα εργασία προσπαθήσαμε να βρούμε μια μέση λύση συνδυάζοντας όλες τις τεχνικές του κεφαλαίου.

3.1 Σχεδίαση Χαμηλής Κατανάλωσης Ισχύος

Η ανάλυση και βελτιστοποίηση των ολοκληρωμένων κυκλωμάτων ως προς τη κατανάλωση ισχύος ξεκίνησε σαν ένας περιορισμένος σε έκταση κλάδος της σχεδίασης αναλογικών κυκλωμάτων. Σήμερα αποτελεί μέρος του βασικού κορμού της σχεδίασης των ψηφιακών κυκλωμάτων και επηρεάζει όλα τα στάδια σχεδίασης ενός συστήματος, καθώς η ανάγκη για χαμηλότερη κατανάλωση καθοδηγείται από τη βιομηχανία με νέες εφαρμογές αλλά και από την εξέλιξη της τεχνολογίας.

Ισχύς είναι ο ρυθμός με τον οποίο η ενέργεια καταναλώνεται. Σε ένα ολοκληρωμένο κύκλωμα η ηλεκτρική ενέργεια μετατρέπεται σε θερμότητα, η οποία πρέπει να απαχθεί, για να αποφευχθεί άνοδος της θερμοκρασίας του κυκλώματος, η οποία μπορεί να οδηγήσει σε προσωρινές ή μόνιμες βλάβες.

Κατά τη διάρκεια σχεδίασης ενός ολοκληρωμένου κυκλώματος οι διαδικασίες που σχετίζονται με την κατανάλωση ισχύος είναι η ανάλυση και η βελτιστοποίηση.

Σκοπός της ανάλυσης είναι η ακριβής εκτίμηση της κατανάλωσης ενέργειας. Η ανάλυση γίνεται σε κάθε φάση της σχεδίασης και στόχος της είναι η αύξηση της εμπιστοσύνης στο σχεδιασμό και η εξασφάλιση ότι οι προδιαγραφές κατανάλωσης ισχύος δεν παραβιάζονται. Υπάρχουν διάφορες τεχνικές ανάλυσης οι οποίες δίνουν αποτελέσματα διαφορετικής ακρίβειας και έχουν διαφορετικές απαιτήσεις υπολογιστικής ισχύος.

Η ανάλυση ισχύος αποτελεί βάση για τη βελτιστοποίηση του σχεδίου. Βελτιστοποίηση είναι η διαδικασία της δημιουργίας του καλύτερου σχεδίου με βάση ένα στόχο, χωρίς να παραβιάζονται οι προδιαγραφές που έχουν τεθεί. Υπάρχουν διάφορες τεχνικές που μπορούν να εφαρμοσθούν τόσο αυτόματα όσο και από τον σχεδιαστή, οι οποίες φέρουν διαφορετικά αποτελέσματα ανάλογα με την περίπτωση.

Ανάγκη για χαμηλή κατανάλωση

Η ανάγκη για χαμηλή κατανάλωση ισχύος ξεκινά καταρχάς από την ολοένα αυξανόμενη ολοκλήρωση. Σύμφωνα με τον νόμο του Moore η χωρητικότητα των ολοκληρωμέ-

νων κυκλωμάτων διπλασιάζεται κάθε 18 μήνες με αποτέλεσμα να αυξάνει η πυκνότητα ισχύος των συστημάτων και άρα και η ανάγκη για απαγωγή της θερμότητας ή/και της μείωσης της κατανάλωσης.

Ένας άλλος παράγοντας που οδηγεί στην ανάγκη για χαμηλή ισχύ είναι και η αυξανόμενη αγορά για φορητές καταναλωτικές συσκευές τροφοδοτούμενες από μπαταρίες. Η ζωή της μπαταρίας γίνεται ο σημαντικότερος παράγοντας κατά τον σχεδιασμό ενός φορητού συστήματος. Λαμβάνοντας υπόψη το γεγονός ότι η πρόοδος στις μπαταρίες δεν είναι η αναμενόμενη σε σχέση με την ανάγκη που προβλέπεται από τον νόμο του Moore, η χαμηλή κατανάλωση μετατρέπεται σε κρίσιμο σημείο της σχεδίασης.

Τρίτος λόγος είναι η αυξανόμενη απόδοση των υπολογιστικών συστημάτων μέσω της αύξησης της συχνότητας λειτουργίας. Η ισχύς είναι ανάλογη της συχνότητας λειτουργίας στους σημερινούς επεξεργαστές υψηλής απόδοσης και μπορεί να φτάσει τα δεκάδες Watts.

Τέλος, μια σοβαρή ανάγκη για χαμηλής κατανάλωσης συστήματα πηγάζει από περιβαλλοντικούς λόγους. Η παραγωγή ηλεκτρικής ενέργειας είναι η βασική πηγή ρύπανσης της ατμόσφαιρας και ο ραγδαία αυξανόμενος κλάδος των υπολογιστικών συσκευών συμβάλλει δραματικά στην ρύπανση του περιβάλλοντος.

Βασικές Πηγές Κατανάλωσης

Η κατανάλωση ισχύος σε κυκλώματα CMOS οφείλεται σε τρεις λόγους, τη δυναμική κατανάλωση, τη στατική και την κατανάλωση που οφείλεται στα ρεύματα βραχυκυκλωμάτων.

$$P_{avg} = P_{dynamic} + P_{static} + P_{shortcircuit}$$

Δυναμική Κατανάλωση

Η δυναμική κατανάλωση ισχύος (active power dissipation) προκύπτει κατά τη μετάβαση των εσωτερικών κόμβων και των εξόδων του κυκλώματος από τη μία λογική κατάσταση στην άλλη. Η ισχύς εδώ καταναλώνεται για τη φόρτιση των εσωτερικών και των εξωτερικών χωρητικοτήτων. Η κατανάλωση ισχύος για τη φόρτιση-εκφόρτιση χωρητικότητας C σε τάση V_{CC} με συχνότητα εναλλαγής f ισούται με :

$$P_{dynamic} = C \cdot V_{CC}^2 \cdot f.$$

Συνεπώς, η δυναμική κατανάλωση ισχύος εξαρτάται γραμμικά από τη συχνότητα λειτουργίας του κυκλώματος.

Στατική Κατανάλωση

Η στατική ισχύς (quiescent power dissipation) καταναλώνεται για τη διατήρηση της κατάστασης των εξόδων του ψηφιακού κυκλώματος σε μία σταθερή λογική κατάσταση. Η στατική ισχύς ισούται με το γινόμενο της τάσης τροφοδοσίας V_{CC} επί το ρεύμα τροφοδοσίας I_{CC} , το οποίο ρέει προς το κύκλωμα από τους ακροδέκτες τροφοδοσίας. Το ρεύμα I_{CC} οφείλεται κυρίως στο άθροισμα των ρευμάτων διαρροής στις ημιαγωγικές επαφές του κυκλώματος και αυξάνεται με την αύξηση της θερμοκρασίας, είναι δε ανάλογο της πολυπλοκότητας του ψηφιακού κυκλώματος.

Κατανάλωση βραχυκυκλώματος

Το ρεύμα που ρέει μεταξύ V_{CC} και γείωσης κατά τη στιγμή αλλαγής κατάστασης του τρανζίστορ αποτελεί μια πρόσθετη συνιστώσα δυναμικής κατανάλωσης. Η κατανάλωση ισχύος βραχυκυκλώματος δίνεται από την σχέση :

$$P_{SC} = I_{mean} \cdot V_{DD}$$

Βασικές Αρχές Σχεδίασης

Οι τεχνικές που ακολουθούνται κατά τον σχεδιασμό χαμηλής ισχύος κατηγοριοποιούνται σε συντηρητικές και συμβιβαστικές. Η συντηρητική σχολή προσπαθεί να μειώσει την ισχύ, η οποία καταναλώνεται χωρίς σοβαρό λόγο. Κατά τη σχεδίαση αναλύονται και ελαχιστοποιούνται οι απώλειες. Η άλλη σχολή εξετάζει εναλλακτικούς τρόπους λογικής σχεδίασης που μειώνουν την κατανάλωση. Πρέπει να τονισθεί ότι δεν υπάρχει μια τεχνική που να εφαρμόζεται αποτελεσματικά σε όλες τις εφαρμογές. Οι περιορισμοί στη σχεδίαση αυξάνονται με λεπτομέρεια στα πλαίσια των προδιαγραφών.

Μερικές από τις τεχνικές με έμφαση στη Χαμηλή Κατανάλωση Ισχύος αναφέρονται στον πίνακα 3.1 :

Πίνακας 3.1: Τεχνικές Low-Power Σχεδίασης

Traditional Techniques	Dynamic Power Reduction	Leakage Power Reduction	Other Power Reduction Techniques
Clock Gating	Clock Gating	Minimize Usage of low V_t cells	Multi oxide devices
Power Gating	Power Efficient Circuits	Power Gating	Minimize capacitance by custom design
Variable Frequency	Variable Frequency	Back Biasing	Power Efficient Circuits
Variable Voltage Supply	Variable Voltage Supply	Reduce Oxide Thickness	
Variable Device Threshold	Voltage Islands	Use FinFET	

Φυσικά η χρήση οποιασδήποτε τεχνικής βελτίωσης δεν γίνεται χωρίς κάποιο 'κόστος' σε άλλες παραμέτρους του κυκλώματος όπως για παράδειγμα στο χρονισμό του, στη περιοχή που αυτό καταλαμβάνει και στην πολυπλοκότητα υλοποίησης του. Τα κέρδη-κόστη μερικών από τις τεχνικές που αναφέρθηκαν στον πίνακα 3.1 περιγράφονται συνοπτικά στον πίνακα 3.2.

Πίνακας 3.2: Κέρδη-Κόστη Τεχνικών Low-Power Σχεδίασης

Power Reduction Technique	Power Benefit	Timing Penalty	Area Penalty	Methodology Impact			
				Architecture	Design	Verification	Implementation
Multi-Vt Optimization	Medium	Little	Little	Low	Low	None	Low
Clock Gating	Medium	Little	Little	Low	Low	None	Low
Multi-supply Voltage	Large	Some	Little	High	Medium	Low	Medium
Power Shut-off	HUGE	Some	Some	High	High	High	High
Dynamic and Adaptive Voltage Frequency Scaling	Large	Some	Some	High	High	High	High
Substrate Biasing	Large	Some	Some	Medium	None	None	High

3.2 Σχεδίαση Αξιοπιστίας

Η ραγδαία εξέλιξη των τρανζίστορ όπως αναφέρθηκε στα Κεφάλαια 2.1 και 3.1 δεν έχει γίνει χωρίς την εμφάνιση σοβαρών προβλημάτων. Η συνεχής συρρίκνωση των τρανζίστορ έφερε στην επιφάνεια νέα προβλήματα από τα οποία οι παλαιότερες γενιές ήταν ανεπηρέαστες. Ένα από τα σημαντικότερα είναι η μείωση της αξιοπιστίας των τρανζίστορ. Η τυχαία διακύμανση που προκαλείται στις ηλεκτρικές παραμέτρους του κυκλώματος λόγω των επιπτώσεων της κατασκευαστικής διαδικασίας έχει άμεσο αντίκτυπο στο χρονισμό των ψηφιακών κυκλωμάτων. Πιο συγκεκριμένα, η διακύμανση στις παραμέτρους του κυκλώματος σε συνδυασμό με διακυμάνσεις στη τάση λειτουργίας, στη θερμοκρασία και τις τιμές εισόδου (PVTI – Parameters/Voltage/Temperature/Input), κάνουν τα κυκλωματικά στοιχεία να συμπεριφέρονται πλέον περισσότερο σαν τυχαίες μεταβλητές αχρηστεύοντας έτσι τις σύγχρονες τεχνικές ανάλυσης του χειρίστου χρονισμού του κυκλώματος. Ακόμα, η πρόοδος της τεχνολογίας των τρανζίστορ έχει οδηγήσει στην ανάπτυξη πολυπλοκότερων συστημάτων αυξάνοντας έτσι την πιθανότητα εμφάνισης σφάλματος σε κάποιο από αυτά.

Ορισμός Αξιοπιστίας

Ως βλάβη ορίζεται η απόκλιση από την τήρηση των προδιαγραφών του συστήματος για μια δεδομένη χρονική περίοδο. Οι βλάβες προκαλούνται από τα διάφορα σφάλματα, τα οποία ορίζονται ως αποτυχίες των υποσυστημάτων. Οι βλάβες έχουν πολλές αιτίες, που κυμαίνονται από τα σχεδιαστικά προβλήματα μέχρι τα κατασκευαστικά σφάλματα μέχρι τις φθορές που οφείλονται σε εξωτερικές διαταραχές μέχρι την κατάχρηση του προϊόντος. Δεν οδηγούν όλα τα σφάλματα σε λάθη, πολλά μπορεί να μην γίνονται εύκολα αντιληπτά. Για παράδειγμα, μια ελαττωματική via μπορεί να περάσει απαρατήρητη

αν βρίσκεται πολύ κοντά με μια η οποία λειτουργεί ορθά. Η μελέτη των σφαλμάτων παρέχει διορατικότητα στη πρόβλεψη και βελτίωση του ποσοστού αποτυχίας του όλου συστήματος.

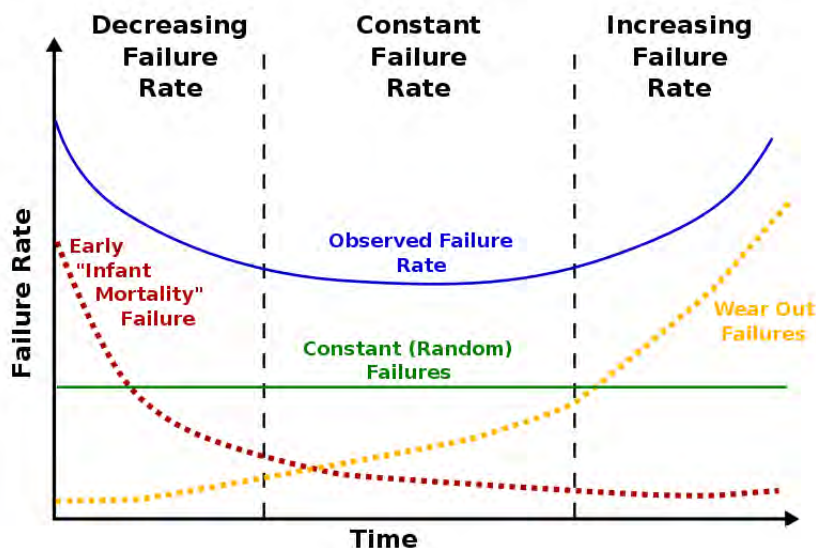
Πληθώρα ακρονύμων χρησιμοποιείται για να περιγράψουν την αξιοπιστία ενός συστήματος. Γνωστά είναι ο Mean Time Between Failures (MTBF) ή αλλιώς ο Μέσος Χρόνος Μεταξύ Βλαβών, που ορίζεται ως :

$$MTBF = \frac{\text{number of devices-hours of operation}}{\text{number of failures}}$$

και ο Failures In Time (FIT) ή αλλιώς Σφάλματα στο Χρόνο, ορίζεται το πλήθος των σφαλμάτων που θα εμφανιστούν σε χιλιάδες ώρες λειτουργίας σε εκατομμύρια συσκευές, δηλαδή :

$$FIT = 10^9 \cdot \frac{\text{failure rate}}{\text{hour}}$$

Τα περισσότερα συστήματα υπακούν στην λεγόμενη καμπύλη της "Μπανιέρας" (Bathtub Curve) Εικόνα 3.1. Σύντομα μετά τη "γέννηση" τους, τα συστήματα με ασθενή και ελαττωματικά στοιχεία τείνουν να αποτυγχάνουν. Αυτή η περίοδος ονομάζεται και περίοδος "βρεφικής θνησιμότητας". Τα αξιόπιστα συστήματα που ξεπερνούν αυτή την περίοδο μεταβαίνουν στην "ωφέλιμη διάρκεια" λειτουργίας τους, στην οποία το ποσοστό βλαβών είναι πολύ χαμηλό. Τέλος, το ποσοστό βλαβών του συστήματος αυξάνεται κατά το τέλος της ζωής του και όσο το σύστημα φθείρεται. Είναι πολύ σημαντικό τα συστήματα να ξεπερνούν το στάδιο της "βρεφικής θνησιμότητας" πριν βγουν στην αγορά, πράγμα που επιτυγχάνεται με την επιτάχυνση της γήρανσης του κυκλώματος "υπνόντας" το σε υψηλότερες θερμοκρασίες και τροφοδοσίες από τις προβλεπόμενες.



Σχήμα 3.1: Reliability Bathtub Curve

Είδη Σφαλμάτων

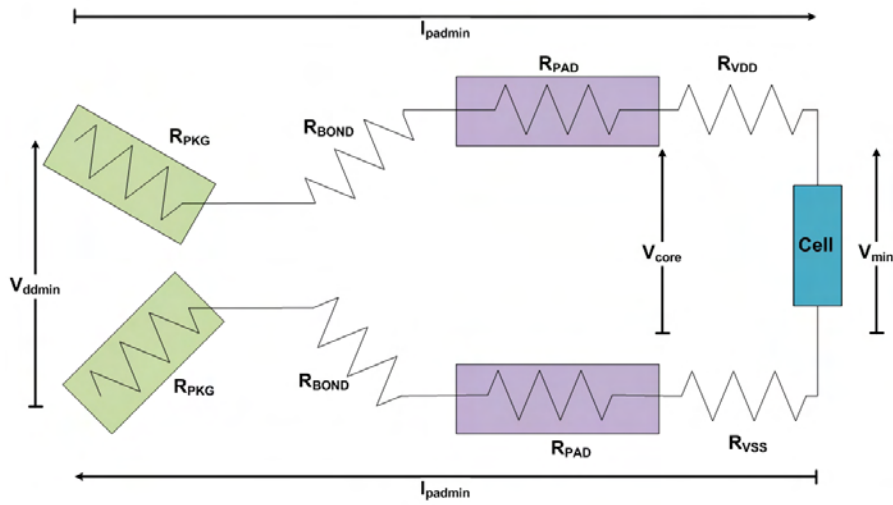
Τα είδη σφαλμάτων μπορούν ανάλογα με τη φύση τους να χωριστούν σε τρεις βασικές κατηγορίες :

- Μόνιμα (Permanent): Τα Μόνιμα σφάλματα υπάρχουν επ' αόριστον στο σύστημα μέχρι να ληφθούν διορθωτικά μέτρα.
- Διακοπτόμενα (Intermittent): Τα Περιοδικά σφάλματα εμφανίζονται, εξαφανίζονται και στη συνέχεια επανεμφανίζονται στην διάρκεια ζωής του συστήματος και μπορεί να είναι πρώιμες ενδείξεις μόνιμων σφαλμάτων.
- Παροδικά (Transient): Τα Παροδικά σφάλματα εμφανίζονται και εξαφανίζονται χωρίς επανάληψη.

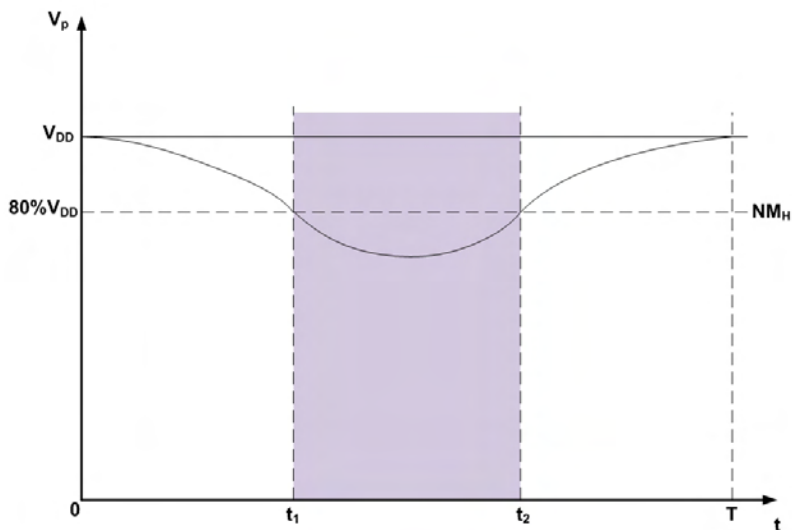
Πίνακας 3.3: Είδη σφαλμάτων σε επίπεδο Υλικού

Hardware Faults	Fault Types	
	Permanent	Transient
Electro-migration	✓	
Metal Stress Voiding	✓	
Gate Oxide Wear-out	✓	
Hot Carrier Injection	✓	
Negative Bias Temperature Instability	✓	
Soft Errors		✓
Transistor Variability		✓
Thermal Cycling		✓
Erratic Fluctuation in minimum voltage		✓

IR drop Τα σύγχρονα ολοκληρωμένα κυκλώματα τεχνολογίας βαθέως υπομικρού (45nm, 28nm) περιέχουν τεράστια δίκτυα διανομής ισχύος με αποτέλεσμα να αντιμετωπίζουν ένα πλήθος προβλημάτων αξιοπιστίας. Μερικά από τα προβλήματα είναι, η αναπήδηση (αυξομείωση) τάσης λόγω φαινομένων επαγωγής και τα φαινόμενα ηλεκτρομετανάστευσης λόγω της υπερβολικής πυκνότητας ρεύματος. Το μεγαλύτερο από τα προβλήματα είναι αυτό της πτώσης τάσης (Voltage Drop ή IR Drop). Το φαινόμενο αυτό χαρακτηρίζει την πτώση του πραγματικού επιπέδου τάσης που παρέχεται στις ενεργές συσκευές (υποκυκλώματα - blocks) του κυκλώματος λόγω της πεπερασμένης αντίστασης των καλωδίων τάσης/γείωσης κάτι το οποίο μπορεί να έχει δυσμενή επίπτωση στην ταχύτητα του κυκλώματος και τα περιθώρια θορύβου, υποβιβάζοντας την απόδοση και την αξιοπιστία του κυκλώματος.



Σχήμα 3.2: Οι αντιστάσεις μεταξύ της εξωτερικής τροφοδοσίας και ενός κελιού στο κέντρο του chip. Η πτώση τάσης είναι το άθροισμα της πτώσης τάσης στις $R_{V_{DD}}$ και $R_{V_{SS}}$.

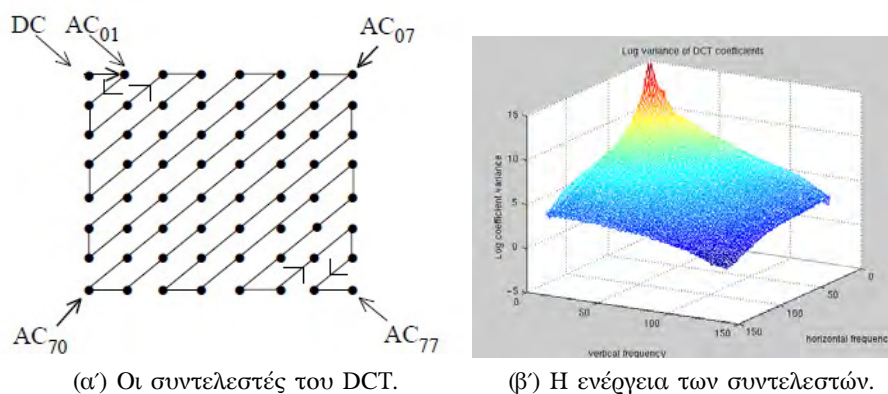


Σχήμα 3.3: Το φαινόμενο της πτώσης τάσης που παρατηρείται σε μια καταβόθρα τροφοδοσίας ισχύος στο δίκτυο διανομής της ισχύος.

3.3 Σχεδίαση Σημαντικότητας

Με την ταχεία ανάπτυξη των υπηρεσιών πολυμέσων και των ασύρματων εφαρμογών, η ζήτηση για συστήματα επεξεργασίας σήματος που προσφέρουν υψηλά επίπεδα ποιότητας και επιδόσεων με χαμηλή κατανάλωση ισχύος έχει αυξηθεί τρομακτικά. Για το λόγο αυτό έχουν αναπτυχθεί πολλές τεχνικές για την αντιμετώπιση τέτοιων προβλημάτων. Μερικές από αυτές αναφέρθηκαν στην παράγραφο 3.1. Παρόλα αυτά στο [10] προτάθηκε μια διαφορετική μεθοδολογία για την επίλυση τέτοιων προβλημάτων. Η μεθοδολογία αυτή βασίζεται στο γεγονός ότι στα DSP συστήματα, όλοι οι υπολογισμοί δεν είναι εξίσου σημαντικοί στη διαμόρφωση της εξόδου. Για τα συστήματα αυτά, μπορεί να υπάρξει αποτελεσματική ανταλλαγή μεταξύ της κλιμάκωσης της τάσης, της μεταβλητότητας και της ποιότητας εξόδου του συστήματος. Βασικό βήμα σε αυτή την προσέγγιση αποτελεί ο προσδιορισμός των σημαντικών υπολογισμών ενός συστήματος οι οποίοι συνεισφέρουν περισσότερο στην διαμόρφωση της ποιότητας της εξόδου. Αφού αυτοί καθοριστούν γίνεται προσπάθεια να δοθεί μεγαλύτερη προτεραιότητα σε αυτούς μέσω αλγοριθμικών, αρχιτεκτονικών και κυκλωματικών μετασχηματισμών. Με τη χρήση αυτής της μεθοδολογίας μπορούμε να αυξήσουμε την ανεκτικότητα του συστήματος σε οποιαδήποτε είδους μεταβλητότητα και ως εκ τούτου στην αύξηση της αξιοπιστίας του. Παρόλα η χρήση αυτής της μεθοδολογίας σε διαφορετικά συστήματα απαιτεί διαφορετική προσέγγιση κάθε φορά λόγω της διαφορετικής φύσης κάθε αλγορίθμου και αρχιτεκτονικής.

Ως παράδειγμα μπορεί να παρουσιαστεί ο αλγόριθμος Discrete Cosine Transform (DCT). Όπως είναι γνωστό σε έναν DCT μετασχηματισμό σε ένα μπλόκ εικόνας διαστάσεων 8×8 δεν έχουν όλοι οι συντελεστές την ίδια συνεισφορά στην ποιότητα της εξόδου. Το μεγαλύτερο μέρος της ενέργειας της εικόνας εισόδου (περίπου 85% ή περισσότερο) περιέχεται στους πρώτους 20 συντελεστές του πίνακα DCT μετά τον 2D-DCT μετασχηματισμό. Οι συντελεστές πέρα από αυτόν (21-64) δεν συμβάλλουν σημαντικά στην βελτίωση της ποιότητας της εικόνας, και ως εκ τούτου, του Peak signal-to-noise Ratio (PSNR)(Εικόνα 3.4).



Σχήμα 3.4: Οι συντελεστές του DCT και η σημαντικότητά τους.

Κεφάλαιο 4

Υλοποίηση

Σε αυτό το κεφάλαιο περιγράφουμε το εργαλείο που υλοποιήθηκε, τις υπηρεσίες που αυτό παρέχει καθώς και πως διαμορφώνεται η καθιερωμένη ροή σχεδίασης με σκοπό να το υποστηρίξει.

4.1 Περιγραφή

Λαμβάνοντας υπόψη τις τεχνικές που περιγράψαμε στο προηγούμενο κεφάλαιο προσπαθήσαμε να βελτιώσουμε την αξιοπιστία ενός συστήματος, βελτιώνοντας τους σημαντικούς για αυτό υπολογισμούς σε φυσικό επίπεδο. Για τον λόγο αυτό λαμβάνουμε υπόψη μας τις πιθανές διακυμάνσεις της τάσης (IR-drop) που είναι αποτέλεσμα των ασθενών ηλεκτρικών δικτύων, των μεταβαλλόμενων συνθηκών λειτουργίας του κυκλώματος και των φορτίων σε διάφορα μέρη του chip. Αναλογιζόμενοι τα προηγούμενα παρουσιάζουμε ένα σύστημα που δίνει προτεραιότητα στην τοποθέτηση των κρίσιμων και ευαίσθητων υπολογισμών ενός συστήματος σε περιοχές του chip με χαμηλό IR-drop.

4.2 Δομή Εργαλείου

Σε αυτό το κομμάτι περιγράφεται η δομή του εργαλείου, αρχίζοντας με μία γενική περιγραφή των εισόδων και εξόδων του και συνεχίζοντας με την αλγοριθμική περιγραφή στην οποία αναλύονται οι λειτουργίες που αυτό υλοποιεί.

Γενική Δομή

Το εργαλείο δέχεται ως είσοδο κυρίως αρχεία τα οποία αποτελούν πρότυπο μεταξύ των βιομηχανικών εργαλείων, αυτό στοχεύει στην άμεση εναρμόνιση του με τις ήδη υπάρχουσες ροές σχεδίασης. Δέχεται ως είσοδο ένα configuration file το οποίο αποτελείται από τα περαιτέρω αρχεία που πρέπει να δεχθεί ως είσοδο και από κάποιες ρυθμίσεις που καθορίζουν την λειτουργία που θα εκτελέσει. Τα αρχεία που δέχεται ως είσοδο είναι:

- Το αρχείο της σχεδίασης που λαμβάνεται ως έξοδος από το εργαλείο που κάνει την τοποθέτηση και την δρομολόγηση της σχεδίασης. Το αρχείο είναι σε μορφή Design Exchange Format (DEF), ένα πρότυπο κοινό και αναγνωρισμένο από όλα τα

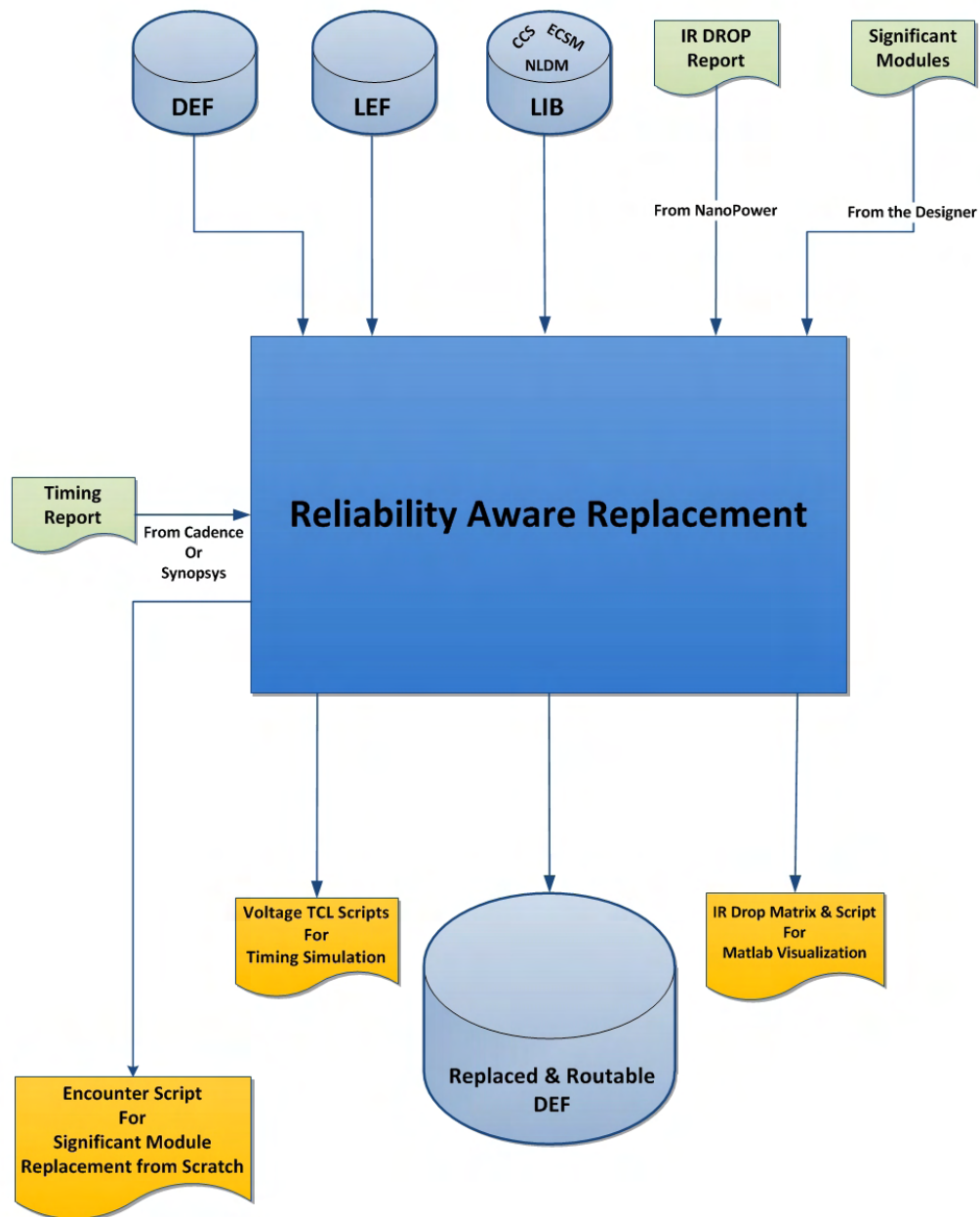
εργαλεία που υπάρχουν σήμερα. Σε αυτό το αρχείο περιγράφονται οι τοποθεσίες των κελιών της σχεδίασης και γενικότερα η όλη απεικόνιση της.

- Το αρχείο της τεχνολογίας που χρησιμοποιείται καθόλη τη ροή της σχεδίασης. Το αρχείο είναι σε μορφή Library Exchange Format (LEF), που αποτελεί και αυτό κοινό πρότυπο μεταξύ των εργαλείων. Αυτό το αρχείο περιγράφει τις φυσικές ιδιότητες της τεχνολογίας, τα είδη των κελιών που υποστηρίζει και τις διαφορές τους ιδιότητες όπως ύψος, πλάτος κτλ.
- Το αρχείο του χρονικού χαρακτηρισμού της βιβλιοθήκης σε κάποια γωνία χαρακτηρισμού, θερμοκρασία και τάση. Το αρχείο είναι σε μορφή Liberty, που αποτελεί κι αυτή με τη σειρά πρότυπο. Υποστηρίζονται όλα τα είδη χαρακτηρισμού όπως Composite Current Source (CCS), Non-Linear Delay Models (NLDM), Non-Linear Power Models (NLPM) και Effective Current-Source Models (ECSM). Η υποστήριξη τέτοιων αρχείων δημιουργήθηκε για βοηθητικούς λόγους και δεν έχει άμεσο ρόλο στη ροή του εργαλείου, παρόλα αυτά δίνει την δυνατότητα για μελλοντικές επεκτάσεις όπως αναφέρουμε και στο Κεφάλαιο 6.2.
- Το αρχείο με την χειρίστη πτώση τάσης κάθε κελιού, με την βοήθεια της θεωρίας των Ακραίων Τιμών, που παρέχεται από το εργαλείο NanoPower.
- Τα timing reports που περιέχουν τα κρίσιμα μονοπάτια της σχεδίασης που θέλουμε να βελτιώσουμε. Υποστηρίζονται αναφορές από εργαλεία των εταιριών Cadence και Synopsys μιας και με τα εργαλεία αυτών των εταιριών δουλέψαμε.
- Τα σημαντικά στοιχεία μιας σχεδίασης. Το αρχείο αυτό παρέχεται από τον σχεδιαστή και είναι αναγκαίο αν χρειαστεί να γίνει βελτίωση με έμφαση την σημαντικότητα των υπολογισμών μιας σχεδίασης.

Ακόμα, το εργαλείο παρέχει και μία σειρά από εξόδους, τόσο αποτελέσματα της βελτίωσης όσο και κάποια βοηθητικά αρχεία. Τα αρχεία εξόδου είναι τα εξής:

- Το αρχείο της νέας σχεδίασης σε μορφή DEF, το οποίο περιέχει τις νέες αλλαγές και έχει την δυνατότητα να δρομολογηθεί χωρίς προβλήματα.
- Ένα script για το Matlab και ο πίνακας με τις τάσεις όλων των κελιών της σχεδίασης για να μπορέσει ο σχεδιαστής να αναπαραστήσει την κατανομή της πτώσης τάσης πάνω στο chip και να αποκτήσει μια σαφέστερη εικόνα του προβλήματος.
- Scripts σε γλώσσα TCL τα οποία βοηθούν στην χρονική ανάλυση του κυκλώματος με βάση την τάση του κάθε κελιού ξεχωριστά. Τα αρχεία αυτά είναι συμβατά με το εργαλείο PrimeTime της Synopsys το οποίο είναι το μοναδικό που κάνει χρονική ανάλυση με την χρήση πολλαπλών βιβλιοθηκών και με βάση το IR-drop κάθε κελιού.
- Script συμβατό με το εργαλείο της Cadence, SoC Encounter με το οποίο καθορίζει εκ νέου το floorplan της σχεδίασης τοποθετώντας μαζικά τα στοιχεία των σημαντικών υπολογισμών σε περιοχές με χαμηλό IR-drop.

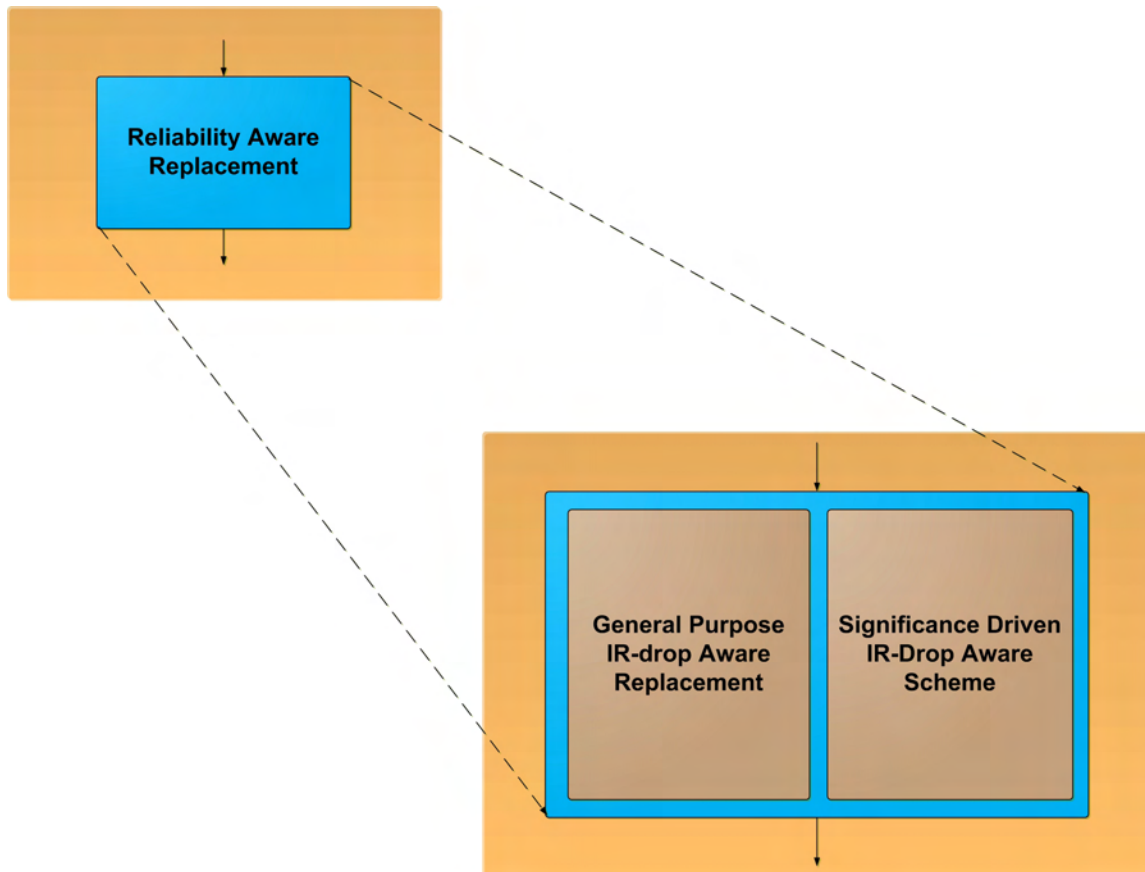
Η όλη δομή αναπαρίσταται και στην Εικόνα 4.1.



Σχήμα 4.1: Προτεινόμενο Εργαλείο

Αλγοριθμική Δομή

Τις λειτουργίες που μπορεί να υλοποιήσει το εργαλείο μπορούμε να τις διαχωρίσουμε σε δύο γενικότερες κατηγορίες, στους αλγόριθμους που αφορούν την βελτίωση συστημάτων DSP, συστημάτων δηλαδή που η σημαντικότητα των υπολογισμών δεν είναι ίδια και στην κατηγορία που αφορούν την βελτίωση κυκλωμάτων που η γνώση της σημαντικότητας των υπολογισμών δεν είναι εφικτή ή δεν είναι απαραίτητη. Ο διαχωρισμός αυτός φαίνεται στην Εικόνα 4.2.



Σχήμα 4.2: Δυνατότητες Προτεινόμενου Εργαλείου

Βελτίωση Γενικού Σκοπού

Προσπαθήσαμε εκτός από την βελτίωση συστημάτων όπου η σημαντικότητα των υπολογισμών δεν είναι η ίδια, να βελτιώσουμε και συστήματα γενικότερου σκοπού που δεν υφίσταται τέτοια σχέση μεταξύ των υπολογισμών που επιτελούν ή δεν είναι εφικτή η εύκολη αναγνώριση των σημαντικών υπολογισμών. Δυστυχώς, η μέθοδος της διαμόρφωσης μιας εικόνας για την Ευαισθησία των υπολογισμών μιας σχεδίασης κάνει ακόμα τα πρώτα της βήματα και χρησιμοποιείται με έμμεσους και πειραματικούς τρόπους σήμερα. Βέβαια, αν και οι σχεδιάσεις με στοιχεία τύπου DSP κυριαρχούν σήμερα, δεν αποτελούν μονοπώλιο, οπότε δεν θα μπορούσαμε να παραμελήσουμε και τις υπόλοιπες σχεδιάσεις. Οι λόγοι αυτοί αποτέλεσαν το σημαντικότερο έναυσμα για την υλοποίηση

του αλγορίθμου επανατοποθέτησης γενικότερου σκοπού.

Προσπαθούμε όπως και στον αλγόριθμο με βάση τη σημαντικότητα των υπολογισμών λαμβάνοντας υπόψη μας τα κρίσιμα μονοπάτια μίας σχεδίασης να βελτιώσουμε την απόδοση της και να αυξήσουμε την αξιοπιστία της μεταφέροντας με άμεσο τρόπο κελιά που παρουσιάζουν την μεγαλύτερη καθυστέρηση κυρίως λόγω μικρής τάσης που παρουσιάζεται σε αυτά μεταφέροντας τα σε περιοχές που η πτώση τάσης είναι μικρότερη. Με αυτό το τρόπο αυξάνουμε την τάση τροφοδοσίας του κελιού, η οποία με την σειρά της μειώνει την καθυστέρηση αυτού.

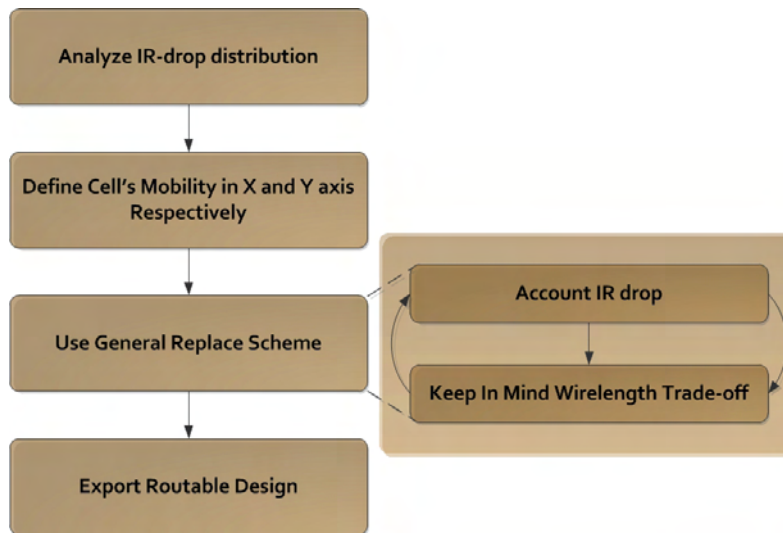
Ως αρνητικό της όλης υπόθεσης μπορεί να αποτελέσει το γεγονός ότι τα σύγχρονα εργαλεία σχεδίασης τοποθετούν τα κελιά με τέτοιο τρόπο ώστε να είναι βέλτιστα χρονικά, λαμβάνοντας βέβαια κάποιο άνω όριο, χοντροκομμένο θα λέγαμε, στην μέγιστη τιμή της συνολικής πτώσης τάσης που μπορεί να παρουσιαστεί. Με αυτό τον τρόπο οποιαδήποτε αλλαγή αυξάνει το συνολικό μήκος καλωδίου που απαιτείται για την ένωση των στοιχείων μιας σχεδίασης, γεγονός που έχει ως άμεσο αντίκτυπο την αύξηση του χρονισμού του κυκλώματος. Αν, όμως η πτώση τάση σε διάφορες περιοχές παρουσιάζει μεγάλες διαφορές, η πιθανή μετακίνηση ενός κελιού σε περιοχές με χαμηλότερη πτώση τάσης μπορεί να αποφέρει εν τέλει κέρδος στον τελικό χρονισμό του κυκλώματος μιας και το κέρδος από την αύξηση της τάσης μπορεί να είναι μεγαλύτερο από αυτό της ζημίας λόγω της αύξησης του μήκους του καλωδίου.

Πρέπει να τονίσουμε ότι δεν είναι δυνατόν για παράδειγμα ένα κελί να μπορεί να μετακινηθεί οπουδήποτε, σε οποιαδήποτε περιοχή του chip της σχεδίασης και ο λόγος είναι απλός όπως προαναφέραμε, η επιμήκυνση του καλωδίου για την υποστήριξη μιας τέτοιας αλλαγής θα έχει αρνητική επίδραση. Για το λόγο αυτό προσπαθήσαμε στο εργαλείο μας οι αλλαγές να λαμβάνουν θέση σε λογικά πλαίσια. Ανάλογα με το πως διαμορφώνεται η πτώση τάσης γύρω από ένα κελί, να δίνεται αντίστοιχα μεγαλύτερη ή μικρότερη ελευθερία στη μετακίνηση του. Αν η πτώση τάσης έχει μικρή διαφορά σε κελιά γύρω από αυτό τότε δίνεται μικρότερη ελευθερία αλλιώς εάν παρουσιάζεται μεγαλύτερη τότε δίνεται αντίστοιχα μεγαλύτερη ελευθερία. Ο βαθμός ελευθερίας καθορίζεται κυρίως από τον σχεδιαστή, αφού δεν είναι εύκολο να καθοριστεί κάτι τέτοιο δυναμικά. Δεν μπορεί εύκολα να κρίνει κάποιος αν μια πτώση τάσης είναι μεγάλη ή μικρή, αυτό εξαρτάται κυρίως από την εκάστοτε τάση τροφοδοσίας και βέβαια και από άλλους διαφόρους λόγους. Ο καθορισμός της κινητικότητας των κελιών γίνεται τόσο ως προς τον άξονα x όσο και ως προς τον άξονα y για καλύτερη λειτουργικότητα. Η ροή παρουσιάζεται στην Εικόνα 4.3.

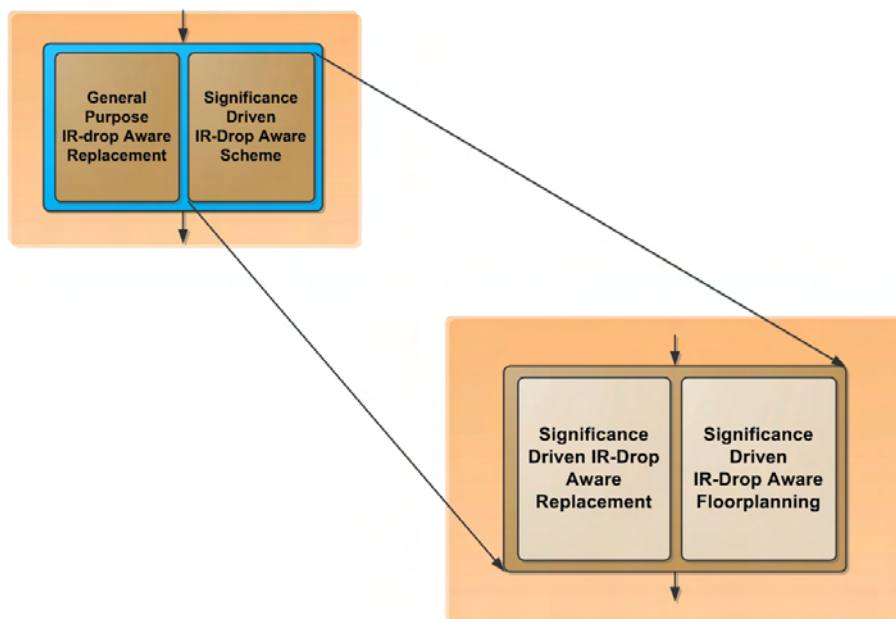
Στόχος αυτού του αλγορίθμου ήταν η προσέγγιση μιας πρώτης δυνατής λύσης. Βέβαια ακόμα γίνεται προσπάθεια για τον δυναμικό καθορισμό την κινητικότητας των κελιών.

Βελτίωση Σημαντικότητας

Η βελτίωση μίας σχεδίασης με βάση τη σημαντικότητα των διαφόρων υπολογισμών που αυτή περιλαμβάνει αποτελεί και το κυρίως θέμα της εργασίας αυτής. Για την επίλυση του προβλήματος, που έχουμε αναφέρει τόσο στην Εισαγωγή αυτού του Κεφαλαίου όσο και σε άλλα μέρη της παρούσας εργασίας, υλοποιήσαμε δύο βασικούς αλγόριθμους. Ο ένας αποτελεί αλγόριθμο επανατοποθέτησης των σημαντικών υπολογισμών και ο άλλος δημιουργεί ένα νέο floorplan της σχεδίασης λαμβάνοντας υπόψη του την διαμόρφωση της πτώσης τάσης στο chip. Η λειτουργικότητα αυτή είναι εμφανής στην Εικόνα 4.4.



Σχήμα 4.3: Ροή Επανατοποθέτησης Γενικού Σκοπού

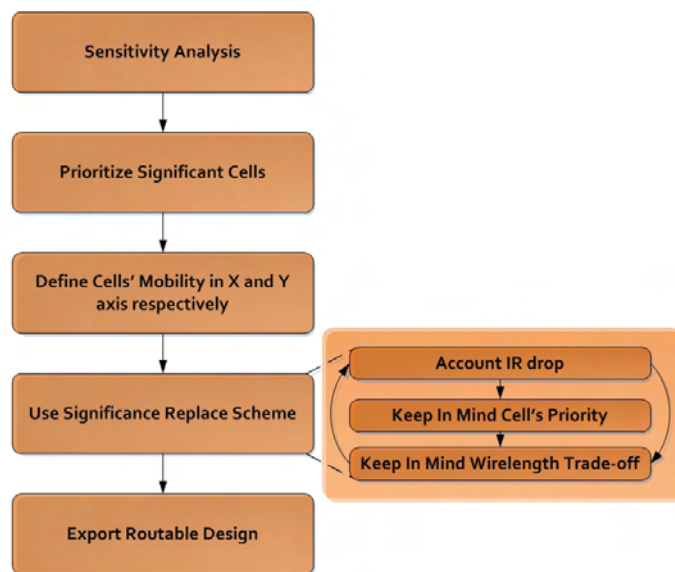


Σχήμα 4.4: Δυνατότητες με έμφαση στη Σημαντικότητα

Επανατοποθέτηση Σημαντικών Υπολογισμών Στόχος μας είναι να βελτιώσουμε την απόδοση των σημαντικών υπολογισμών και την αξιοπιστία του συνολικού συστήματος με απώτερο σκοπό την εγγύηση μιας μέγιστης ελάχιστης απόδοσης εξόδου ενός συστή-

ματος DSP. Για τον λόγο αυτό προσπαθούμε να βελτιώσουμε τα σημαντικά στοιχεία που βρίσκονται στα διάφορα σημαντικά κρίσιμα μονοπάτια της εκάστοτε σχεδίασης.

Αφού την μελετήσουμε και αναλύσουμε την ευαισθησία της σχεδίασης με μία διαδικασία η οποία ονομάζεται "Sensitivity Analysis" καθορίζουμε την σημαντικότητα των επιμέρους στοιχείων μιας σχεδίασης και δίνουμε διαφορετικές προτεραιότητες σε αυτά δεδομένου της σημαντικότητας τους. Ύστερα, μελετάμε το πώς διαμορφώνεται η πτώση τάσης σε όλα τα στοιχεία της σχεδίασης και ορίζουμε την κινητικότητα των σημαντικών κελίων, δηλαδή το περιορισμό ως προς το μήκος καλώδιο όπως αναφέραμε και στην Ενότητα 4.2. Τέλος, μεταβαίνουμε στο κύριο κομμάτι της διαδικασίας στο οποίο κάνουμε τις απαραίτητες αλλαγές στα κρίσιμα μονοπάτια έχοντας πάντοτε υπόψη μας το κέρδος που θα λάβουμε από την μετακίνηση σε μία περιοχή με χαμηλότερη πτώση τάσης, τη ζημία λόγω της ανάγκης μεγαλύτερου μήκους καλωδίου για την υποστήριξη αυτής της αλλαγής αλλά και την προτεραιότητα του κελιού που θα αντικαταστήσουμε. Η ροή παρουσιάζεται στην Εικόνα 4.5.



Σχήμα 4.5: Ροή Επανατοποθέτησης Σημαντικότητας

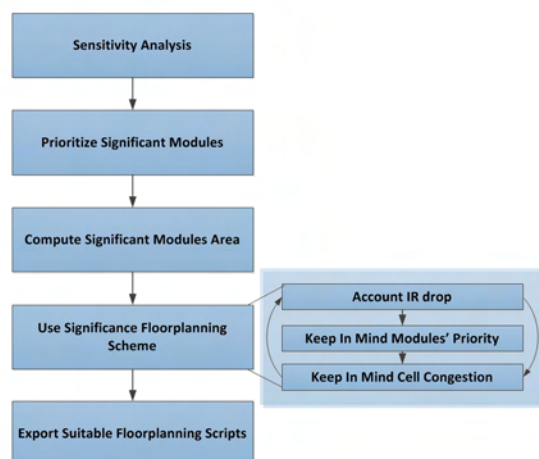
Χωροθέτηση Σημαντικότητας Μετά την υλοποίηση των αλγορίθμων επανατοποθέτησης τόσο γενικού σκοπού όσο και με έμφαση στη σημαντικότητα, προσπαθήσαμε να σκεφτούμε νέες τεχνικές που θα μπορούσαν να βελτιώσουν ως σύνολο τους σημαντικούς υπολογισμούς με σκοπό την εγγύηση υψηλού βαθμού αξιοπιστία.

Καταλήξαμε ότι μια καλή λύση θα ήταν η τοποθέτηση εκ νέου όλων των σημαντικών στοιχείων σε περιοχές του chip που η πτώση τάσης είναι χαμηλή. Το κύριο πρόβλημα

που προέκυπτε είναι ότι θα καταστρέφαμε την "ιδανική" σύμφωνα με τα βιομηχανικά εργαλεία μέγιστη καθυστέρηση χρονισμού του κυκλώματος. Βέβαια από την άλλη θα βελτιώναμε τόσο το χρονισμό όσο και την αξιοπιστία των υπολογισμών που καθορίζουν σε μεγαλύτερο βαθμό την ποιότητα της εξόδου του όλου συστήματος.

Αφού καθορίσουμε τα σημαντικά στοιχεία μιας σχεδίασης αναλύοντας την Ευαισθησία της, βρίσκουμε από μετρικής απόψεως την περιοχή, τον χώρο που καταλαμβάνουν τα σημαντικά στοιχεία. Αφού μελετήσουμε το πως διαμορφώνεται η πτώση τάσης στο chip, ψάχνουμε να βρούμε μία περιοχή σε αυτό που αν τοποθετηθούν τα σημαντικά στοιχεία σε αυτήν, η πτώση τάσης τους να βελτιωθεί σε σημαντικό βαθμό σε σχέση με πριν. Αξίζει να σημειωθεί ότι δεν ψάχνουμε να βρούμε μια περιοχή που να χωρά ακριβώς τα σημαντικά στοιχεία, αλλά μια περιοχή που τα σημαντικά στοιχεία να καταλαμβάνουν το 70%. Αυτό έχει γίνει για την διατήρηση της συμφόρησης στα ίδια επίπεδα με την προηγούμενη σχεδίαση ώστε να μην αλλάξει σε μεγάλο βαθμό το πώς διαμορφώνεται η πτώση τάσης πάνω στο chip, σε περίπτωση βέβαια που η συμφόρηση είναι μεγαλύτερη δίνουμε παραπάνω χώρο εως ότου να ικανοποιηθούν οι προϋποθέσεις που έχουμε θέσει.

Αποτέλεσμα όλης αυτής της διαδικασίας είναι η δημιουργία ενός script που αν δοθεί ως είσοδος στο εργαλείο της Cadence, SoC Encounter, θα δημιουργήσει ένα ξεχωριστό floorplan καθορίζοντας για τα σημαντικά στοιχεία τις αντίστοιχες περιοχές που προτείνει το εργαλείο. Από εκεί και πέρα το Encounter θα προσπαθήσει να τοποθετήσει τα στοιχεία σε αυτήν και να βελτιστοποιήσει την σχεδίαση με βάση το νέο αυτό floorplan. Η ροή παρουσιάζεται στην Εικόνα 4.6.



Σχήμα 4.6: Ροή Χωροθέτησης Σημαντικότητας

4.3 Προτεινόμενη Ροή Σχεδίασης

Λαμβάνοντας υπόψη μας όσα αναφέρθηκαν στην ενότητα 4.2 μπορούμε εύκολα να συμπεράνουμε ότι το εργαλείο είναι πλήρως συμβατό με όλα τα βιομηχανικά πρότυπα που απαιτούνται. Για να μπορέσει όμως να συμβάλλει στην διαδικασία της σχεδίασης ενός συστήματος και ειδικότερα στην διαδικασία της αποδοτικότερης φυσικής σχεδίασης του πρέπει να τοποθετηθεί κατάλληλα στις ήδη υπάρχουσες καθιερωμένες ροές φυσικής σχεδίασης.

Φυσικά, το εργαλείο τοποθετείται μετά το στάδιο και της Signoff ανάλυσης μιας και σε εκείνο κυρίως το στάδιο η σχεδίαση εξετάζεται για την αξιοπιστία της όπως αναφέρθηκε και στην ενότητα 2.2 και σε αυτό το στάδιο γίνεται και η IR-drop ανάλυση στην οποία και στηρίζονται οι αλγόριθμοι μας. Ανάλογα με την ενέργεια που θέλουμε να υλοποιήσει το εργαλείο πρέπει να μεταβιβάσει τα αποτελέσματα του στο κατάλληλο στάδιο της ροής σχεδίασης.

Αλγόριθμοι Επανατοποθέτησης

Οποιοδήποτε και από τους αλγόριθμους επανατοποθέτησης και να χρησιμοποιήσουμε πρέπει να λάβουμε μια σχεδίαση που να έχει περάσει από όλα τα γνωστά στάδια μέχρι και την Signoff ανάλυση. Αφού υποστεί τις αλλαγές που ο αλγόριθμος που έχουμε υλοποιήσει θεωρεί δυνατές, το εργαλείο παρέχει την νέα σχεδίαση σε μορφή του γνωστού προτύπου DEF. Το εξαγόμενο αυτό αρχείο περιέχει όλες τις αλλαγές που έγιναν και έχει αφαιρεθεί από αυτό οποιαδήποτε πληροφορία περιείχε το αρχικό DEF που σχετίζεται με την δρομολόγηση της σχεδίασης μιας και οι αλλαγές έχουν παραβιάσει τους προηγούμενους κανόνες δρομολόγησης.

Το νέο αρχείο που προκύπτει είναι έτοιμο να παραδοθεί ξανά στο εργαλείο που κάνει το Place & Route της σχεδίασης. Το αρχείο έχει τη δυνατότητα να περάσει κατευθείαν στο στάδιο της δρομολόγησης μιας και το εργαλείο έχει κάνει κατάλληλα και προσεκτικά τις αλλαγές έτσι ώστε η νέα τοποθετημένη σχεδίαση να έχει την δυνατότητα να δρομολογηθεί χωρίς να υπάρχουν προβλήματα.

Αφού τελειώσει η δρομολόγηση της επανατοποθετημένης σχεδίασης, η ροή συνεχίζεται κανονικά όπως μέχρι να υποστεί το κύκλωμα ξανά τους Signoff ελέγχους ώστε να εξακριβώσουμε ότι οι αλλαγές που έγιναν ήταν όντως ορθές. Τέλος, η σχεδίαση μπορεί να προωθηθεί για κατασκευή. Μπορούμε να δούμε την νέα ροή με το κόκκινο βέλος στην Εικόνα 4.7.

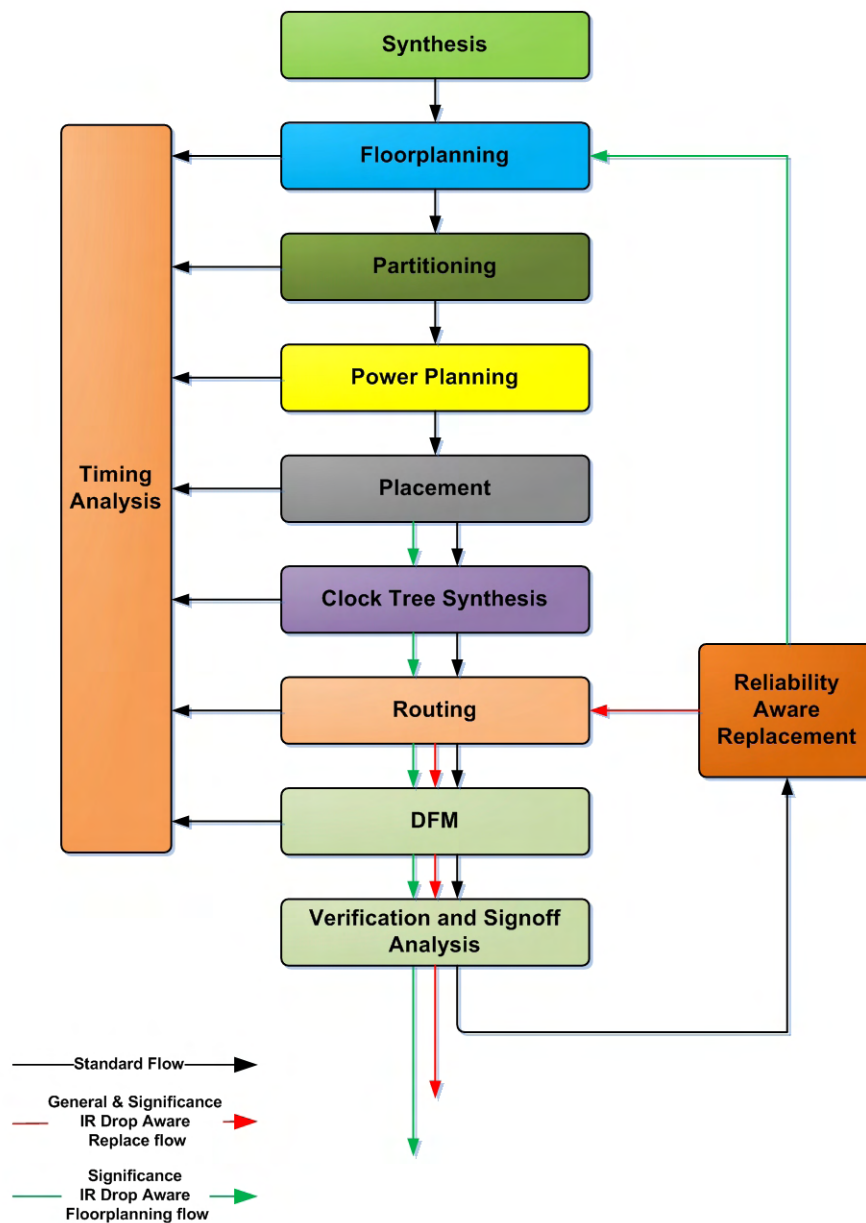
Αλγόριθμος Χωροθέτησης

Όπως αναφέραμε και στο κεφάλαιο 4.2 ο αλγόριθμος αυτός αυτό που κάνει είναι να δημιουργεί ένα ξεχωριστό floorplanning έτσι ώστε να τοποθετηθούν τα σημαντικά στοιχεία μιας σχεδίασης σε μέρη του chip που είχε παρατηρηθεί μικρότερο IR-drop. Αφού λάβουμε τα στοιχεία που αφορούν την πτώση τάσης πάνω στο chip μετά την Signoff ανάλυση, μεταφέρουμε τα αποτελέσματα στο εργαλείο. Αυτό προσπαθεί να βρει κατάλληλες περιοχές στο chip για τα σημαντικά στοιχεία. Αφού τελειώσει εξάγει συμβατά scripts για το εργαλείο της Cadence, το SoC Encounter, με τα οποία δημιουργεί το αντίστοιχο floorplanning. Ύστερα συνεχίζουμε την ροή κανονικά μέχρι και την Signoff ανάλυση ώστε να εξακριβώσουμε ότι έχουμε επιτύχει το επιθυμητό αποτέλεσμα. Μπο-

4. ΥΛΟΠΟΙΗΣΗ

ρούμε να δούμε την νέα ροή με το πράσινο βέλος στην εικόνα 4.7.

Αυτές είναι οι επεκτάσεις που πρέπει να γίνουν στην ήδη υπάρχουσα αυτοματοποιημένη ροή σχεδίασης έτσι ώστε να υποστηριχθεί πλήρως η ενσωμάτωση του εργαλείου.



Σχήμα 4.7: Προτεινόμενη Ροή Σχεδίασης

Κεφάλαιο 5

Πειραματικά Αποτελέσματα

Σε αυτό το κεφάλαιο παρουσιάζονται τα εργαλεία που χρησιμοποιήθηκαν για την διεξαγωγή των πειραμάτων, το πειραματικό κύκλωμα που χρησιμοποιήθηκε, η πειραματική διαδικασία καθώς και τα αποτελέσματα αυτής.

5.1 Εργαλεία

Για την διεξαγωγή των πειραμάτων χρησιμοποιήθηκαν τα παρακάτω βιομηχανικά εργαλεία.

Nangate Open Cell Library

Για τις ανάγκες της κάλυψης της τεχνολογίας CMOS χρησιμοποιήθηκε η βιβλιοθήκη τυποποιημένων κελιών Nangate 45nm Open Cell Library και συγκεκριμένα η έκδοση: NangateOpenCellLibrary_PDKv1_3_v2009_07. Η συγκεκριμένη βιβλιοθήκη είναι μία ανοιχτού κώδικα βιβλιοθήκη βασισμένη στο FreePDK45 που αναπτύχθηκε με σκοπό την έρευνα και δοκιμή ροών αυτοματοποιημένης σχεδίασης κυκλωμάτων. Περιέχει όλα τα ευρέως χρησιμοποιούμενα τυποποιημένα κελία, τα οποία παρέχονται σε πολλαπλές παραλλαγές ισχύος οδήγησης. Επίσης παρέχει:

- Βιβλιοθήκες χρονισμού και ισχύος τύπου Liberty™ (.lib) με δεδομένα τύπου CCS, ECSM, NLDM/NLPM.
- Γεωμετρική βιβλιοθήκη σε μορφή LEF
- Βιβλιοθήκες προσομοίωσης σε μορφή Verilog και SPICE (pre/post parasitic extracted netlists)
- Υλοποίηση κελιών σε GDSII
- Παραστατικά (Schematic)

Synopsys Design Compiler

Η διαδικασία της σύνθεσης πραγματοποιήθηκε με το εργαλείο Synopsys Design Compiler. Χρησιμοποιήθηκε η έκδοση E-2010.12-SP5-3 (64 bit). Το συγκεκριμένο εργαλείο μπορεί εκτός από την υλοποίηση της βασικής σύνθεσης να πραγματοποιήσει

και πλήθος βελτιστοποιήσεων πολλαπλών στόχων με σκοπό την ταυτόχρονη βελτίωση χαρακτηριστικών χρονισμού, ενέργειας και προσδοκώμενης έκτασης.

Cadence SoC Encounter

Η διαδικασία από το Floorplanning έως και το Routing της σχεδίασης έγινε με την χρήση του εργαλείου Cadence SoC Encounter. Χρησιμοποιήθηκε η έκδοση v.10.12 (64 bit). Το συγκεκριμένο εργαλείο υποστηρίζει μεγάλης κλίμακας ιεραρχικές και επίπεδες σχεδιάσεις. Συνδυάζει προηγμένη σύνθεση, αυτοματοποιημένη διαδικασία Floorplanning, προηγμένη διαδικασία σύνθεσης του δέντρου του ρολογιού, προηγμένη δρομολόγηση, υποστήριξη σχεδιάσεων μικτού σήματος, μεθοδολογίες δημιουργίας κυκλωμάτων χαμηλής ισχύος, και μια πλήρης σουίτα σχεδιασμού του τελικού ως προς κατασκευή κυκλώματος. Αυτές και άλλες δυνατότητες παρέχουν την καλύτερη δυνατή ποιότητα από άποψη χρονισμού, ακεραιότητας του σήματος, περιοχής, δύναμης, και απόδοσης του συστήματός μας.

Synopsys Star-RCXT

Για την εξόρυξη των παρασιτικών της σχεδίασης μας χρησιμοποιήθηκε το εργαλείο Synopsys Star-RCXT. Χρησιμοποιήθηκε η έκδοση F-2011.12-SP3 (64 bit). Το εργαλείο Star-RCXT έχει την ικανότητα να προσφέρει ακριβής και ταχύτατη εξόρυξη παρασιτικών για σχεδιάσεις μεγάλης πολυπλοκότητας. Τα εξαγόμενα παρασιτικά σε μορφή Standard Parasitic Extraction Format (SPEF) χρησιμοποιήθηκαν για την ακριβέστερη χρονική ανάλυση του πειραματικού κυκλώματος.

Synopsys PrimeTime

Για την χρονική ανάλυση του κυκλώματος χρησιμοποιήθηκε το εργαλείο Synopsys Primetime Suite. Χρησιμοποιήθηκε η έκδοση F-2011.12-SP3 (64 bit). Το εργαλείο Synopsys Primetime Suite που αποτελείται από τα επιμέρους εργαλεία PrimeTime, PrimeTime SI, PrimeTime PX και PrimeTime VX, παρέχει την δυνατότητα για μεγάλης ακρίβειας χρονική ανάλυση κυκλωμάτων λαμβάνοντας υπόψιν του πληθώρα παραγόντων. Σημαντικό χαρακτηριστικό του είναι η δυνατότητα να εκτελέσει χρονική ανάλυση ενός κυκλώματος λαμβάνοντας υπόψιν του τη τάση κάθε κελιού της σχεδίασης ξεχωριστά. Χαρακτηριστικό που μας βοήθησε να κάνουμε χρονική ανάλυση του πειραματικού κυκλώματος με βάση τη χειρίστη τάση κάθε κελιού που λαμβάναμε από το εργαλείο NanoPower.

Nanotropic NanoPower

Για την διεξαγωγή της IR drop ανάλυσης του κυκλώματος χρησιμοποιήθηκε το εργαλείο NanoPower. Το συγκεκριμένο εργαλείο με τη χρήση της Θεωρίας Ακραίων Τιμών (Extreme Value Theory (EVT)) μας δίνει την δυνατότητα να γνωρίζουμε την μικρότερη τάση που μπορεί να υπάρξει σε κάθε κελί της σχεδίασης μας με ακρίβεια 99%.

5.2 Πειραματικό Κύκλωμα Wallace DCT

Για την διεξαγωγή των πειραμάτων χρησιμοποιήθηκε ο αλγόριθμος DCT, ο οποίος έχει υλοποιηθεί χρησιμοποιώντας δέντρα πολλαπλασιασμών Wallace εξού και το όνομα Wallace DCT. Διαλέξαμε τον αλγόριθμο DCT γιατί είναι ένας από τους πιο διαδεδομένους και χρησιμοποιείται ευρέως σε πληθώρα αρχιτεκτονικών DSP. Επίσης, είναι ευκολότερο να υποστεί μια πρωτογενής ανάλυση ευαισθησίας για τον καθορισμό των σημαντικών υπολογισμών του. Σε μία πρώτη φάση αντιμετωπίσαμε τον Wallace DCT σαν ένα οποιοδήποτε κύκλωμα προσπαθώντας να βελτιώσουμε την καθυστέρηση των κρίσιμων μονοπατιών και ύστερα ως ένα σύστημα DSP, όπως προαναφέρθηκε, προσπαθώντας να βελτιώσουμε τους σημαντικούς υπολογισμούς.

5.3 Αποτελέσματα

Αποτελέσματα Επανατοποθέτησης Γενικού Σκοπού

Αρχικά δοκιμάσαμε τον αλγόριθμο Επανατοποθέτησης Γενικού Σκοπού αντιμετωπίζοντας το κύκλωμα ως έχει, χωρίς καμία ιδιαιτερότητα. Αφού μελετήσαμε την κατανομή της τάσης στα πλαίσια της σχεδίασης ορίσαμε την κινητικότητα των κελιών αντίστοιχα (περίπου στο 5%). Ύστερα, ακολουθήσαμε την διαδικασία που περιγράψαμε στο προηγούμενο Κεφάλαιο. Στην Εικόνα 5.1 παραθέτονται τα αποτελέσματα.

Η πρώτη μπάρα δηλώνει το χρονισμό της σχεδίασης λαμβάνοντας υπόψη ένα πλαίσιο ασφαλείας της τάξης του 10%, δηλαδή αν θεωρήσουμε ότι στη σχεδίαση δίνουμε τάση για παράδειγμα 1.1 V τότε τα αποτελέσματα χρονισμού θα είναι ίσα με αυτά της τάσης του 0.95 V λόγω διαφόρων παραμετρικών μεταβολών. Με αυτή την μέθοδο γίνονται οι σχεδιάσεις σήμερα, ή όπως ονομάζεται διαφορετικά, με την μέθοδο του guardbanding. Στη δεύτερη μπάρα παρουσιάζεται ο χρονισμός θέτοντας σε κάθε πύλη τη χειρότερη τάση που μπορεί να παρουσιαστεί σύμφωνα με τα αποτελέσματα της IR-drop ανάλυσης. Και τέλος, στη τρίτη μπάρα παρουσιάζεται ο χρονισμός μετά τον αλγόριθμο επανατοποθέτησης λαμβάνοντας βέβαια υπόψη και σε αυτή την περίπτωση τη χειρότερη τάση σε κάθε πύλη.

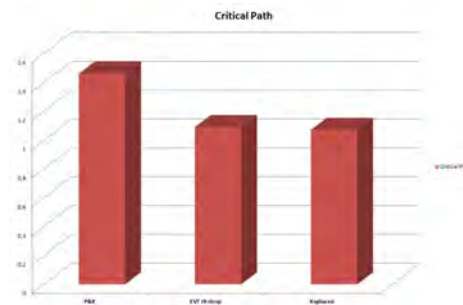
Όπως φαίνεται πετύχαμε ένα κέρδος της τάξης του 1% από αυτή της ανάλυσης με την χειρίστη τάση σε κάθε κελί, γεγονός που αποτελεί μια σημαντική πρώτη βελτίωση. Βέβαια, δεν μπορούμε να εγγυηθούμε ότι κάτι τέτοιο θα συμβαίνει σε κάθε σχεδίαση μιας και αυτό εξαρτάται από πολλούς παράγοντες, όπως αντίστοιχα μπορεί σε άλλες σχεδιάσεις το κέρδος να είναι μεγαλύτερο.

Αποτελέσματα Επανατοποθέτησης Σημαντικότητας

Σε αντίθεση με την προηγούμενη διαδικασία, τώρα δώσαμε προτεραιότητα στους υπολογισμούς της σχεδίασης, δίνοντας μεγαλύτερη προτεραιότητα στην συνιστώσα Z0, μικρότερη προτεραιότητα στις συνιστώσες Z1, Z2 και ακόμη μικρότερη στις Z3, Z4. Στις τρεις τελευταίες δεν δόθηκε καμία προτεραιότητα μιας και η συμβολή τους στην διαμόρφωση της ποιότητας της εξόδου είναι πάρα πολύ μικρή.

Αφού αναλύσαμε την διαμόρφωση της πτώσης τάσης όπως και στο προηγούμενο παράδειγμα εφαρμόσαμε δύο σενάρια. Στο ένα δίνουμε την ίδια κινητικότητα σε όλες τις συνιστώσες ενώ στο άλλο ορίζουμε την κινητικότητα ανάλογα με την προτεραιό-

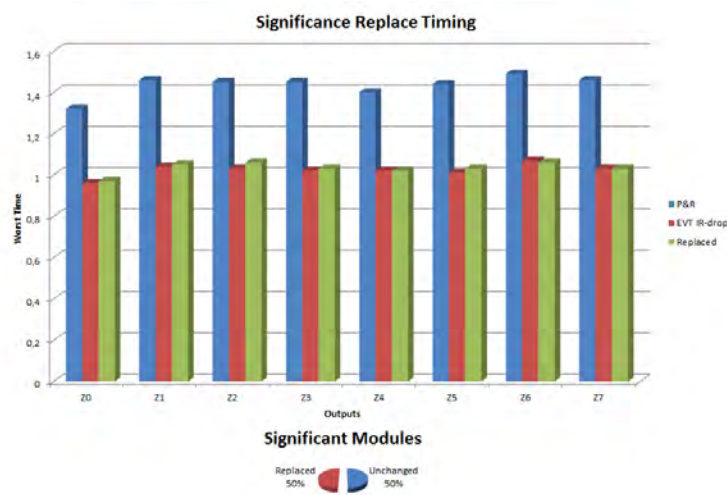
5. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ



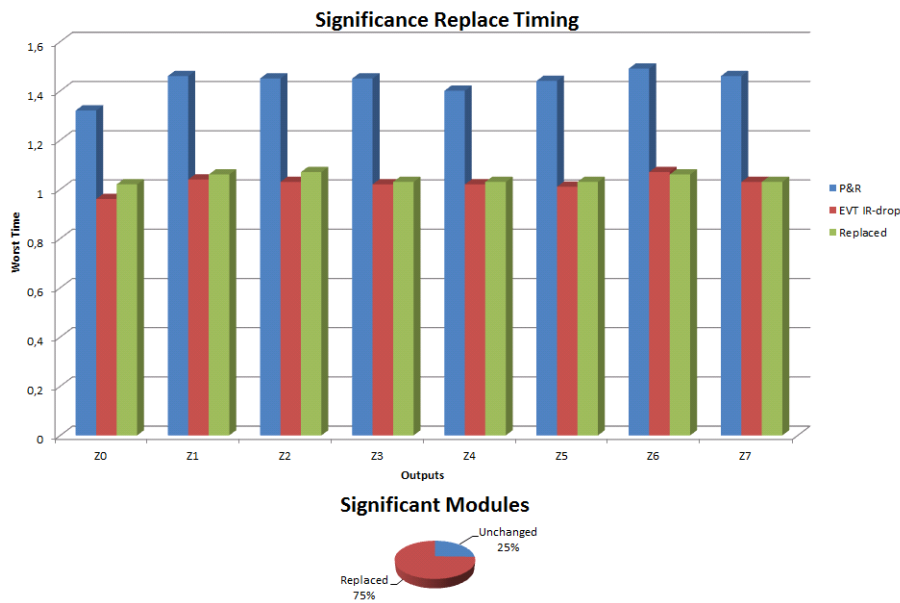
Σχήμα 5.1: Αποτελέσματα Αλγορίθμου Επανατοποθέτησης Γενικού Σκοπού

τητα της κάθε συνιστώσας, δίνοντας μεγαλύτερη σε στοιχεία με υψηλή προτεραιότητα. Στην Εικόνα 5.2 παρουσιάζονται τα αποτελέσματα της πρώτης περίπτωσης ενώ στην Εικόνα 5.3 αυτά της δεύτερης περίπτωσης. Και στις δύο Εικόνες παραθέτονται οι χρονοισμοί για όλες τις συνιστώσες της σχεδίασης. Σε κάθε συνιστώσα η πρώτη μπάρα δηλώνει το χρονοισμό της σχεδίασης λαμβάνοντας υπόψη ένα πλαίσιο ασφαλείας της τάξης του 10%, η δεύτερη μπάρα παρουσιάζει το χρονοισμό θέτοντας σε κάθε πύλη τη χειρότερη τάση που μπορεί να παρουσιαστεί σύμφωνα με τα αποτελέσματα της IR-drop ανάλυσης και τέλος, η τρίτη μπάρα παρουσιάζει το χρονοισμό μετά τον αλγόριθμο επανατοποθέτησης λαμβάνοντας βέβαια υπόψη και σε αυτή την περίπτωση τη χειρότερη τάση σε κάθε πύλη.

Δυστυχώς, η φύση της σχεδίασης όσο και ο τρόπος που κατανέμεται η τάση στα πλαίσια της σχεδίασης δεν μας βοηθά να πάρουμε κάποια βελτίωση μέσω του αλγορίθμου της Επανατοποθέτησης Σημαντικότητας στους σημαντικούς για την σχεδίαση συντελεστές. Αυτός ήταν και ένας από τους κύριους λόγους που δημιουργήσαμε τον αλγόριθμο Χωροθέτησης Σημαντικότητας. Φυσικά σε άλλες σχεδιάσεις ή ακόμα και σε αυτή σε περίπτωση που υπάρξει κάποιο άλλο δίκτυο τροφοδοσίας μπορεί να μπορέσουμε να κερδίσουμε με τη χρήση του αλγορίθμου αυτού.



Σχήμα 5.2: Αποτελέσματα Αλγορίθμου Επανατοποθέτησης Σημαντικότητας (Σενάριο 1)



Σχήμα 5.3: Αποτελέσματα Αλγορίθμου Επανατοποθέτησης Σημαντικότητας (Σενάριο 2)

Αποτελέσματα Χωροθέτησης Σημαντικότητας

Όπως περιγράψαμε στην παράγραφο 4.3, ακολουθούμε όλα τα βήματα μέχρι να ολοκληρώσουμε και την Signoff ανάλυση της σχεδίασης. Αφού λάβουμε τα αποτελέσματα της IR-drop ανάλυσης τροφοδοτούμε το εργαλείο με τα αποτελέσματα αυτής και με την ήδη τοποθετημένη σχεδίαση. Οφείλουμε να αναφέρουμε ότι η σχεδίαση έχει περάσει από όλα τα στάδια της βελτιστοποίησης τόσο από άποψη χρονισμού όσο και κατανάλωσης ισχύος.

Στην Εικόνα 5.4α' παρατηρούμε πώς διαμορφώνεται η τάση στη περιοχή της σχεδίασης όπου με κόκκινο είναι οι περιοχές με υψηλή τάση δηλαδή με χαμηλό IR-drop και με σκούρο μπλε οι περιοχές με χαμηλή τάση άρα με υψηλό IR-drop. Θα δώσουμε έμφαση στη βελτιστοποίηση των στοιχείων που συμβάλλουν σε μεγαλύτερο βαθμό στο καθορισμό της ποιότητας του συστήματος, αυτές είναι οι Z0, Z1, Z2, Z3 και Z4 συνιστώσες. Μεγαλύτερη έμφαση βέβαια δίνουμε στον υπολογισμό της DC συνιστώσας εξόδου δηλαδή της εξόδου Z0 του DCT μετασχηματισμού. Στην Εικόνα 5.4β' παρουσιάζονται τα τοποθετημένα κελιά της σχεδίασης όπου με λευκό περίγραμμα σημειώνονται τα στοιχεία που συμβάλλουν στο υπολογισμό της εξόδου Z0. Όπως παρατηρούμε από αυτές τις δύο εικόνες τα στοιχεία του υπολογισμού της εξόδου Z0 βρίσκονται όλα σε περιοχές με υψηλό IR-drop.

Αφού περάσουμε τη σχεδίαση από το εργαλείο δημιουργούνται νέα scripts που καθορίζουν το νέο floorplanning της σχεδίασης όπου δίνεται προτεραιότητα στην τοποθέτηση των σημαντικών υπολογισμών της σχεδίασης σε περιοχές με υψηλό IR-drop. Επαναλαμβάνουμε την σχεδίαση λαμβάνοντας υπόψη το floorplan που προτείνεται από το εργαλείο. Στην Εικόνα 5.5α' παρουσιάζεται η νέα χωροθέτηση με το Z0 να βρίσκεται κάτω αριστερά, από πάνω του να είναι τα Z3, Z4, δεξιά του Z0 τα Z1, Z2 και πάνω στις περιοχές που το IR-drop ήταν χαμηλό τα Z5, Z6, Z7. Στην Εικόνα 5.5β' φαίνονται οι νέες θέσεις των κελίων που καθορίζουν την έξοδο Z0. Συγκρίνοντάς το με την αρχική

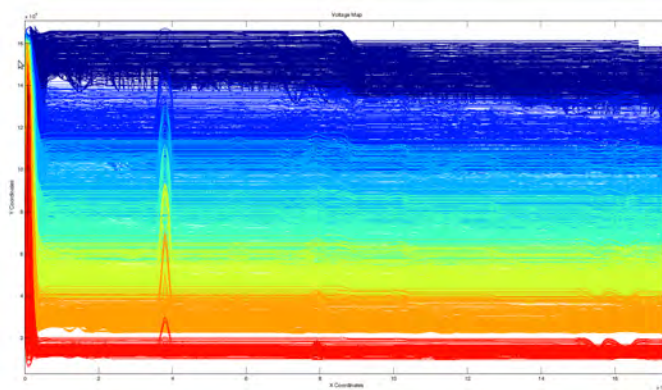
τοποθέτηση τα στοιχεία βρίσκονται στις περιοχές όπου το IR-drop ήταν χαμηλό.

Λογικό είναι από τη στιγμή που καταστρέψαμε μία βέλτιστη σχεδίαση από απόψη χρονισμού η οποία προέκυψε από το Encounter, η νέα χωροθέτηση να αυξήσει τους επιμέρους χρονισμούς των συνιστωσών. Παρόλα αυτά επιτύχαμε οι συνιστώσες Z0, Z2 και Z4 να είναι χρονικά πολύ κοντά με την αρχική σχεδίαση. Παρατηρούμε επίσης ότι η συμφόρηση των κελιών έχει διατηρηθεί στα ίδια επίπεδα.

Στην Εικόνα 5.6 παρουσιάζονται τα αποτελέσματα την νέας Χωροθέτησης. Η πρώτη μπάρα κάθε συνιστώσας δείχνει τον χρονισμό με βάση το πλαίσιο ασφαλείας της τάξης του 10%, η δεύτερη το ιδανικό χρονισμό της αρχικής σχεδίασης στη τάση τροφοδοσίας 1.1 V, η τρίτη το ιδανικό χρονισμό της νέας σχεδίασης στην τάση τροφοδοσίας 1.1 V και η τέταρτη το χρονισμό της αρχικής σχεδίασης λαμβάνοντας υπόψη τη χειρότερη τάση που μπορεί να παρουσιαστεί σε κάθε κελί σύμφωνα με τα αποτελέσματα της IR-drop ανάλυσης.

Παρατηρούμε ότι οι νέοι ιδανικοί χρονισμοί των συνιστωσών Z0, Z1, Z2, Z4 είναι πολύ κοντά στους ιδανικούς χρονισμούς της αρχικής σχεδίασης και πλέον βρίσκονται σε περιοχές με χαμηλότερο IR-drop απ'ότι ήταν στην προηγούμενη σχεδίαση. Όπως είναι λογικό οι συνιστώσες Z5, Z6, Z7 έχουν ζημειωθεί σε σχέση με την αρχική σχεδίαση μιας και δεν δώσαμε βαρύτητα σε αυτές.

Καταλήγοντας, καταφέραμε να μεταφέρουμε όλα τα στοιχεία που υπολογίζουν τις συνιστώσες Z0, Z1, Z2, Z3 και Z4 σε περιοχές με χαμηλότερο IR-drop με χωρίς ή πολύ μικρή αύξηση του ιδανικού χρονισμού τους. Αν η νέα IR-drop ανάλυση του κυκλώματος κυμαίνεται στα ίδια επίπεδα με αυτή της αρχικής σχεδίασης, με το ίδιο δίκτυο τροφοδοσίας φυσικά, τότε στις σημαντικές συνιστώσες θα πετύχουμε καλύτερο χρονισμό της τάξης του 5% κατά μέσο όρο σε σχέση με το χρονισμό της αρχικής σχεδίασης που λαμβάνει υπόψη του τη χειρότερη τάση που μπορεί να παρουσιαστεί σε κάθε κελί σύμφωνα με τα αποτελέσματα της IR-drop ανάλυσης.

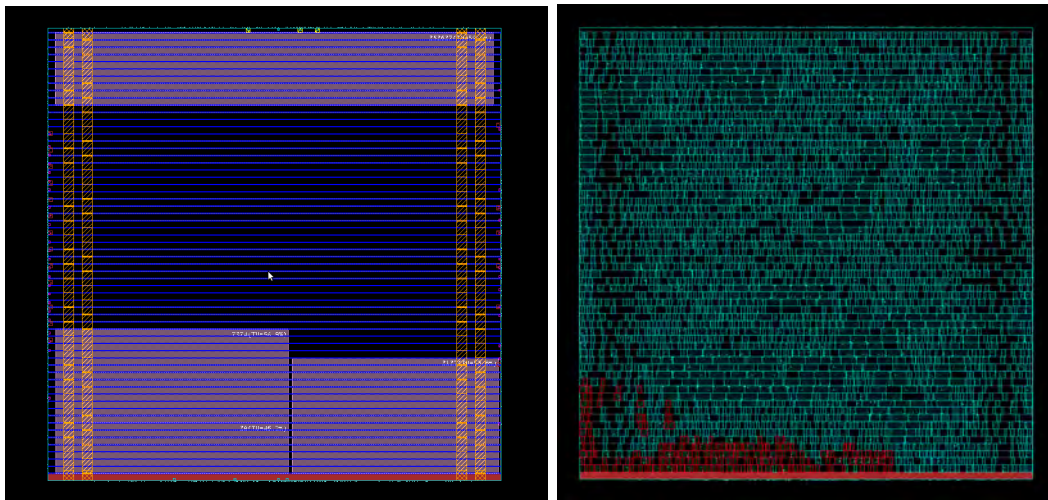


(α') Κατανομή Τάσης στο chip της σχεδίασης.



(β') Οι αρχικές θέσεις των στοιχείων που καθορίζουν την έξοδο Z0.

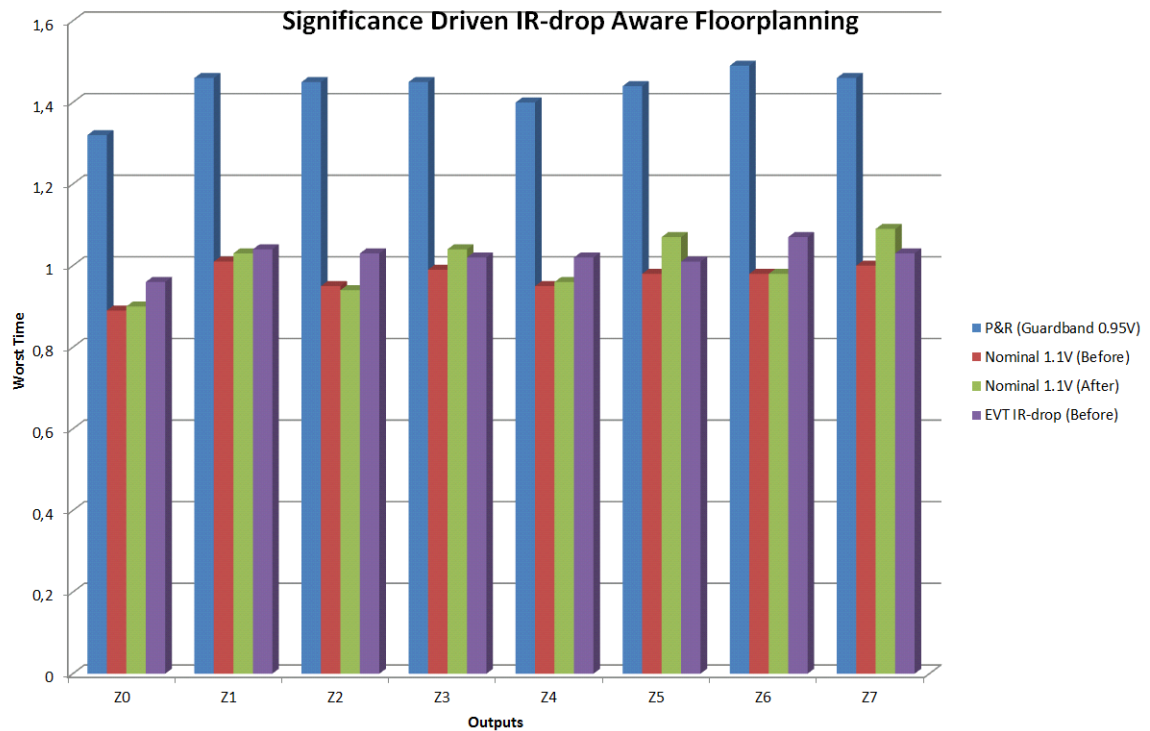
Σχήμα 5.4: Αρχική Σχεδίαση



(α) Η Χωροθέτηση της νέας Σχεδίασης.

(β) Νέες Θέσεις των στοιχείων που καθορίζουν την έξοδο Z0.

Σχήμα 5.5: Νέα Σχεδίαση



Σχήμα 5.6: Αποτελέσματα Αλγορίθμου Χωροθέτησης Σημαντικότητας

Κεφάλαιο 6

Επίλογος

6.1 Συμπεράσματα

Σε αυτή την εργασία ασχοληθήκαμε με τα προβλήματα μεταβλητότητας κυρίως σε επίπεδο τάσης στα σύγχρονα Ψηφιακά Κυκλώματα. Είδαμε πώς το φαινόμενο της πτώσης τάσης επηρεάζει την απόδοση μιας Ψηφιακής Σχεδίασης και υλοποιήσαμε ένα εργαλείο το οποίο έχει την δυνατότητα, γνωρίζοντας την χειρίστη πτώση τάσης που μπορεί να υπάρξει σε κάθε κελί, να επανατοποθετεί τα κελιά της σχεδίασης με στόχο την βελτίωση τόσο της αξιοπιστίας του κυκλώματος όσο και της απόδοσης του. Με τη χρήση αυτού ξεπερνάται η τήρηση υψηλών πάγιων εξόδων που υφίστανται με τη χρήση των έως τώρα τεχνικών σχεδίασης, τεχνικές που χρησιμοποιούν το γνωστό *guardbanding*.

Το εργαλείο υλοποιήθηκε έχοντας ως κύριο στόχο την άμεση ενσωμάτωση του με τις ήδη υπάρχουσες ροές σχεδίασης με σκοπό την άμεση χρήση του σε πραγματικές σχεδιάσεις, γεγονός που θεωρούμε ότι στέφθηκε με επιτυχία. Επιπρόσθετα, δημιουργήθηκαν και βάσεις για την άμεση δυναμική ενσωμάτωσή του με άλλα βιομηχανικά εργαλεία σε ένα κύκλο ανατροφοδότησης με αυτά.

Έγινε προσπάθεια για την βελτίωση αρχιτεκτονικών DSP στις οποίες δεν έχουν όλοι οι υπολογισμοί την ίδια σημαντικότητα, δηλαδή βελτιώθηκε η απόδοση αυτών των υπολογισμών με στόχο την εξασφάλιση μιας μέγιστης ελάχιστης ποιότητας εξόδου και η αξιοπιστία της. Βέβαια, δοκιμάστηκε και σε γενικότερες σχεδιάσεις με κύριο στόχο την βελτίωση των υπολογισμών των κρίσιμων μονοπατιών μεταφέροντας κελιά σε περιοχές με μικρότερη πτώση τάσης για την μείωση της καθυστέρησης αυτών.

Τέλος, τα αποτελέσματα που παρουσιάστηκαν στο Κεφάλαιο 5 είναι πλήρως ενθαρρυντικά και ανοίγουν νέους δρόμους στην διαδικασία σχεδίασης των ολοκληρωμένων κυκλωμάτων, ξεπερνώντας τις ήδη υπάρχουσες συντηρητικές τεχνικές.

6.2 Μελλοντικές Επεκτάσεις

Όπως είναι λογικό υπάρχουν πολλές πιθανές επεκτάσεις και βελτιστοποιήσεις της παρούσας εργασίας μιας και έλαβε μέρος στα πλαίσια μιας πτυχιακής εργασίας τετραμηνιαίας προβλεπόμενης διάρκειας. Με λίγα λόγια αποτελεί μια πολύ καλή πρώτη προσέγγιση στην επίλυση του συγκεκριμένου προβλήματος σε φυσικό επίπεδο. Αναφέρουμε μερικές από τις επεκτάσεις που μπορούμε και σκοπεύουμε να ενσωματώσουμε για την αποδοτικότερη λειτουργία και απόδοση του εργαλείου.

Αρχικά, θεωρούμε πολύ χρήσιμο το γεγονός να μπορούμε αυτόματα να καθορίζουμε την σημαντικότητα των υπολογισμών μια αρχιτεκτονικής DSP, δηλαδή, θα ήταν προνόμιο να μπορούσαμε να υλοποιήσουμε μια διαδικασία Δυναμικής Ανάλυσης της Ευαισθησίας μιας σχεδίασης. Δυστυχώς, βρίσκεται ακόμα σε ερευνητικό στάδιο αλλά ευελπιστούμε σύντομα να υπάρχουν αρκετές πληροφορίες ώστε κάτι τέτοιο να μπορέσει να υλοποιηθεί ακόμα και πειραματικά.

Επιπλέον, σημαντικό είναι να δοκιμαστούν και άλλα σενάρια επανατοποθέτησης κελιών λαμβάνοντας περισσότερες παραμέτρους υπόψη τους. Δυστυχώς δεν είναι εύκολη η δημιουργία ενός “Χρυσού Κανόνα” όσον αφορά αυτή τη διαδικασία ή έστω η ανάπτυξη μίας λύσης που να τον προσεγγίζει. Χρειάζεται πληθώρα πειραματισμών για να γίνει κάτι τέτοιο λαμβάνοντας υπόψη και το γεγονός ότι κάθε σχεδίαση έχει και τις ιδιαιτερότητες της. Βέβαια, το να ξεπεράσουμε προβλήματα νομιμοποίησης (legalization) είναι ένα από τα πρώτα βήματα υλοποίησης πολυπλοκότερων σεναρίων επανατοποθέτησης.

Σαν μία επιπλέον βελτίωση θα μπορούσαμε να θεωρήσουμε την χρησιμοποίηση περισσότερων παραγόντων που καθορίζουν την Αξιοπιστία μιας σχεδίασης, με σκοπό την βελτίωση της και φυσικά την δυνατότητα εγγύησης μιας καλύτερης ελάχιστης ποιότητας εξόδου του συστήματος.

Τέλος, η δυνατότητα ενσωμάτωσης ενός εργαλείου ανάλυσης χρονισμού λαμβάνοντας υπόψη την τάση των κελιών και ενός εργαλείου δρομολόγησης σε έναν ανατροφοδοτούμενο κύκλο με το εργαλείο μας θα μπορούσε να δώσει μια πιο δυναμική προσέγγιση της λύσης του προβλήματος, γεγονός που θεωρούμε ότι θα βελτιώσει την τελική παρεχόμενη λύση που.

Βιβλιογραφία

- [1] <http://asic-soc.blogspot.in/2008/03/process-variations-and-static-timing.html>.
- [2] <http://asic-soc.blogspot.in/2008/04/low-power-design-techniques.html>.
- [3] http://en.wikipedia.org/wiki/Computer-aided_design.
- [4] http://en.wikipedia.org/wiki/Electronic_design_automation.
- [5] http://en.wikipedia.org/wiki/Integrated_circuit.
- [6] [http://en.wikipedia.org/wiki/Physical_design_\(electronics\)](http://en.wikipedia.org/wiki/Physical_design_(electronics)).
- [7] http://users.auth.gr/linardis/Courses/MetaptyxVLSI/LowPower/low_power_1.pdf.
- [8] Kanak Agarwal and Sani R. Nassif. Characterizing process variation in nanometer cmos. In DAC, pages 396–399, 2007.
- [9] Nilanjan Banerjee, Georgios Karakonstantis, Jung Hwan Choi, Chaitali Chakrabarti, and Kaushik Roy. Design methodology for low power and parametric robustness through output-quality modulation: Application to color-interpolation filtering. *IEEE Trans. on CAD of Integrated Circuits and Systems*, 28(8):1127–1137, 2009.
- [10] Nilanjan Banerjee, Georgios Karakonstantis, and Kaushik Roy. Process variation tolerant low power dct architecture. In DATE, pages 630–635, 2007.
- [11] Shekhar Borkar, Tanay Karnik, Siva Narendra, Jim Tschanz, Ali Keshavarzi, and Vivek De. Parameter variations and impact on circuits and microarchitecture. In *Proceedings of the 40th annual Design Automation Conference, DAC '03*, pages 338–342, New York, NY, USA, 2003. ACM.
- [12] Cristian Constantinescu. Trends and challenges in vlsi circuit reliability. *IEEE Micro*, 23(4):14–19, 2003.
- [13] Antonios Dadaliaris. Reliability Driven Placement Algorithms. PhD thesis, Computer Science Dept., University Of Thessaly, June 2012.
- [14] Nestoras E. Evmorfopoulos, Dimitris P. Karampatzakis, and Georgios I. Stamoulis. Precise identification of the worst-case voltage drop conditions in power grid verification. In ICCAD, pages 112–118, 2006.
- [15] Panagiotis Giannakou. Timing Analysis for technologies under 45nm. Master's thesis, Computer Science Dept., University Of Thessaly, Greece, Volos, Nov 2012.

- [16] Georgios Karakonstantis, Nilanjan Banerjee, and Kaushik Roy. Process-variation resilient and voltage-scalable dct architecture for robust low-power computing. *IEEE Trans. VLSI Syst.*, 18(10):1461–1470, 2010.
- [17] Georgios Karakonstantis, Debabrata Mohapatra, and Kaushik Roy. System level dsp synthesis using voltage overscaling, unequal error protection & adaptive quality tuning. In *SiPS*, pages 133–138, 2009.
- [18] Debabrata Mohapatra, Georgios Karakonstantis, and Kaushik Roy. Significance driven computation: a voltage-scalable, variation-aware, quality-tuning motion estimator. In *ISLPED*, pages 195–200, 2009.
- [19] Mehrdad Nourani and Arun Radhakrishnan. Testing on-die process variation in nanometer vlsi. *IEEE Design & Test of Computers*, 23(6):438–451, 2006.
- [20] N.H.E. Weste and D.M. Harris. *CMOS VLSI Design: A Circuits and Systems Perspective*. Addison Wesley, 2010.
- [21] Qing K. Zhu. *IR Voltage Drop*, pages 87–104. John Wiley & Sons, Inc., 2005.