



ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ, ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Πολυπαραμετρικός αναλυτής χρονισμού με χαρακτηρισμό
Standard Cells

Παλιαρούτης Γεώργιος-Ιωάννης
Τσουμάνης Πελοπίδας

Επιβλέποντες καθηγητές:

Σταμούλης Γεώργιος , Καθηγητής
Ευμορφόπουλος Νέστορας , Λέκτορας
Μούντανος Ιωάννης , Αναπληρωτής Καθηγητής

ΒΟΛΟΣ, Σεπτέμβριος 2011

Ευχαριστίες

Για την πραγματοποίηση της συγκεκριμένης διπλωματικής εργασίας θα θέλαμε να ευχαριστήσουμε όλους όσους συνέβαλαν στο να την βγάλουμε τελικά εις πέρας.

Πρώτα από όλα να ευχαριστήσουμε τον κ. Γ.Σταμούλη ο οποίος μας προέτρεψε να ασχοληθούμε με το συγκεκριμένο θέμα, μας καθοδήγησε καθ' όλη τη διάρκεια της ενασχόλησής μας και μας βοήθησε σε οποιοδήποτε δυσκολία προέκυψε.

Επίσης, θα θέλαμε να ευχαριστήσουμε τον κ.Ν.Ευμορφόπουλο που συνέβαλε και εκείνος υλοποίηση της διπλωματικής καθώς και τον υποψήφιο διδάκτορα Κ.Νταλούκα για τις πολύτιμες συμβουλές του σε οτιδήποτε χρειαστήκαμε.

Τέλος, τις οικογένειές μας και τους φίλους μας για την αμέριστη συμπαράσταση όλο αυτό το διάστημα των σπουδών μας.

Περιεχόμενα

Εισαγωγή.....	5
1^ο ΚΕΦΑΛΑΙΟ	
1.1 Ολοκληρωμένα κύκλωματα.....	6
1.2 Σχεδιασμός ολοκληρωμένων κυκλωμάτων.....	7
1.3 Ιεραρχία σχεδίασης.....	9
2^ο ΚΕΦΑΛΑΙΟ	
2.1 Περιγραφή σχεδίασης με standard cells design.....	10
2.2 Σύνθεση ενός standard cell.....	14
2.3 Σκοπός ύπαρξης βιβλιοθηκών με standard cells.....	15
2.4 Βιβλιοθήκη με standard cells.....	16
2.5 Δημιουργία μιας βιβλιοθήκης standard cells.....	17
2.6 Βελτιστοποίηση των standard cells libraries.....	18
2.7 Σημαντικά σημεία του standard cell based design.....	18
3^ο ΚΕΦΑΛΑΙΟ	
3.1 Χαρακτηρισμός.....	19
3.2 Χαρακτηρισμός κυκλωμάτων.....	19
3.3 Χαρακτηρισμός των standard cells και standard cells libraries.....	21
3.3.1 Περιγραφή των standard cells.....	21
3.3.2 Λόγος πραγματοποίησης χαρακτηρισμού.....	22
3.3.3 Ροή του χαρακτηρισμού.....	22
3.3.4 Παράμετροι χαρακτηρισμού.....	24
3.4 Χαρακτηρισμός των standard cells libraries.....	24
3.5 Συνθήκες χαρακτηρισμού.....	25
3.6 Συμπεράσματα πραγματοποίησης χαρακτηρισμού.....	28
4^ο ΚΕΦΑΛΑΙΟ	
4.1 Logical effort.....	30
4.2 Καθυστέρηση σε λογική πύλη.....	30
4.3 Δίκτυα πολλαπλών σταδίων λογικής.....	36
4.4 Επιλογή του βέλτιστου αριθμού σταδίων.....	41
4.5 Hspice.....	42
4.6 Nandgate open cell library.....	47
4.7 Προσομοιώσεις για χαρακτηρισμό των πυλών.....	48
4.8 Συμπεράσματα.....	160

ΒΙΒΛΙΟΓΡΑΦΙΑ

ΕΙΣΑΓΩΓΗ

Σε αυτή την ενότητα περιγράφουμε το τι περιέχει το κάθε κεφάλαιο της πτυχιακής μας εργασίας.

Στο πρώτο κεφάλαιο τονίζουμε το τι είναι ολοκληρωμένο κύκλωμα. Επιπλέον αναφέρουμε τις τεχνικές-μεθόδους με βάση τις οποίες μπορούμε να δημιουργήσουμε ένα ολοκληρωμένο κύκλωμα.

Στο δεύτερο κεφάλαιο περιγράφουμε την μέθοδο σχεδίασης ολοκληρωμένων κυκλωμάτων Standard cells design. Επιπλέον, περιγράφουμε την σύνθεση ενός Standard cell. Τέλος αναφέρουμε τον σκοπό ύπαρξης βιβλιοθηκών με standard cells και τις περιγράφουμε για να καταλάβουμε με αυτό τον τρόπο τον ρόλο που διαδραματίζουν στην σχεδίαση ολοκληρωμένων κυκλωμάτων.

Στο τρίτο κεφάλαιο αναφερόμαστε στον χαρακτηρισμό των κυκλωμάτων αρχικά και στη συνέχεια στον χαρακτηρισμό των standard cells και των standard cells libraries. Αυτό το κεφάλαιο μας βοηθάει να καταλάβουμε τον λόγο για τον οποίο πραγματοποιούμε τον χαρακτηρισμό και τι ρόλο διαδραματίζει στην σχεδίαση των ολοκληρωμένων κυκλωμάτων. Επιπλέον σημαντικά σημεία αυτού του κεφαλαίου που μας βοηθούν στην κατανόηση του χαρακτηρισμού είναι οι συνθήκες και παράμετροι του χαρακτηρισμού.

Στο τέταρτο κεφάλαιο περιγράφουμε την τεχνική του Logical Effort. Αυτή αποτελεί ένα σημαντικό κομμάτι αυτής της εργασίας καθώς αποτελεί την βασική τεχνική που μας βοηθά στην πραγματοποίηση του χαρακτηρισμού των πυλών. Οι πύλες που χρησιμοποιούμε παράγονται μέσω των βιβλιοθηκών της εταιρίας Nandgate ενώ το εργαλείο προκειμένου να πραγματοποιήσουμε την προσομοίωση των πυλών μας είναι το Hspice. Στο τέλος αυτού του κεφαλαίου βρίσκονται οι κώδικες των πυλών σε Hspice προκειμένου να πραγματοποιήσουμε τις προσομοιώσεις και να υπολογίσουμε το Logical Effort(g) και την παρασιτική καθυστέρηση(p).

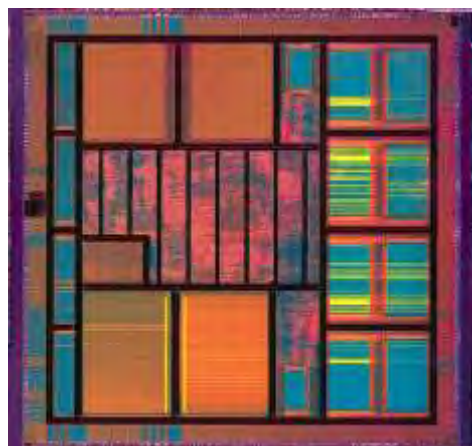
1^ο ΚΕΦΑΛΑΙΟ



1.1 ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

Τα ψηφιακά κυκλώματα κατασκευάζονται κυρίως με χρήση ολοκληρωμένων κυκλωμάτων (ICs – INTEGRATED CIRCUITS).

Ολοκληρωμένο κύκλωμα ονομάζεται ένα κύκλωμα συνδεδεμένων λογικών πυλών, δημιουργημένο πάνω σε ένα φύλλο. Η πλειοψηφία των ολοκληρωμένων κυκλωμάτων δημιουργούνται πάνω σε φύλλα ημιαγωγών, κατά κύριο λόγο πυριτίου. Το πυρίτιο ως ημιαγωγός αποτελεί το βασικό υλικό για την υλοποίηση μίας μεγάλης κατηγορίας ολοκληρωμένων κυκλωμάτων. Οι λογικές πύλες με την παρούσα τεχνολογία υλοποιούνται με παθητικά στοιχεία, οπότε τα ολοκληρωμένα κυκλώματα είναι παθητικά. Ολοκληρωμένα κυκλώματα χρησιμοποιούνται σχεδόν σε κάθε στοιχείο ηλεκτρονικού εξοπλισμού που χρησιμοποιείται σήμερα και θεωρούνται επανάσταση στον τομέα της ηλεκτρονικής. Ένα ολοκληρωμένο κύκλωμα παρουσιάζεται στην εικόνα 1.1



Εικόνα 1.1

Για την καλύτερη κατανόηση του ολοκληρωμένου κυκλώματος θα μπορούσαμε να πούμε ότι κάθε IC είναι ένας μικρός κρύσταλλος ημιαγωγού πυριτίου (Si), καλούμενος CHIP. Το CHIP περιλαμβάνει ηλεκτρικά στοιχεία όπως τρανζίστορες, διόδους αντιστάσεις και πυκνωτές. Τα στοιχεία αυτά είναι συνδεδεμένα μέσα στο CHIP ώστε να σχηματίζουν ένα ηλεκτρονικό κύκλωμα. Το CHIP τοποθετείται πάνω σε μεταλλικό ή πλαστικό στέλεχος και οι συνδέσεις συγκολλούνται σε εξωτερικά “ποδαράκια”, έτσι σχηματίζεται το IC. Δύο βασικές συσκευασίες ολοκληρωμένων κυκλωμάτων είναι η FLAT PACKAGE και η DUAL-

IN-LINE PACKAGE οι οποίες χρησιμοποιούνται ευρέως σε διάφορες εφαρμογές και παρουσιάζονται στις εικόνες 1.2,1.3.



Εικόνα 1.2



Εικόνα 1.3

1.2 ΣΧΕΔΙΑΣΜΟΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Στις μέρες μας τα ολοκληρωμένα κυκλώματα κατασκευάζονται και χρησιμοποιούνται σε αρκετές εφαρμογές. Τα ολοκληρωμένα κυκλώματα κατασκευάζονται σε λεπτούς δίσκους πυριτίου (wafers), στους οποίους μπορούν να χωρέσουν μερικές εκατοντάδες από dies(μικρό block του ημιαγωγικού υλικού-ψηφίδα). Η κατασκευή γίνεται σταδιακά και σε πολλαπλά (10 –15) επίπεδα (layers) πάνω στο wafer. Κάθε επίπεδο αντιστοιχεί σε κάποιο στάδιο κατασκευής transistor ή διασυνδέσεων. Τέσσερις χαρακτηριστικές μέθοδοι για τον σχεδιασμό ολοκληρωμένων κυκλωμάτων είναι η Full custom design (πλήρως εξειδικευμένος σχεδιασμός), Standard cells design(σχεδιασμός τυποποιημένων κυττάρων), Gate array design(σχεδιασμός με διάταξη πυλών), Programmable design(σχεδιασμός με προγραμματιζόμενη λογική) . Η συγκεκριμένη διπλωματική μελέτη θα επικεντρωθεί στην Standard cells design αλλά ως αναφέρουμε μερικές πληροφορίες και για τις άλλες τρεις μεθόδους.

Full custom design: Σύμφωνα με αυτή την μέθοδο ο σχεδιασμός του ολοκληρωμένου κυκλώματος , πραγματοποιείται μέχρι την πιο μικρή λεπτομέρεια του. Ο σχεδιαστής θα πρέπει να σχεδιάσει εξ αρχής, ακόμη και τα βασικά δομικά στοιχεία, δηλαδή τις πύλες και τα στοιχεία μνήμης του σχεδιασμού του. Παρότι αυτός ο τρόπος παρέχει τη μέγιστη ευελιξία στον σχεδιαστή, είναι προφανές ότι είναι και ο πλέον επίπονος χρονικά. Επιπλέον η πιθανότητα για σχεδιαστικά λάθη είναι πολύ μεγάλη και το κόστος κατασκευής πολύ υψηλό. Η τεχνοτροπία αυτή σήμερα χρησιμοποιείται για μικρούς σχετικά σχεδιασμούς με πολύ αυξημένες απαιτήσεις σε ταχύτητα, εμβαδόν και κατανάλωση ισχύος. Έτσι η χρήση αυτής της μεθόδου δικαιολογείτε μόνο για γρήγορα ολοκληρωμένα κυκλώματα, με υψηλές πωλήσεις.

Gate array design : Σύμφωνα με αυτή την μέθοδο ο σχεδιασμός του ολοκληρωμένου κυκλώματος γίνεται με χρήση κανονικών, επαναλαμβανόμενων διατάξεων (regular patterns), οι οποίες μπορούν να χρησιμοποιηθούν σε διαφορετικούς σχεδιασμούς –μόνο οι διασυνδέσεις μεταξύ των πυλών προσαρμόζονται για τον κάθε σχεδιασμό. Έχουμε transistor προσχεδιασμένα και προκατασκευασμένα στο wafer, με την μορφή σειρών ενός cell που επαναλαμβάνεται. Ο σχεδιαστής καλείται να διασυνδέσει τα transistor προκειμένου να δημιουργήσει το κύκλωμα. Τα χαμηλότερα επίπεδα (layers) είναι προκατασκευασμένα. Επίσης το κόστος σε σχέση με τις άλλες μεθόδους είναι το χαμηλότερο.

Programmable design : Η μέθοδος αυτή βασίζεται σε ολοκληρωμένα κυκλώματα, τα οποία έχουν κατασκευαστεί, πακεταριστεί και φτάνουν στον σχεδιαστή έτοιμα προς χρήση. Ο σχεδιαστής τα προγραμματίζει για να υλοποιήσουν κάποιον ASIC σχεδιασμό. Ο προγραμματισμός είναι η διασύνδεση λογικών στοιχείων που βρίσκονται εσωτερικά στην προγραμματιζόμενη συσκευή και πραγματοποιείται στο εργαστήριο και όχι στην βιομηχανία. Τέλος τα ολοκληρωμένα κυκλώματα που προκύπτουν με βάση την συγκεκριμένη τεχνολογία δίνουν μεγάλη σχεδιαστική ευελιξία και η σχεδίαση τους είναι οικονομική.

Τελικό στάδιο της σχεδίασης ολοκληρωμένων κυκλωμάτων είναι η επαλήθευση η οποία αποδεικνύει για το αν το τελικό κύκλωμα συμπεριφέρεται ακριβώς με τον ίδιο τρόπο που ορίζεται στις προδιαγραφές και τη διατύπωση του κυκλώματος. Η διατύπωση του κυκλώματος γίνεται μέσω πινάκων αληθείας, δυαδικών συναρτήσεων και Κώδικα HDL. Βασικές μέθοδοι επαλήθευσης είναι η θεωρητική επαλήθευση (Formal Verification) και η επαλήθευση με προσομοίωση (Simulation-based Verification). Στην συγκεκριμένη διπλωματική διατριβή χρησιμοποιούμε το εργαλείο Hspice προκειμένου να πραγματοποιήσουμε την προσομοίωση διάφορων πυλών.

Formal Verification:

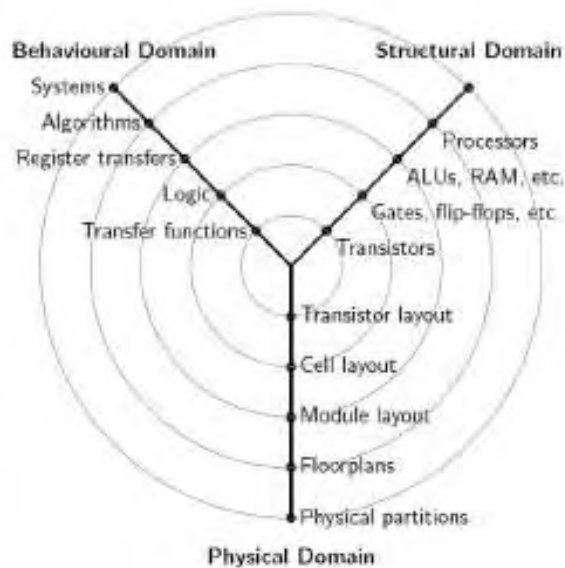
Σύμφωνα με αυτήν την μέθοδο επαλήθευσης παράγουμε τον πίνακα αληθείας ή τις δυαδικές συναρτήσεις του τελικού κυκλώματος και στην συνέχεια συγκρίνουμε με τον πίνακα αληθείας ή τις δυαδικές συναρτήσεις της διατύπωσης του κυκλώματος.

Simulation-based Verification:

Προσομοιώνουμε το τελικό κύκλωμα (ή το netlist του, το οποίο συχνά δίνεται σε μορφή HDL) και τον πίνακα αληθείας, χρησιμοποιώντας κατάλληλες τιμές εισόδων οι οποίες επιβεβαιώνουν πλήρως την ορθότητα του κυκλώματος. Οι κατάλληλες τιμές για ένα συνδυαστικό κύκλωμα είναι όλοι οι πιθανοί συνδυασμοί.

1.3 ΙΕΡΑΡΧΙΑ ΣΧΕΔΙΑΣΗΣ

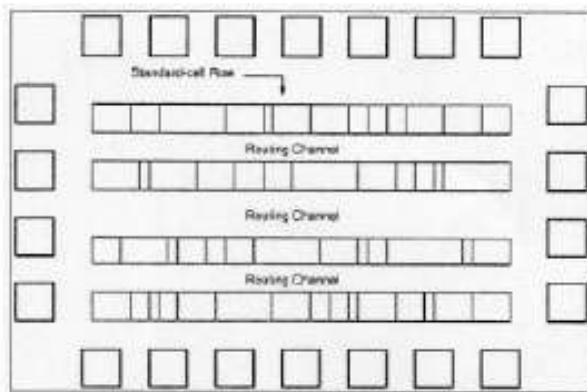
Η σχεδίαση ενός ολοκληρωμένου κυκλώματος μπορεί να γίνει με όρους τριών πεδίων ,(1) πεδίο συμπεριφοράς, (2) πεδίο δομής και (3) φυσικό πεδίο. Σε κάθε ένα από αυτά τα πεδία υπάρχει ένας αριθμός επιλογών σχεδίασης που μπορούν να λύσουν ένα συγκεκριμένο πρόβλημα . Για παράδειγμα , στο πεδίο συμπεριφοράς , έχουμε την ελευθερία επιλογής ενός σειριακού η παράλληλου αλγορίθμου . Στο πεδίο δομής , η απόφαση για το ποιο είδος οικογένειας πυλών , στρατηγικής ρολογιού ή είδους κυκλώματος θα χρησιμοποιηθεί είναι αρχικά ελεύθερη. Τέλος στο φυσικό πεδίο, ο τρόπος με τον οποίο το κύκλωμα θα υλοποιηθεί σε όρους ολοκληρωμένων , πλακέτας και συστήματος. Επίσης παρέχει στο σχεδιαστή πολλές επιλογές προκειμένου να υλοποιήσει την σχεδίαση του ολοκληρωμένου συστήματος. Τα τρία αυτά πεδία μπορούν ιεραρχικά να χωριστούν σε επίπεδα σχεδιαστικής αφαίρεσης.



Εικόνα 1.4

Έτσι με βάση το μοντέλο το οποίο παρουσιάζεται και στην εικόνα 1.4 η σχεδίαση γίνεται στα εξής βήματα :

- Το υλικό (hardware) περιγράφεται με τη βοήθεια μιας γλώσσας σε υψηλό επίπεδο(RTL register transfer level).
- Η περιγραφή αυτή μεταφράζεται σε Boolean λογική που υλοποιείται από συνδυαστικά και ακολουθιακά στοιχεία.
- Η πιο πάνω λογική αντιστοιχίζεται σε τυποποιημένα κύτταρα (std cells).
- Τα cells τοποθετούνται σε γραμμές όπως παρατηρούμε και στην εικόνα 1.5.
- Τέλος συνδέονται μεταξύ τους μέσω των καναλιών καλωδίωσης.



Εικόνα 1.5 Τοποθέτηση cells

Η ύπαρξη των standard cells σε τεχνολογίες νεότερες μας αρκεί για να μελετήσουμε διάφορες αρχιτεκτονικές σχετικά με την κατανάλωση την ταχύτητα και τον χώρο που καταλαμβάνουν. Η ελάχιστη δομική μονάδα είναι το cells. Το cell είναι δομική μονάδα συγκεκριμένων διαστάσεων , που περιέχει κάποιο συνδυαστικό ή ακολουθιακό κύκλωμα . Υλοποιεί δηλαδή κάποια ή κάποιες λογικές πράξεις.

2^ο ΚΕΦΑΛΑΙΟ

2.1 ΠΕΡΙΓΡΑΦΗ ΣΧΕΔΙΑΣΗΣ ΜΕ STANDARD CELLS

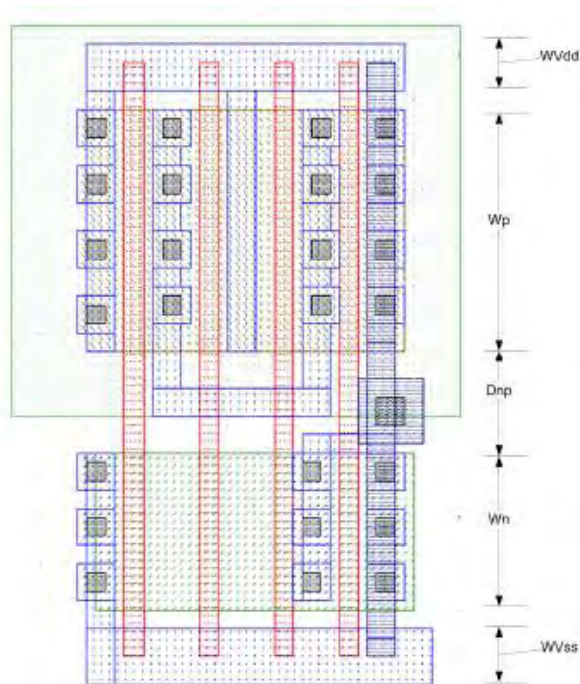
Στη σχεδίαση ημιαγωγών, η μέθοδος standard cell αποτελεί μια μέθοδο σχεδιασμού ASIC κυκλωμάτων κυρίως με ψηφιακά-λογικά χαρακτηριστικά. Αποτελεί ένα παράδειγμα αφαιρετικού σχεδιασμού (design abstraction) , όπου ένα χαμηλού επιπέδου layout ενσωματώνεται σε μια αφαιρετική λογική αναπαράσταση , όπως η πύλη NAND. Η βασιζόμενη στα cells μέθοδος – cell based methodology παρέχει τη δυνατότητα σε ένα σχεδιαστή να εστιάζει σε υψηλού επιπέδου πτυχή της

ψηφιακής σχεδίασης (λογική συνάρτηση – logical function) ενώ παράλληλα κάποιος άλλος μπορεί να εστιάζει στην υλοποίηση (physical). Παράλληλα με την πρόοδο στην κατασκευή ημιαγωγών, η βασισμένη στα standard cells μέθοδος ήταν υπεύθυνη για την κλιμάκωση των κυκλωμάτων ASIC από συγκριτικά απλά ολοκληρωμένα κυκλώματα, τα οποία εκτελούν μια συγκεκριμένη λειτουργία (αποτελούμενα από αρκετές χιλιάδες πύλες), σε σύνθετες συσκευές αποτελούμενες από πολλά εκατομμύρια πύλες (SoC-System on chip).

Σύμφωνα με αυτή την μέθοδο σχεδίασης ο σχεδιαστής, διασυνδέει προσχεδιασμένα κύτταρα (standard cells). Τα κομμάτια (Standard-cell implementation) έχουν σχεδιαστεί από πριν ή είναι κομμάτια προηγούμενων σχεδιασμών. Τα standard cells έχουν σχεδιαστεί με κανονικό τρόπο έτσι ώστε διευκολύνουν την σχεδίαση ψηφιακών κυκλωμάτων. Επιπλέον έχουν όλα το ίδιο ύψος και μπορούν να τοποθετηθούν πλάτη με πλάτη σχηματίζοντας σειρές. Οι σειρές αυτές μπορούν να έχουν ή όχι κενά μεταξύ τους (όπως παρατηρούμε και στις εικόνες 1.8, 1.9). Κάποια επιπλέον χαρακτηριστικά της σχεδίασης με standard cells τα οποία μπορούν θεωρηθούν και ως πλεονεκτήματα είναι ότι ο σχεδιαστής δεν σχεδιάζει ολόκληρο το κύκλωμα από την αρχή άρα ελαττώνεται ο χρόνος σχεδίασης. Επιπλέον η συγκεκριμένη μέθοδος σχεδίασης έχει μειωμένο ρίσκο αφού τα standard cells εγγυούνται την λειτουργία τους.

Η οργάνωση των cells γίνεται σε βιβλιοθήκες, οι οποίες περιέχουν σύνολα τέτοιων μονάδων. Ο αριθμός των κυττάρων που θα περιέχει η βιβλιοθήκη δεν είναι κάτι που ορίζεται ρητά, αλλά εξαρτάται από τη λειτουργικότητα, καθώς και αν προσανατολιζόμαστε για designs που θα καταλαμβάνουν μικρότερη επιφάνεια ή θα είναι ταχύτερα. Θεωρητικά μπορεί για παράδειγμα να γίνει σύνθεση οποιουδήποτε ψηφιακού συστήματος με τη χρήση μιας πύλης NAND. Όσο πιο πολλά είναι τα διαθέσιμα κελιά, τόσο λιγότερος είναι ο αριθμός των χρησιμοποιημένων για την υλοποίηση ενός design, ειδικά όταν οι περιορισμοί χρόνιου είναι αυστηροί. Κατά συνέπεια θα χρειαστεί λιγότερος χώρος για την κατασκευή του chip.

Τώρα όταν σχεδιάζουμε τυποποιημένα κύτταρα ή πολλά κύτταρα μαζί, συχνά απαιτείται κανονικότητα στην γεωμετρία ενώ ταυτόχρονα θα πρέπει να διατηρούνται μερικά κοινά ηλεκτρικά χαρακτηριστικά μεταξύ των κυττάρων της βιβλιοθήκης. Έτσι για λόγους ευκολίας ένας κοινός φυσικός περιορισμός είναι ότι το φυσικό ύψος του κυττάρου πρέπει να είναι καθορισμένο ενώ το πλάτος του μεταβάλλεται σύμφωνα με τη λειτουργία του η οποία καθορίζει και την πολυπλοκότητα του κυκλώματος, άρα και τις διαστάσεις του. Δηλαδή τον αριθμό των τρανζίστορ που θα δομεί εσωτερικά κάθε cell. Λόγω της τεχνολογίας CMOS που χρησιμοποιείται κάθε τυποποιημένο κύτταρο (standard cell), αποτελείται από μια σειρά n-τρανζίστορ με μέγιστο ύψος W_n και μια βσειρά από p-τρανζίστορ με μέγιστο ύψος W_p . Όπως παρατηρούμε και στην εικόνα 1.6 έχουμε ένα τυποποιημένο κύτταρο (standard cell). Σύμφωνα με την εικόνα η απόσταση μεταξύ των σειρών τρανζίστορ είναι D_{np} και καθορίζεται από τους κανόνες σχεδίασης για τις αποστάσεις μεταξύ n και p περιοχών.



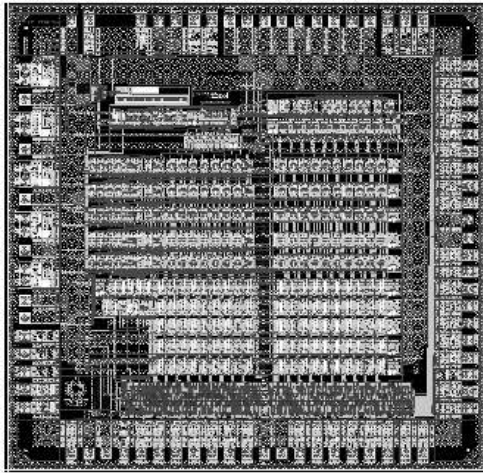
Εικόνα 1.6

Οι διάδρομοι ισχύος (VDD) και γείωσης (VSS) διασχίζουν το κύτταρο στο πάνω και κάτω μέρος του. Η εσωτερική επιφάνεια του κυττάρου χρησιμοποιείται για διασυνδέσεις τρανζίστορ από συγκεκριμένες πύλες. Επιπλέον για την επιλογή των κατάλληλων W_p και W_n θα πρέπει να ληφθούν υπόψη παράμετροι όπως η κατανάλωση ισχύος, η καθυστέρηση διάδοσης και η ανοσία θορύβου. Ο Kang δίνει μια καλή σύνοψη της μεθόδου για την επιλογή των κατάλληλων W_p και W_n .

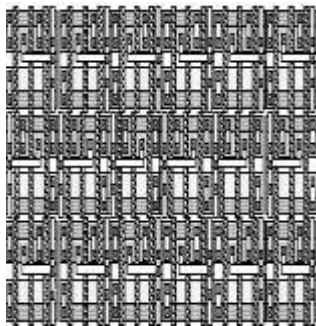
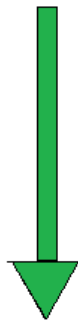
Τα βασικά βήματα είναι τα εξής :

1. Προσδιορισμός ενός δείγματος από πύλες (δηλαδή NOT,AND,NAND,NOR) και υπολογισμός της μέσης καθυστέρησης χρόνου.
2. Υπολογισμός της αντικειμενικής συνάρτησης (objective function) η οποία συσχετίζει τον πιο δυσμενή χρόνο διάδοσης με τον λόγο W_p/W_n .
3. Υπολογισμός της αντικειμενικής συνάρτησης η οποία συσχετίζει την ανοσία θορύβου με το λόγο W_p/W_n .
4. Επιλογή του κατάλληλου λόγου ο οποίος ικανοποιεί την απαιτούμενη αντικειμενική συνάρτηση.

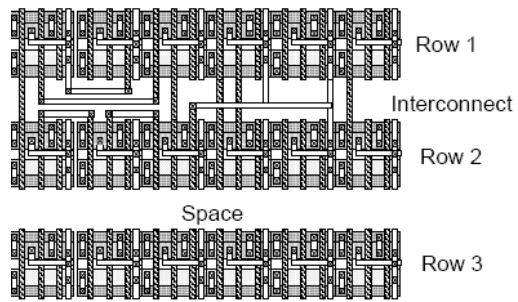
Στις παρακάτω εικόνες 1.7,1.8,1.9 παρατηρούμε ένα ολοκληρωμένο κύκλωμα (εικόνα 1.7) και πως αυτό μπορεί να υλοποιηθεί με την μέθοδο standard cells design. Δημιουργώντας κύκλωμα χωρίς κενά για πιο συμπαγής σχεδίαση (εικόνα 1.8) και κύκλωμα με κενά για διασυνδέσεις(εικόνα 1.9).



Εικόνα 1.7



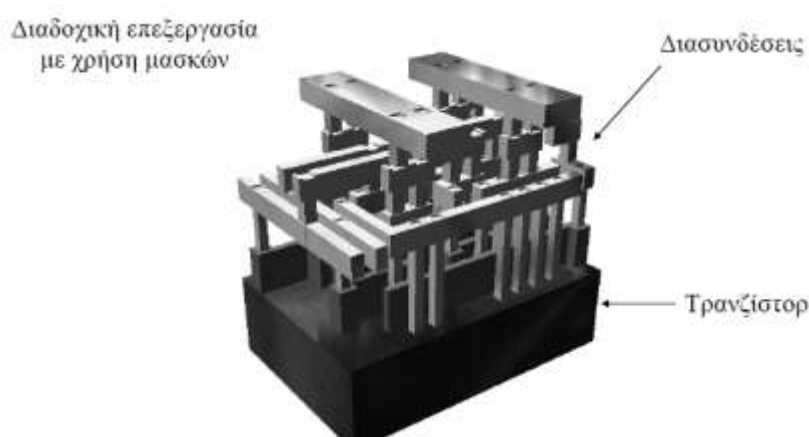
Εικόνα 1.8



Εικόνα 1.9

2.2 ΣΥΝΘΕΣΗ ΕΝΟΣ STANDARD CELL

Ένα standard cell αποτελείται από ένα σύνολο transistor και διασυνδεδεμένων δομών το οποίο παρέχει μια boolean λογική συνάρτηση (όπως AND, OR, XOR) ή μια συνάρτηση αποθήκευσης (storage function) (όπως το flipflop). Τα πιο απλά cells είναι ακριβείς αναπαραστάσεις των στοιχειωδών boolean συναρτήσεων (όπως AND, OR) ενώ παράλληλα χρησιμοποιούνται και πιο πολύπλοκα cells όπως ένας πλήρης αθροιστής (2-bit full adder). Η λογική συνάρτηση κάθε cell ονομάζεται λογική αναπαράσταση (logical view), όπου η λειτουργική συμπεριφορά περιγράφεται από ένα πίνακα αληθείας (truth table) ή από μια εξίσωση (Boolean algebra), όσον αφορά συνδυαστική λογική, ή από ένα πίνακα μετάβασης καταστάσεων (state transition table), όσον αφορά ακολουθιακή λογική.



Εικόνα 1.10

Στην εικόνα 1.10 παρουσιάζεται μια τρισδιάστατη απεικόνιση ενός μικρού Standard cell με τρία επίπεδα μετάλλων. Όπως παρατηρούμε και στην εικόνα 1.10 το αρχικό σχέδιο ενός standard cell αναπτύσσεται σε επίπεδο transistor, αποτελεί τη μορφή netlist του transistor. Η μορφή netlist αποτελεί μια περιγραφή των transistors, που συμπεριλαμβάνονται στο σχέδιο, των συνδέσεων μεταξύ τους καθώς και των συνδέσεων τους με το εξωτερικό περιβάλλον. Οι σχεδιαστές χρησιμοποιούν προγράμματα CAD (Computer Aided Design), όπως το HSPICE, για να προσομοιώσουν την ηλεκτρονική συμπεριφορά της μορφής netlist του αρχικού σχεδίου, δηλώνοντας διαφορές παραμέτρους εισαγωγής, όπως η τάση, και υπολογίζοντας την απόκριση του κυκλώματος. (Για την προσομοίωση των κυκλωμάτων θα αναφερθούμε εκτενέστερα σε κεφάλαιο στο οποίο θα εξάγουμε πληροφορίες για το HSPICE).

Αφού και η λογική αναπαράσταση (logical view) και η μορφή netlist είναι απαραίτητες μόνο για προσομοίωση σε αφαιρετικό επίπεδο, πρέπει να σχεδιαστεί και η φυσική αναπαράσταση του standard cell. Η αναπαράσταση αυτή ονομάζεται layout view και αποτελεί το χαμηλότερο επίπεδο αφαιρετικού σχεδιασμού στη γενικότερη τακτική σχεδιασμού. Από κατασκευαστική άποψη, η μορφή layout αποτελεί τη πιο σημαντική αναπαράσταση του cell, αφού μοιάζει αρκετά με ένα ακριβές “αποτύπωμα -σχεδιάγραμμα” του standard cell. Είναι οργανωμένο σε επίπεδα μετάλλων, τα οποία

χρησιμοποιούνται για την κατάλληλη σύνδεση των transistors, ώστε αυτά να ικανοποιούν την αντίστοιχη λογική αναπαράσταση.

Για κάθε τυπική λογική συνάρτηση μπορεί να υπάρξουν πολλές διαφορετικές μορφές netlist. Οι υλοποιήσεις αυτές είναι λειτουργικά ισοδύναμες. Επιπλέον, για κάθε μορφή netlist, μπορεί να υπάρξουν πολλά διαφορετικά layouts, τα οποία συμβαδίζουν με τις παραμέτρους απόδοσης (performance parameters) της netlist. Πρόκληση και απώτερο στόχο για κάθε σχεδιαστή αποτελεί η ελαχιστοποίηση του κόστους κατασκευής του layout, λαμβάνοντας υπόψη τις διάφορες απαιτήσεις, σχετικές με την ταχύτητα και την απόδοση ισχύος του cell. Συνεπώς, η παράγωγή του layout σε ένα ολοκληρωμένο κύκλωμα αποτελεί μια αρκετά επίπονη διαδικασία, παρόλο που υπάρχουν αρκετά εργαλεία σχεδιασμού, προορισμένα και κατασκευασμένα για το σκοπό αυτό.

Τα επιμέρους στοιχεία ενός standard cell έχουν συνήθως όλα ένα σταθερό ύψος (height), το οποίο επιτρέπει στα cells να μπορούν να τοποθετηθούν το ένα δίπλα στο άλλο, ώστε να επιτυγχάνεται η μεταξύ τους διασύνδεση στα πλαίσια ενός περισσότερου πολύπλοκου κυκλώματος. Συνεπώς, η έκταση του standard cell στο chip συνίσταται από ένα μεγάλο αριθμό cells τοποθετημένα στη σειρά με τη τροφοδοσία και τη γείωση συνδεδεμένες στο πάνω και στο κάτω μέρος του συνολικού χώρου αντίστοιχα. Η τοποθέτηση και διασύνδεση ανάμεσα στα επιμέρους στοιχεία ενός standard cell γίνεται από ειδικά εργαλεία τοποθέτησης και δρομολόγησης (place and route tools) και εξαρτάται από τη λογική του κυκλώματος που θα υλοποιηθεί. Όπως έχει παρουσιαστεί και περιγραφεί και στην προηγούμενη παράγραφο στην εικόνα 1.6.

2.3 ΣΚΟΠΟΣ ΥΠΑΡΞΗΣ ΒΙΒΛΙΟΘΗΚΩΝ ΜΕ STANDARD CELLS

Για να σχεδιάσουμε συστήματα σε τεχνολογίες που δεν έχουν ακόμα αναπτυχθεί πλήρως χρειαζόμαστε βιβλιοθήκες που να προσομοιώνουν τις πραγματικές που θα εμφανιστούν στο μέλλον. Έτσι θα είναι δυνατή η έγκαιρη ανάπτυξη των απαραίτητων αρχιτεκτονικών και συστημάτων. Όταν μια νέα τεχνολογία είναι έτοιμη προς χρήση θα πρέπει και οι αντίστοιχες αρχιτεκτονικές συστημάτων να είναι έτοιμες προς κατασκευή. Ο μόνος τρόπος να παραλληλίσουμε την ανάπτυξη της τεχνολογίας κατασκευής με την ανάπτυξη των αρχιτεκτονικών εργαλείων είναι με την χρήση βιβλιοθηκών που να προβλέπουν την συμπεριφορά των τρανζίστορ και των cells σε τεχνολογίες που δεν έχουν αναπτυχθεί ακόμη πλήρως. Επομένως η ύπαρξη βιβλιοθηκών αποτελεί ένα αναπόσπαστο κομμάτι της δημιουργίας των ολοκληρωμένων κυκλωμάτων.

2.4 BIBΛΙΟΘΗΚΗ ΜΕ STANDARD CELLS

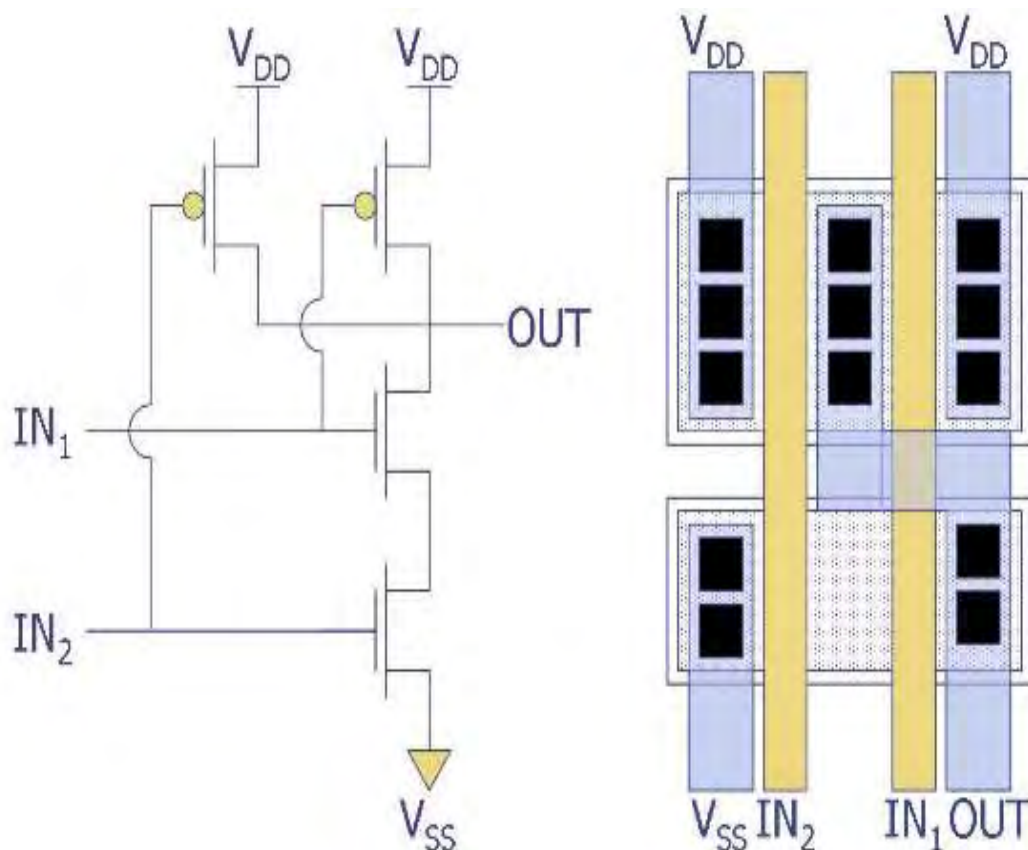
Μια βιβλιοθήκη από standard cells στην είναι μια συλλογή από πολλά διαφορετικά standard cells. Περιλαμβάνει απλές λογικές πύλες, περίπλοκες λογικές πύλες ακολουθιακά στοιχεία, στοιχεία εισόδου/εξόδου και στοιχεία datapath(χειριστές δεδομένων).Τυπικές βιβλιοθήκες περιέχουν αρκετές εκατοντάδες στοιχεία-cells Μπορούμε να αναφέρουμε συγκεκριμένα ότι υπάρχουν standard cells libraries 100 έως 1000 cells συμπεριλαμβάνοντας τις λογικές πύλες (NOT,NAND,AND,XOR,AOI,OAI), τα FLIP-FLOP κυκλώματα καθώς και στοιχεία εισόδου εξόδου. Το τυποποιημένο σχέδιο κυττάρων περιλαμβάνει τη σύνταξη της γλώσσας περιγραφής υλικού HDL στις τυποποιημένες βιβλιοθήκες. Έτσι με χρήση της HDL επιτυγχάνουμε την περιγραφή της συμπεριφοράς ή της δομής του συστήματος μας. Ο μεταγλωττιστής(compiler) χρησιμοποιεί τη λογική αντιπροσώπευση για να δημιουργήσει ένα netlist. Αυτό το netlist διαβάζεται από το κατάλληλο τσιπ. Η θέση και διαδρομή τα εργαλεία και η φυσική έκδοση των τυποποιημένων κυττάρων χρησιμοποιούνται για να μεταφράσουν το netlist σε μια φυσική πραγματικότητα.

Επιπλέον οι standard cells libraries χρησιμοποιούνται από όλα σχεδόν τα εργαλεία CAD(Computer-aided design) προκειμένου να επιτύχουμε τον σχεδιασμό των chips.Κύριως σκοπός των εργαλείων CAD είναι να εφαρμόσουν την RTL-to-GDS ροή καθώς αυτή η διαδικασία αποτελεί ένα σημαντικό βήμα κατά την ψηφιακή σχεδίαση.

Η βιβλιοθήκη συνήθως περιέχει πολλαπλές υλοποιήσεις της ίδιας λογικής συνάρτησης, οι οποίες διαφέρουν σε ικανότητα οδήγησης (drive strength), σε ταχύτητα και κατά συνέπεια στο χώρο που καταλαμβάνουν-εμβαδό. Η διαφορετική ικανότητα οδήγησης είναι ένα χαρακτηριστικό, το οποίο προσθέτει ευελιξία στη βιβλιοθήκη. Εκείνα τα cells, τα οποία έχουν μεγαλύτερη ικανότητα οδήγησης, εμφανίζουν μεγαλύτερη κατανάλωση ισχύος, αλλά χρησιμοποιούνται κυρίως για να βελτιώνουν τη ταχύτητα του κυκλώματος ή για να οδηγήσουν μεγαλύτερο φορτίο. Επιπλέον η χρήση των standard cells libraries είναι σε μεγάλο βαθμό αρκετά αποδοτική. Επίσης δεν είναι χρονοβόρα η υλοποίηση αυτών των βιβλιοθηκών γιατί δεν απαιτείται πολύς χρόνος για την υλοποίηση τους παρόλο που καταλαμβάνουν αρκετό χώρο.

2.5 ΔΗΜΙΟΥΡΓΙΑ ΜΙΑΣ ΒΙΒΛΙΟΘΗΚΗΣ STANDARD CELLS

Όπως έχουμε αναφέρει ήδη η πιο κοινή προσέγγιση για την IC διάταξη είναι η τυπική προσέγγιση των standard cells. Αυτό περιλαμβάνει τη δημιουργία μιας βιβλιοθήκης των διατάξεων των standard cells για συγκεκριμένες λειτουργίες. Σε αυτό το παράδειγμα που παρουσιάζεται στην εικόνα 1.1 δείχνουμε μια πύλη NAND 2 εισόδων. Το σχήμα της συγκεκριμένης πύλης εμφανίζεται στα αριστερά και η αντίστοιχη διάταξη εμφανίζεται στα δεξιά. Σε ένα πρότυπο σχεδιασμού των standard cells, όλα τα standard cells έχουν σχεδιαστεί για να ταιριάζουν σε κανάλια. Ως εκ τούτου, είναι όλα σχεδιασμένα με βάση το ίδιο ύψος. Το πλάτος του κελιού μπορεί να ποικίλλει, προκειμένου να φιλοξενήσει όλα τα τρανζίστορ που απαιτείται για την πύλη μας. Συγκεκριμένα για τον σχεδιασμό της πύλης NAND 2 εισόδων απαιτούνται όπως παρατηρούμε και στην εικόνα μας 1.11 2 pmos και 2 nmos τρανζίστορ. Όπως ήδη έχουμε τονίσει οι περισσότερες standard cells libraries αποτελούνται από 30-60 βασικές λογικές πύλες, όπως AND πύλες, NOR πύλες, flip-flops, INVERTERS, κλπ. Η διασύνδεση των μετάλλων και πολυπυριτίου είναι τοποθετημένες με τρόπο ώστε οι πύλες λάβουν ένα ελάχιστο ποσό δωματίου. Οι γραμμές των standard cells και των παρακείμενων καναλιών δρομολόγησης για την καλωδίωση επιτρέπει σε κάποιον να δημιουργήσει πιο πολύπλοκες λειτουργίες.



Εικόνα 1.11

2.6 ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ ΤΩΝ STANDARD CELL LIBRARIES

Βιβλιοθήκες από standard cells μπορούν να βελτιστοποιηθούν με βάση κάποιες παραμέτρους απόδοσης, όπως τη πυκνότητα, τη ταχύτητα, τη τάση. Για παράδειγμα, η κατανάλωση ισχύος αποτελεί ένα σημαντικό παράγοντα στο σχεδιασμό κυκλωμάτων. Μια συγκεκριμένη βιβλιοθήκη μπορεί να χρησιμοποιηθεί με σκοπό την ελαχιστοποίηση της κατανάλωσης ισχύος, σε βάρος, όμως, της ταχύτητας. Για αυτό το λόγο, συγκρίνοντας όλες τις βιβλιοθήκες που χρησιμοποιούνται στο σχεδιασμό ολοκληρωμένων κυκλωμάτων, οι κατασκευαστές μπορούν να αποφασίσουν για το επίπεδο εκβάθυνσης και να επιτρέψουν στους σχεδιαστές να αναδείξουν τα προϊόντα που έχουν κατασκευάσει, στα πλαίσια του ανταγωνισμού.

2.7 ΣΗΜΑΝΤΙΚΑ ΣΗΜΕΙΑ ΤΟΥ STANDARD CELL BASED DESIGN

Κλείνοντας αυτό το κομμάτι θα πρέπει να σημειώσουμε μερικά βασικά σημεία για τον σχεδιασμό ολοκληρωμένων κυκλωμάτων που βασίζονται στις τυποποιημένες βιβλιοθήκες κυττάρων (standard cells libraries). Έτσι θα πρέπει να η κάθε βιβλιοθήκη να περιέχει περιγραφές των κυττάρων για την διευκόλυνση της σύνθεσης. Επιπλέον η κάθε βιβλιοθήκη να περιέχει πληροφορίες σχετικά με το χρονοδιάγραμμα και τις παραμέτρους κατανάλωσης ισχύος του των κυττάρων (cells). Για τα εργαλεία της Synopsys αυτό παρέχεται από το αρχείο σε (.lib). Αυτό το αρχείο περιλαμβάνει την σύνθεση και την προσομοίωση του κυκλώματος.

3^ο ΚΕΦΑΛΑΙΟ

3.1 ΧΑΡΑΚΤΗΡΙΣΜΟΣ

Στις προηγούμενες παραγράφους επικεντρωθήκαμε στον σχεδιασμό των ολοκληρωμένων κυκλωμάτων και ειδικότερα εστιάσαμε στην μέθοδο των standard cells που αποτελεί άλλωστε και βασικό κομμάτι αυτής της διπλωματικής διατριβής. Στην συγκεκριμένη ενότητα θα προσπαθήσουμε να κατανοήσουμε την συμπεριφορά του συστήματος ώστε να αποτελέσει τη βάση για την εκτίμηση της απόδοσης του συστήματος ως συνάρτηση της καθυστέρησης των σημάτων και της κατανάλωσης ισχύος. Επίσης θα εστιάσουμε και στο χαρακτηρισμό των standard cells και standard cells libraries.

3.2 ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΚΥΚΛΩΜΑΤΩΝ

Η δυναμική ή μεταβατική συμπεριφορά μιας λογικής πύλης καθορίζεται κατά κύριο λόγο από τις εξωτερικές χωρητικότητες των πυλών τρανζίστορ που οδηγούνται (fan-out) από την έξοδο της συγκεκριμένης λογικής πύλης. Έτσι η ταχύτητα εμφάνισης της λογικής κατάστασης στην έξοδο της πύλης καθορίζεται από την καθυστέρηση φόρτισης ή εκφόρτισης της χωρητικότητας εισόδου των οδηγούμενων πυλών. Επιπλέον η κατανάλωση ισχύος για αλλαγή της λογικής κατάστασης εξόδου καθορίζεται από την κατανάλωση φόρτισης ή εκφόρτισης της χωρητικότητας εισόδου των οδηγούμενων πυλών.

Επιπλέον το μεταβατικό φαινόμενο της αλλαγής λογικής κατάστασης στην έξοδο μιας λογικής πύλης επηρεάζεται από την εσωτερική χωρητικότητα στις περιοχές πηγής/υποδοχής των τρανζίστορ της λογικής πύλης και την αντίσταση και χωρητικότητα των αγωγών ή καλωδίων διασύνδεσης της εξόδου της λογικής πύλης με τις εισόδους άλλων λογικών πυλών.

ΕΚΤΙΜΗΣΗ ΑΝΤΙΣΤΑΣΗ

Η αντίσταση μίας ομοιόμορφης φέτας ενός αγώγιμου υλικού μπορεί να εκφραστεί ως :

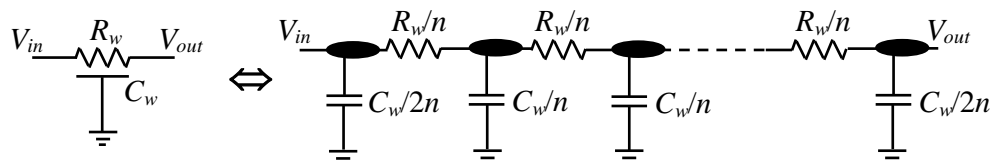
$$R_{wire} = \frac{\rho}{t} \frac{l}{w} \equiv R_{sq} \frac{l}{w}$$

R_{sq} : είναι η αντίσταση φύλλου σε μονάδες Ω/σ ;θαρε (Ω /τετράγωνο). Συνεπώς η αντίσταση ενός αγωγού πάνω σε μία στρώση προκύπτει από τον πολλαπλασιασμό της αντίστασης φύλλου με το λόγο του μήκους προς το πλάτος του αγωγού.

ΕΚΤΙΜΗΣΗ ΧΩΡΗΤΙΚΟΤΗΤΑΣ

Η χωρητικότητα αποτελεί ένα σημαντικό παράγοντα για τον χαρακτηρισμό και την εκτίμηση της απόδοσης ενός ολοκληρωμένου κυκλώματος. Όπως γνωρίζουμε η δυναμική απόκριση των συστημάτων MOS εξαρτάται σημαντικά από τις παρασιτικές χωρητικότητες του στοιχείου MOS, τις χωρητικότητες των συνδέσεων που δημιουργούνται από τα καλώδια του μετάλλου, του πολυπυρίτιου και της διάχυσης καθώς και από τις αντιστάσεις τρανζίστορ και αγωγού. Έτσι το συνολικό χωρητικό φορτίο στην έξοδο μίας πύλης CMOS προκύπτει από το άθροισμα της χωρητικότητας πύλης, της χωρητικότητας διάχυσης και της χωρητικότητας διασυνδέσεων.

Η αντίσταση και η χωρητικότητα ενός αγωγού διασύνδεσης είναι στην πραγματικότητα *κατανεμημένες* ποσότητες, οπότε η αναπαράσταση θα πρέπει να γίνει μέσω ενός κατανεμημένου δικτύου RC n-τμημάτων όπως παρουσιάζεται παρακάτω στην παρακάτω εικόνα 1.11 στην οποία οι R_w και C_w είναι η συνολική αντίσταση και χωρητικότητα του αγωγού.



Εικόνα 1.11

ΕΚΤΙΜΗΣΗ ΚΑΘΥΣΤΕΡΗΣΗΣ

Η ταχύτητα μεταγωγής μίας πύλης CMOS περιορίζεται από το χρόνο που απαιτείται για τη φόρτιση και εκφόρτιση της χωρητικότητας φορτίου CL. Μια μεταβολή της εισόδου καταλήγει σε μία μεταβολή της εξόδου, το οποίο και σημαίνει ότι ο πυκνωτής CL φορτίζεται στην τιμή VDD ή εκφορτίζεται στην VSS. Για την ανάλυση των χαρακτηριστικών μεταγωγής πρέπει να γνωρίζουμε την σημασία του χρόνου ανόδου (rise time) t_r , του χρόνου καθόδου (fall time) t_f και του χρόνου καθυστέρησης (delay time) t_d . Συγκεκριμένα χρόνος ανόδου είναι ο χρόνος για να αέλθει μία κυματομορφή από το 20% στο 80% της τιμής της στη μόνιμη κατάσταση. Χρόνος καθόδου είναι ο χρόνος για να κατέλθει μία κυματομορφή από το 80% στο 20% της τιμής στη μόνιμη κατάσταση. Τέλος χρόνος καθυστέρησης είναι η διαφορά χρόνου μεταξύ της μεταβολής της εισόδου 50% και του 50% της στάθμης εξόδου. Επιπρόσθετα γίνεται διαφοροποίηση μεταξύ του χρόνου t_{pd} που είναι η καθυστέρηση για μετάβαση από την υψηλή στάθμη στη χαμηλή (άνοδος εισόδου) και του χρόνου t_{cd} που είναι η καθυστέρηση για μετάβαση από χαμηλή στάθμη στην υψηλή (κάθοδος εισόδου).

Τέλος χαρακτηριστικά για τον χρόνο t_{pd} για το RC μοντέλο της εικόνας 1.11 ισχύει ο εξής τύπος :

$$t_{pd} = \sum_i R_{n-i} C_i = \sum_{i=1}^N C_i \sum_{j=i}^1 R_j$$

3.3 ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΤΩΝ STANDARD CELLS ΚΑΙ STANDARD CELLS LIBRARIES

Χαρακτηρισμός ενός κυκλώματος, σαν ευρύτερη έννοια , είναι η διαδικασία κατά την οποία μετά από εκτελέσεις εξομοιώσεων του κυκλώματος κάτω από διάφορες συνθήκες λειτουργίας καταγράφουμε αποτελέσματα χρονισμού και κατανάλωσης , ώστε να χρησιμοποιηθούν κατά την χρήση του κυκλώματος σε κανονικές συνθήκες.

3.3.1 ΠΕΡΙΓΡΑΦΗ ΤΩΝ STANDARD CELLS

Κάθε φορά που επιθυμούμε να υλοποιήσουμε ένα ολοκληρωμένο κύκλωμα και χρησιμοποιούμε την μέθοδο των standard cells θα πρέπει αρχικά να έχουμε πραγματοποιήσει την περιγραφή του κάθε cell. Έτσι το κάθε cell θα είναι σε θέση να χρησιμοποιηθεί από τα εργαλεία σχεδίασης . Οι περιγραφές αυτές θα πρέπει να πληροφορούν για την απόδοση , την λειτουργικότητα , καθώς και για τις φυσικές διαστάσεις του και τις διασυνδέσεις του. Έτσι θα πρέπει να πραγματοποιήσουμε την περιγραφή χαρακτηριστικών επιδόσεων όπως κατανάλωση και χρονισμός. Επιπλέον θα πρέπει να περιγράψουμε την λειτουργικότητα, την γεωμετρική διάσταση αλλά και τις διασυνδέσεις.

Σε κάθε μια από αυτές τις περιγραφές αντιστοιχεί ένα αρχείο κατάλληλα δομημένο. Για την περιγραφή της επίδοσης και του χρονισμού δομείται το αρχείο .LIB το οποίο περιέχει την απαραίτητη πληροφορία χρονισμού και κατανάλωσης για κάθε cell. Η λειτουργικότητα περιγράφεται σε ένα Verilog αρχείο στο οποίο περιέχεται επίσης πληροφορία για ελάχιστη και μέγιστη καθυστέρηση κάθε cell για συγκεκριμένη χωρητικότητα φορτίου και σήματος εισόδου. Τέλος η περιγραφή των γεωμετρικών διαστάσεων κάθε cell υπάρχει καταγεγραμμένη σε ένα αρχείο .LEF .

3.3.2 ΛΟΓΟΣ ΠΡΑΓΜΑΤΟΠΟΙΗΣΗΣ ΧΑΡΑΚΤΗΡΙΣΜΟΥ

Όπως γνωρίζουμε τα standard cells αποτελούνται από ένα σύνολο transistor και διασυνδεδεμένων δομών το οποίο παρέχει μια boolean λογική συνάρτηση (όπως AND, OR, XOR) ή μια συνάρτηση αποθήκευσης. Οπότε ένα πρώτο συμπέρασμα που μπορεί να προκύψει είναι ότι εξαγωγή της λειτουργικότητας είναι πολύπλοκη και περιττή πολλές φορές. Επιπλέον η καθυστέρηση προσομοίωσης διαρκεί πάρα πολύ καιρό με αποτέλεσμα να καθυστερείται η εξαγωγή αποτελεσμάτων. Επιπρόσθετα, όσο αναφορά την εξαγωγή ενέργειας για το σύνολο των τσιπ χρειάζεται πολύ χρόνος. Επιπλέον η αυτόματη ανίχνευση των χρονικών περιορισμών (π.χ. χρόνος εγκατάστασης) είναι δύσκολος. Αυτά είναι μερικά από τα πιο χαρακτηριστικά προβλήματα που μπορούν να προκύψουν χρησιμοποιώντας την μέθοδο των standard cells προκειμένου να δημιουργήσουμε ένα ολοκληρωμένο κύκλωμα. Ωστόσο δεν πρέπει να ανησυχούμε καθώς μπορούμε να χρησιμοποιήσουμε ένα απλό μοντέλο για την καθυστέρηση, τη λειτουργία. Επιπλέον μπορούμε να προσθέσουμε περιορισμούς για να πραγματοποιήσουμε την ενεργοποίηση των cells. Με άλλα λόγια να πραγματοποιήσουμε τον χαρακτηρισμό των cells.

3.3.3 ΡΟΗ ΤΟΥ ΧΑΡΑΚΤΗΡΙΣΜΟΥ

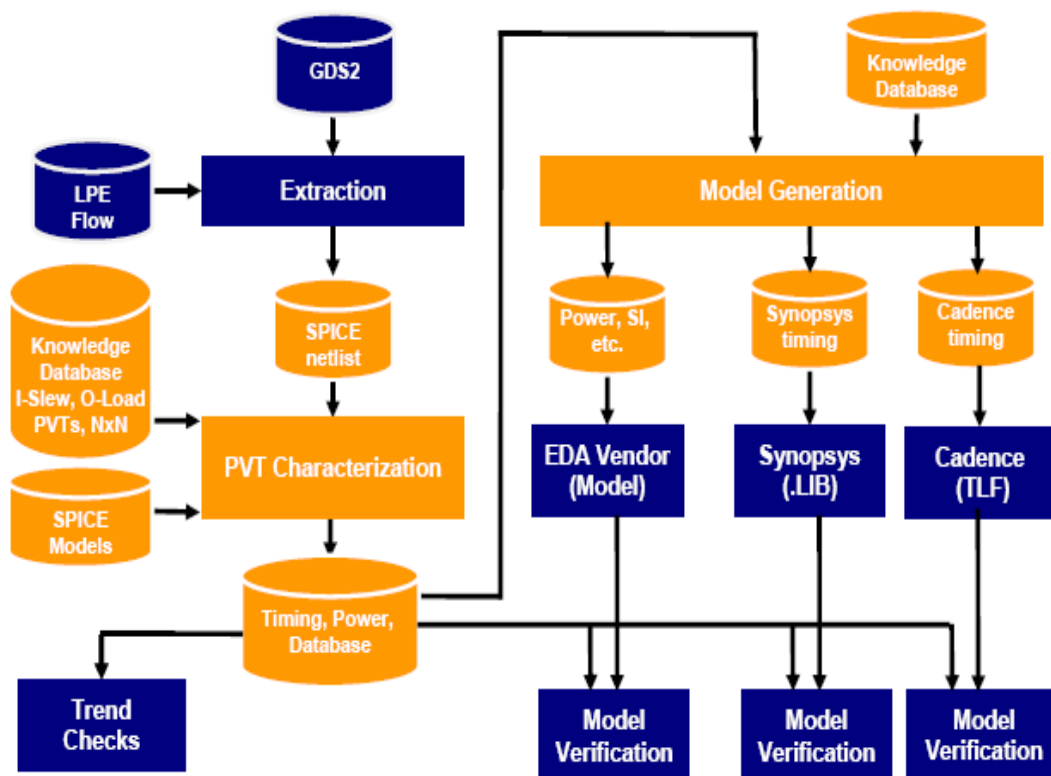
Τώρα όσο αναφορά για την ροή του χαρακτηρισμού των standard cells θα πρέπει να ακολουθήσουμε κάποιους βασικούς κανόνες προκειμένου να πραγματοποιηθεί με επιτυχία. Συγκεκριμένα θα πρέπει αρχικά να εξάγουμε ένα netlist αρχείο. Αυτό πρέπει να το πραγματοποιήσουμε γιατί τα τρανζίστορ, αντιστάσεις και οι χωρητικότητες εξάγονται με ειδικά εργαλεία και αποθηκεύονται ως SPICE netlist. Επιπλέον πρέπει να πραγματοποιήσουμε τον καθορισμό των παραμέτρων. Έτσι οι παράμετροι ανά βιβλιοθήκη θα πρέπει να προσδιορίζονται. Για παράδειγμα θα πρέπει να προσδιορίζουμε τον μέγιστο χρόνο μετάβασης και των PVT-corners. Επιπρόσθετα θα πρέπει να πραγματοποιούμε την επιλογή του κατάλληλου μοντέλου και να προσδιορίζουμε τις προδιαγραφές του. Η επιλογή του μοντέλου θα πρέπει να πραγματοποιείται γιατί τα μοντέλα που χρησιμοποιούνται καθορίζουν τα απαιτούμενα δεδομένα. Τώρα για cells τα οποία προσομοιώνονται με το Hspice εργαλείο θα πρέπει να πραγματοποιούμε την μέτρηση (Measurement) προκειμένου να έχουμε τα απαιτούμενα δεδομένα. Για το Measurement αναφερόμαστε εκτενέστερα στο κεφάλαιο που εξηγούμε την χρησιμότητα του υπολογιστικού εργαλείου Hspice στην συγκεκριμένη εργασία. Τέλος πρέπει να πραγματοποιήσουμε την δημιουργία μοντέλου και την επαλήθευση μας προκειμένου να εξασφαλίσουμε την ορθότητα του χαρακτηρισμού.

Για να κατανοήσουμε καλύτερα την έννοια της επαλήθευσης θα μπορούσαμε να πούμε ότι επαλήθευση είναι η επίδειξη ότι το τελικό κύκλωμα συμπεριφέρεται ακριβώς με τον ίδιο τρόπο που ορίζεται στις προδιαγραφές και τη διατύπωση του κυκλώματος. Η διατύπωση μπορεί να καταγραφεί με πίνακες αληθείας, δυαδικές συναρτήσεις ή και με κώδικα HDL. Βασικές Μέθοδοι Επαλήθευσης είναι η θεωρητική Επαλήθευση (Formal Verification) σύμφωνα με την οποία παράγουμε τον πίνακα αληθείας ή τις δυαδικές συναρτήσεις του τελικού κυκλώματος και στην συνέχεια συγκρίνουμε με τον πίνακα αληθείας ή τις δυαδικές συναρτήσεις των προδιαγραφών. Επιπλέον ένας άλλος τρόπος επαλήθευσης είναι αυτός που

πραγματοποιείται με προσομοίωση (Simulation-based Verification) σύμφωνα με αυτόν τον τρόπο επαλήθευσης προσομοιώνουμε το τελικό κύκλωμα (ή το netlist του, το οποίο συχνά δίνεται σε μορφή HDL) και τον πίνακα αληθείας και τις συναρτήσεις χρησιμοποιώντας κατάλληλες τιμές εισόδων οι οποίες επιβεβαιώνουν πλήρως την ορθότητα του κυκλώματος. Οι κατάλληλες τιμές για ένα συνδυαστικό κύκλωμα είναι όλοι οι πιθανοί συνδυασμοί.

Στην παρακάτω εικόνα 1.12 παρουσιάζονται εικονικά όλα οι κανόνες-βήματα τα οποία προαναφέραμε και τα οποία υλοποιούν τον χαρακτηρισμό των standard cells. Εκτός από Synopsys εργαλεία ο χαρακτηρισμός μπορεί να υλοποιηθεί και από άλλα υπολογιστικά εργαλεία όπως το cadence . Η συγκεκριμένη εργασία υλοποιείται χρησιμοποιώντας το εργαλείο Hspice αλλά είναι ευκαιρία σε αυτή την ενότητα να πούμε και δύο λόγια για το Cadence .

Το Cadence αποτελεί ένα από τα κορυφαία στη βιομηχανία εργαλεία για standard cell σχεδιασμό . Τα ηλεκτρονικά συστήματα έχουν γίνει τόσο πολύπλοκα, ώστε η δημιουργία τους να είναι αδύνατη χωρίς την αυτοματοποίηση τους. Το CADENCE είναι ένα περιβάλλον αυτοματοποίησης ηλεκτρονικών σχεδίων (Electronic Design Automation -EDA), το οποίο επιτρέπει την ανάμειξη σε ένα ενιαίο πλαίσιο εργασίας διαφορετικών εφαρμογών και εργαλείων, με σκοπό την επιτυχή πραγματοποίηση όλων των σταδίων σχεδίασης και επαλήθευσης ολοκληρωμένων κυκλωμάτων. Τα εργαλεία αυτά είναι γενικής χρήσης και υποστηρίζουν διαφορετικές τεχνολογίες. Όταν μια συγκεκριμένη τεχνολογία επιλέγεται, ένα σύνολο από αρχεία διαμόρφωσης και αρχεία σχετικά με την τεχνολογία αυτή προσδιορίζουν το περιβάλλον του cadence.



Εικόνα 1.12

3.3.4 ΠΑΡΑΜΕΤΡΟΙ ΧΑΡΑΚΤΗΡΙΣΜΟΥ

Ένας επιπλέον σημαντικός παράγοντας για την πραγματοποίηση του χαρακτηρισμού είναι και η επιλογή των κατάλληλων παραμέτρων.(Global parameters). Δηλαδή την επιλογή των κατάλληλων PVT corner (δηλαδή τάση, θερμοκρασία για PVT corner θα αναφερθούμε εκτενέστερα στην ενότητα των συνθηκών χαρακτηρισμού) . Επίσης τον ορισμό μονάδας (π.χ. Load Standard) και τον καθορισμό ορίων για παράδειγμα μέγιστο φορτίο εξόδου ή μέγιστο χρόνο μετάβασης. Επιπλέον για την εξαγωγή ρεύματος, και για την IR-Drop ανάλυση η οποία περιγράφει την τάση DC που αναπτύσσεται σε έναν αγωγό ως αποτέλεσμα της ηλεκτρικής αντίστασης απαιτείται προσδιορισμός της δυναμικής ισχύος (ικανότητα μεταγωγής), της στατικής ισχύος (διαρροή ρεύματος) και της παθητικής ισχύος (εσωτερική δύναμη). Επιπλέον απαιτείται ο καθορισμός της γεωμετρίας (πλάτος κελιού).

3.4 ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΤΩΝ STANDARD CELLS LIBRARIES

Δύο σημαντικά χαρακτηριστικά των standard cells libraries είναι η τμηματοποίηση(Modularity) και η τοπικότητα (Locality) .

- **ΤΜΗΜΑΤΟΠΟΙΗΣΗ(MODULARITY)**

Με τον όρο τμηματοποίηση εννοούμε ότι οι υπομονάδες της κάθε βιβλιοθήκης έχουν καλώς ορισμένες λειτουργίες και διασυνδέσεις και ότι επίσης είναι αυτοδύναμες και ανεξάρτητες.

- **ΤΟΠΙΚΟΤΗΤΑ(LOCALITY)**

Με τον όρο τοπικότητα εννοούμε ότι κάθε μονάδα έχει ένα είδος «απόκρυψης πληροφορίας» από την μονάδα γονέα.
Για παράδειγμα τα cells από την βιβλιοθήκη που τα περιλαμβάνει.

Στηριζόμενοι σε αυτά τα δύο χαρακτηριστικά θα πραγματοποιήσουμε τον χαρακτηρισμό των standard cells libraries.

Για τις βιβλιοθήκες των standard cells που χρησιμοποιούνται στην ψηφιακή σχεδίαση , γίνονται εξομοιώσεις όλων των cells της βιβλιοθήκης κάτω από διάφορες συνθήκες λειτουργίας και καταγράφονται υποχρεωτικά τα αποτελέσματα χρονισμού κατανάλωσης , ενώ σε ειδικές περιπτώσεις μπορούν να καταγραφούν αποτελέσματα για στατιστικά χρονισμού και στατιστικής κατανάλωσης.

Οι συνθήκες της εξομοίωσης αφορούν θερμοκρασία και τάση λειτουργίας (PVT corner),χωρητικό φορτίο που συνδέεται στην έξοδο και τιμή σήματος εισόδου. Η καταγραφή των αποτελεσμάτων γίνεται με προκαθορισμένο τρόπο.

Ο λόγος που γίνεται κάθε φορά ο χαρακτηρισμός των cells και δεν γίνεται κάθε φορά εξομοίωση του πραγματικού κυκλώματος που προκύπτει από την σύνθεση του συστήματος που σχεδιάζουμε , είναι ότι με τον χαρακτηρισμό μπορούμε να

εργαζόμαστε σε πιο αφαιρετικό επίπεδο. Με το να λέμε ότι γίνεται σε αφαιρετικό επίπεδο εννοούμε ότι η εξομοίωση του συστήματος γίνεται σε επίπεδο cell και όχι σε φυσικό επίπεδο (τρανζίστορ). Αυτό επιτυγχάνει σημαντικά την εξομείωση του συστήματος. Επίσης η εύρεση της λειτουργικότητας είναι δύσκολη και μερικές φορές αδύνατο να γίνει από το φυσικό επίπεδο σχεδίασης.

Ακολουθώντας το διάγραμμα το οποίο παρουσιάζεται στην εικόνα 1.12 εξάγοντας την netlist για διάφορες τεχνολογίες, ο χαρακτηρισμός θα κάνει εξομοίωση όλων των cells, που θα περιέχει η νέα βιβλιοθήκη και τα αποτελέσματα θα καταγραφούν αντίστοιχα LIB, Verilog και ALF αρχεία.. Αντίστοιχα τα αρχεία LEF που δημιουργούνται, δίνουν την δυνατότητα στο εργαλείο τοποθέτησης και διασύνδεσης, να παράγει τα αντίστοιχα layouts και να κάνει εξαγωγή παρασιτικών χωρητικοτήτων διασυνδέσεων και pins. Κάθε cells που περιέχεται σε κάθε βιβλιοθήκη περνάει την διαδικασία του χαρακτηρισμού για διαφορετικές συνθήκες.

3.5 ΣΥΝΘΗΚΕΣ ΧΑΡΑΚΤΗΡΙΣΜΟΥ

Για τις συνθήκες χαρακτηρισμού αναφερθήκαμε και στην ενότητα με τις παραμέτρους χαρακτηρισμού και αναφέραμε ότι θα τις αναλύσουμε εκτενέστερα σε αυτή την ενότητα. Η τάση λειτουργίας και η θερμοκρασία είναι δύο τέτοιες συνθήκες. Η τάση λειτουργίας (Vdd) καθορίζεται από τις τάσεις κατωφλίου των τρανζίστορ και μεταβάλλεται πτωτικά από τεχνολογία σε τεχνολογία μικρότερων διαστάσεων. Η θερμοκρασία περιβάλλοντος επηρεάζει σημαντικά τη θερμοκρασία λειτουργίας του ολοκληρωμένου συστήματος. Γι αυτό όταν κάποιος σχεδιαστής αποφασίσει να κατασκευάσει ένα ολοκληρωμένο σύστημα θα πρέπει να λάβει υπόψη την θερμοκρασία του περιβάλλοντος κατά τον χαρακτηρισμό. Εκτός από τη μεταβολή στις συνθήκες περιβάλλοντος στον χαρακτηρισμό θα πρέπει να ληφθεί υπόψη η διακύμανση κάποιων χαρακτηριστικών των τρανζίστορ που μπορεί να συμβεί κατά την διάρκεια κατασκευής τους. Συγκεκριμένα μπορεί να υπάρξει διακύμανση σε χαρακτηριστικά τρανζίστορ όπως το πλάτος των γραμμών, οι τάσεις κατωφλίου κατά την διάρκεια κατασκευής αυτών των τρανζίστορ. Βασική φυσικά προϋπόθεση είναι να έχουμε κατασκευή όμοιων τρανζίστορ. Οι μεταβολές αυτές είναι τυχαίες και περιγράφονται με στατιστικά μεγέθη που ακολουθούν κανονική κατανομή.

Οι φυσικές παράμετροι ενός τσίπ διαφέρουν από ψηφίδα σε ψηφίδα. Κάθε τσίπ με στόχο να έχει μία καλή απόδοση θα πρέπει να προσαρμόζεται κατάλληλα στην διακύμανση διάφορων συνθηκών.

Τέτοιες συνθήκες αποτελούν τα process corner. Τα process corner αποτελούν σημαντικές συνθήκες για την διαδικασία του χαρακτηρισμού. Τα τρία πιο χαρακτηριστικά process corner τα οποία διαφοροποιούνται μεταξύ τους στη φάση του χαρακτηρισμού από την θερμοκρασία λειτουργίας και την τάση κατωφλίου είναι Worst/slow-slow, Typical, Best/fast-fast. Πρέπει να αναφέρουμε ότι τα συγκεκριμένα process υλοποιούνται για συγκεκριμένες τεχνολογίες τρανζίστορ.

Συγκεκριμένα μπορούμε να αναφέρουμε ότι HSPICE εργαλείο το οποίο χρησιμοποιούμε για την διεκπεραίωση αυτή της πτυχιακής διατριβής χρησιμοποιεί τις εξής βιβλιοθήκες

Lib TT

TT: Typical nMOS, pMOS, voltage, temperature

Lib SS

SS: Slow nMOS, pMOS, low voltage, high temperature

Lib FF

FF: Fast nMOS, pMOS, high voltage, low temperature

Επίσης το HSPICE εργαλείο χρησιμοποιεί μια .lib card που κάνει αρκετά εύκολη την αλλαγή αυτών των βιβλιοθηκών. Στην συγκεκριμένη εργασία χρησιμοποιήσαμε τα SS και ff corners προκειμένου να βρούμε την παρασιτική καθυστέρηση και το logical effort των πυλών.

Επιπρόσθετα το HSPICE μπορεί να υλοποιήσει και δύο ακόμα process corner τα οποία δεν αναφέραμε τα :

Lib FS

FS: Fast nMOS, Slow pMOS, typical voltage and temperature

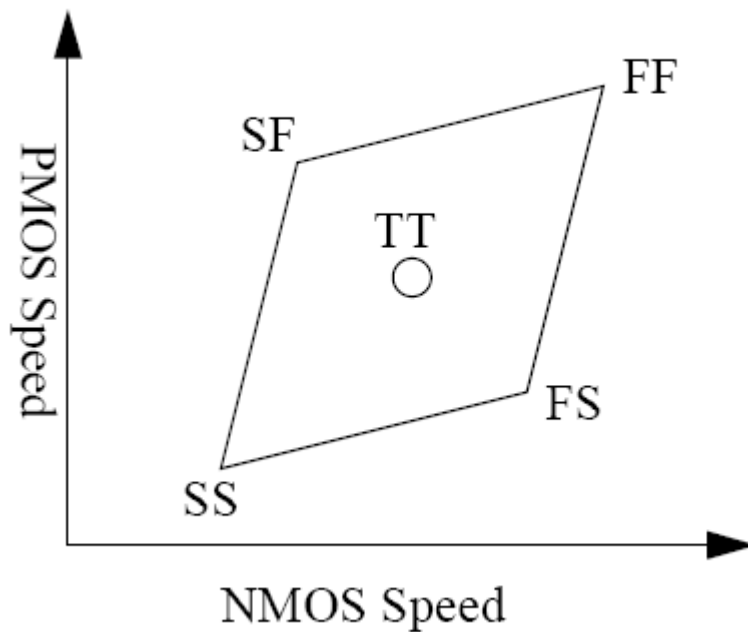
Lib SF

SF: Slow nMOS, Fast pMOS, typical voltage and temperature

Όμως πως προκύπτουν οι ονομασίες των process corner TT,SS,FF,FS,SF?

Όπως γνωρίζουμε για τα τρανζίστορ NMOS και PMOS καθορίζουμε συγκεκριμένα μεγέθη για τα πλάτος τους (W) ,το μήκος τους (L),την τάση κατωφλίου V_t και την θερμοκρασία λειτουργίας έχοντας ορίσει φυσικά την τεχνολογία του κάθε τρανζίστορ για παράδειγμα 45nm η 35nm. Έτσι με βάση αυτές τις συνθήκες για κάθε τρανζίστορ αντιστοιχεί και ένα processing typically(T) ,fast(F),SLOW(S). Δημιουργώντας μία πύλη έχουμε τον συνδυασμό NMOS και PMOS τρανζίστορ άρα με βάση το processing που αντιστοιχεί σε κάθε τρανζίστορ ορίζουμε και το αντίστοιχο process corner.

Στην παρακάτω εικόνα 1.13 φαίνεται ο συνδυασμός των τρανζίστορ και το πώς προκύπτει το process corner.



Εικόνα 1.13

Όπως παρατηρούμε και στην εικόνα 1.13 τα SF και FS process corner. Αυτό συμβαίνει γιατί βελτιώνοντας κάποιες παραμέτρους για τον έναν τύπο τρανζίστορ π.χ για τα NMOS αυτό έχει σαν αποτέλεσμα να χειροτερεύουν οι ίδιες παράμετροι για τον άλλο τύπου τρανζίστορ π.χ. PMOS.

Όπως έχουμε αναφέρει ήδη τα process corner διαφοροποιούνται μεταξύ τους ανάλογα με τις τιμές της θερμοκρασίας λειτουργίας και της τάσης λειτουργίας VDD. Έτσι για παράδειγμα ένα τιπ το οποίο λειτουργεί σε με $VDD=2.5V$,μπορεί να λειτουργήσει και με τιμές 2.75(υψηλή τάση) ,2.25(χαμηλή τάση) για την VDD τάση λειτουργίας. Επιπλέον για την θερμοκρασία μπορούμε να πούμε ότι η τιμή των 120 βαθμών κελσίου θεωρείται υψηλή ενώ η τιμή των 0 βαθμών κελσίου χαμηλή. Συνοπτικά η λειτουργία και η χρήση των corner για τα NMOΣ και PMOS τρανζίστορ παρουσιάζεται στον παρακάτω πίνακα στην εικόνα 1.14.

NMOS	PMOS	Wire	Supply	Temp	Check For
T	T	T	Nom	Med 85	typical chips
F	F	F	+10%	Low 0	max power
S	S	S	-10%	Hi 125	slowest chips
F	S	T	Low	High	ratioed circuit failure
S	F	T	High	Low	ratioed circuit failure
F	F	S	High	Low	gates outracing wire
S	S	F	Low	High	wire outracing gates

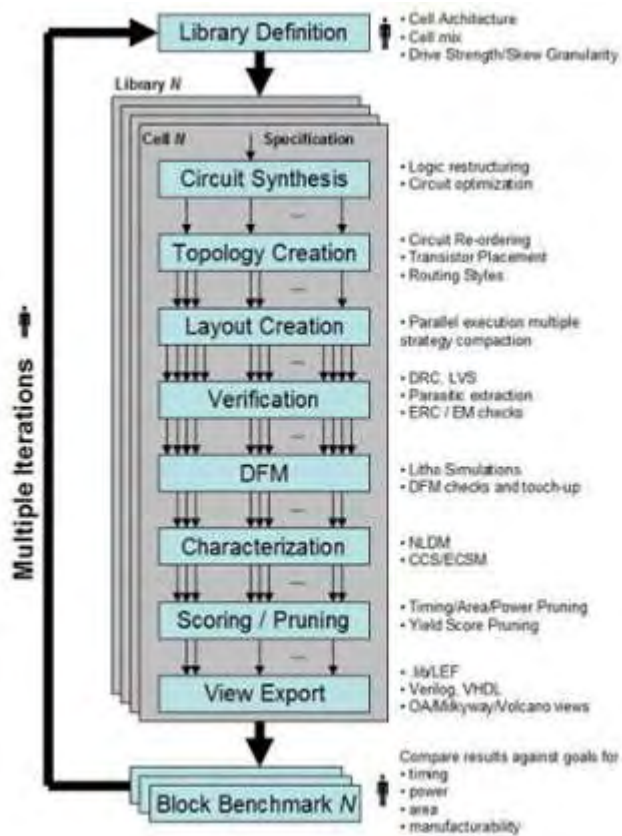
Εικόνα 1.14

Από τον πίνακα φαίνεται ότι τα FS και SF corner είναι σημαντικά για ratioed κυκλώματα όπως η pseudo- NMOS η οποία αποτυγχάνει όταν η PMOS είναι πολύ ισχυρή, αλλά τρέχει πολύ αργά όταν η PMOS είναι πολύ αδύναμη. Επιπλέον όπως παρατηρούμε και στο πίνακα τα δύο τελευταία corners είναι σημαντικά αυτό χρονισμένα συστήματα (selftimed circuit).

Επιπρόσθετα ο χαρακτηρισμός εξαρτάται από το φορτίο εξόδου και το σήμα εισόδου και από την επιλογή τους εξαρτάται η ακρίβεια των αποτελεσμάτων. Για το λόγο αυτό γίνεται αρχικά χαρακτηρισμός για κάθε τεχνολογία του απλούστερου cell. Η πιο απλούστερη πύλη όπως γνωρίζουμε είναι του αντιστροφέα οπότε ξεκινάμε την διαδικασία του χαρακτηρισμού από αυτήν την πύλη.

3.6 ΣΥΜΠΕΡΑΣΜΑΤΑ ΠΡΑΓΜΑΤΟΠΟΙΗΣΗΣ ΧΑΡΑΚΤΗΡΙΣΜΟΥ

Κάθε προγραμματιστής όταν αποφασίζει να σχεδιάσει ένα ολοκληρωμένο κύκλωμα με χρήση της μεθόδου του standard cell design θα πρέπει να πραγματοποιεί χαρακτηρισμό των standard cells διότι ο χαρακτηρισμός είναι αναγκαίος προκειμένου να μπορέσουμε να τα χρησιμοποιήσουμε. Με βάση τον χαρακτηρισμό προκύπτει το netlist αρχείο. Επιπλέον ένα άλλο βασικό συμπέρασμα που προκύπτει με βάση όλων αυτών που ειπώθηκαν για τον χαρακτηρισμό που πραγματοποιείται από διαφορετικά εργαλεία είναι ότι Το Synopsys Liberty Format (.Lib) είναι ουσιαστικά πρότυπο με το Cadence Format (.TLF). Επιπλέον πρέπει να αναφέρουμε ότι standard cell τα οποία είναι μικρά σε μέγεθος πιο ακριβή μοντέλα. Όπως παρατηρούμε και στην παρακάτω εικόνα 1.15 ο χαρακτηρισμός αποτελεί ένα πολύ σημαντικό κομμάτι προκειμένου να επιτύχουμε την σχεδίαση ένα ολοκληρωμένου κυκλώματος.



Εικόνα 1.15

4^ο ΚΕΦΑΛΑΙΟ

4.1 Logical Effort

Η μέθοδος του Logical Effort επινοήθηκε και αναπτύχθηκε από τους Ivan E. Sutherland και Bob F. Sproull το 1991 και είναι ένας απλός και εύκολος τρόπος για τον υπολογισμό της καθυστέρησης ενός CMOS κυκλώματος. Με αυτή λοιπόν τη μέθοδο μπορούμε να επιλέξουμε την ταχύτερη λογική δομή από ένα σύνολο ιδίων αλλά διαφορετικά υλοποιημένων λογικών δομών απλά συγκρίνοντας τις εκτιμήσεις των καθυστερήσεων. Επίσης η τεχνική αυτή καθορίζει τον κατάλληλο αριθμό λογικών σταδίων που χρειάζονται σε ένα μονοπάτι καθώς και το βέλτιστο μέγεθος των λογικών πυλών ώστε να επιτευχθεί η ελάχιστη δυνατή καθυστέρηση για ένα κύκλωμα. Τέλος, επειδή πρόκειται για μία μέθοδο εύκολη στη χρήση, είναι ιδανική για την αξιολόγηση εναλλακτικών λύσεων στα πρώτα στάδια ενός σχεδιασμού και προσφέρει ένα καλό σημείο εκκίνησης για πιο περίπλοκες βελτιστοποιήσεις.

4.2 ΚΑΘΥΣΤΕΡΗΣΗ ΣΕ ΛΟΓΙΚΗ ΠΥΛΗ

Η μέθοδος του Logical Effort βασίζεται σε ένα απλό μοντέλο της καθυστέρησης μέσα από μία χωριστή λογική πύλη MOS. Το μοντέλο αυτό περιγράφει τις καθυστερήσεις που προκαλούνται από το χωρητικό φορτίο που η λογική πύλη οδηγεί και από την τοπολογία της. Προφανώς όταν το φορτίο αυξάνεται, αυξάνεται και η καθυστέρηση, όμως η καθυστέρηση εξαρτάται επίσης από την λογική συνάρτηση της πύλης. Οι αντιστροφείς (inverters), οι πιο απλές λογικές πύλες, οδηγούν φορτία βέλτιστα και συχνά χρησιμοποιούνται ως ενισχυτές για να οδηγούν μεγάλες χωρητικότητες. Οι λογικές πύλες που υπολογίζουν άλλες συναρτήσεις απαιτούν περισσότερα τρανζίστορ, κάποια από τα οποία είναι συνδεδεμένα σε σειρά, κάνοντάς τις να μην οδηγούν τόσο καλά τα φορτία. Έτσι η NAND έχει μεγαλύτερη καθυστέρηση από έναν INVERTER με το ίδιο μέγεθος τρανζίστορ που οδηγούν το ίδιο φορτίο. Η μέθοδος του Logical Effort ποσοτικοποιεί αυτά τα αποτελέσματα για να απλοποιήσει την ανάλυση καθυστέρησης για ξεχωριστές λογικές πύλες αλλά και για λογικά δίκτυα πολλών σταδίων.

Το πρώτο βήμα για την μοντελοποίηση της καθυστέρησης είναι να απομονώσουμε τις επιδράσεις μίας συγκεκριμένης διαδικασίας κατασκευής ολοκληρωμένων κυκλωμάτων εκφράζοντας όλες τις καθυστερήσεις σε μία βασική μονάδα καθυστέρησης τ ειδικότερα σε αυτή τη διαδικασία. Το $\tau = 3RC$ είναι η βασική μονάδα καθυστέρησης ενός αντιστροφέα που οδηγεί έναν πανομοιότυπο αντιστροφέα χωρίς παρασιτικές χωρητικότητες. Έτσι εκφράζουμε την απόλυτη καθυστέρηση ως το γινόμενο της σχετικής(κανονικοποιημένης) καθυστέρησης(μη εκφρασμένη σε μονάδες χρόνου) της πύλης d και της σταθεράς(μονάδας) καθυστέρησης που καθορίζεται από την τεχνολογία κατασκευής:

$$d_{abs} = d\tau$$

Στην τεχνολογία των 45nm της NangateOpenCellLibrary που θα χρησιμοποιήσουμε η καθυστέρηση τ είναι περίπου 4 με 5 ps.

Η σχετική(κανονικοποιημένη) καθυστέρηση που προκύπτει από μία λογική πύλη μπορεί να εκφραστεί ως άθροισμα δύο κύριων παραγόντων. Ένας σταθερός παράγοντας που ονομάζεται παρασιτική καθυστέρηση(p), η οποία αποτελεί

αναπόσπαστη καθυστέρηση μιας πύλης και μπορεί να βρεθεί θεωρώντας την πύλη να μην οδηγεί φορτίο, και ένας παράγοντας που είναι ανάλογος του φορτίου στην έξοδο της πύλης και ονομάζεται effort delay ή stage effort(f). Η συνολική καθυστέρηση σε μονάδες του τ είναι:

$$d = f + p$$

Η effort delay εξαρτάται από το φορτίο και τις ιδιότητες της λογικής πύλης που οδηγεί το φορτίο. Έτσι, εισάγουμε δύο σχετικούς όρους: το logical effort g που αποτυπώνει τις ιδιότητες της πύλης και το electrical effort h που χαρακτηρίζει το φορτίο. Το effort delay της λογικής πύλης είναι το γινόμενο των δύο αυτών παραγόντων:

$$f = gh$$

Το logical effort g καταγράφει την επίδραση της τοπολογίας της λογικής πύλης στην δυνατότητά της να παράγει ρεύμα εξόδου. Επίσης είναι ανεξάρτητο του μεγέθους των τρανζίστορ του κυκλώματος. Το electrical effort h περιγράφει πως το ηλεκτρικό περιβάλλον της λογικής πύλης επηρεάζει την απόδοση και πως το μέγεθος των τρανζίστορ στην πύλη καθορίζει τη δυνατότητα οδήγησης φορτίου. Το electrical effort ορίζεται ως:

$$h = C_{out}/C_{in}$$

όπου C_{out} είναι η χωρητικότητα που οδηγεί η έξοδος της λογικής πύλης και C_{in} είναι η χωρητικότητα που φαίνεται στις εισόδους της λογικής πύλης. Το electrical effort καλείται από αρκετούς σχεδιαστές CMOS, fanout. Πρέπει να σημειώσουμε ότι, σε αυτό το πλαίσιο, το fanout εξαρτάται από την χωρητικότητα φορτίου και όχι μόνο από τον αριθμό των πυλών που οδηγούνται. Συνοψίζοντας τις παραπάνω εξισώσεις οδηγούμαστε στην βασική εξίσωση που μοντελοποιεί την καθυστέρηση δια μέσου μίας ξεχωριστής λογικής πύλης σε μονάδες του τ:

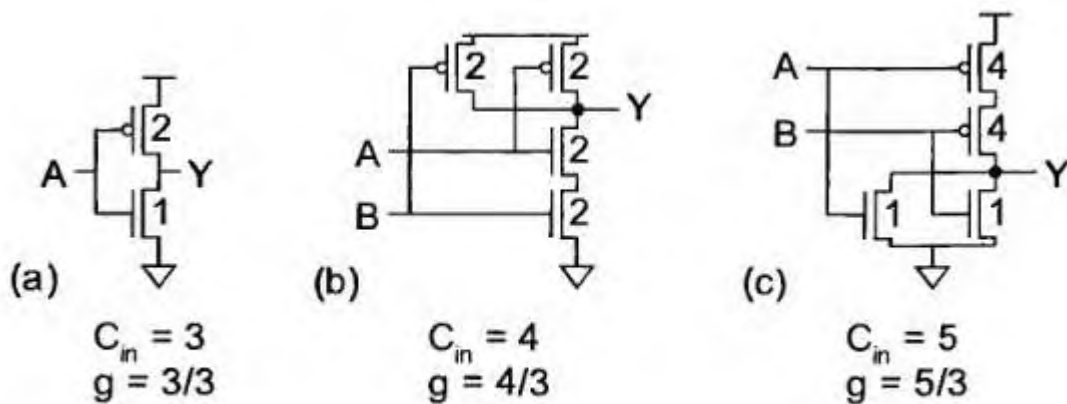
$$d = gh + p$$

Η εξίσωση αυτή δείχνει ότι το logical effort g και το electrical effort h συνεισφέρουν με τον ίδιο τρόπο στην καθυστέρηση. Αυτή η διατύπωση ξεχωρίζει τα τ, g, h και p, τις τέσσερις συνιστώσες της καθυστέρησης. Η παράμετρος της διαδικασίας τ αντιπροσωπεύει την ταχύτητα των βασικών τρανζίστορ. Η παρασιτική καθυστέρηση p εκφράζει την εγγενή καθυστέρηση της πύλης εξαιτίας της δικής της εσωτερικής χωρητικότητας η οποία είναι σε μεγάλο βαθμό ανεξάρτητη του μεγέθους των τρανζίστορ της λογικής πύλης. Το electrical effort h συνδυάζει τις επιδράσεις του εξωτερικού φορτίου, το οποίο ορίζει το C_{out} , με τα μεγέθη των τρανζίστορ της λογικής πύλης τα οποία καθορίζουν το C_{in} . Το logical effort g εκφράζει τις επιδράσεις της τοπολογίας του κυκλώματος στην καθυστέρηση, ελεύθερο από θεωρήσεις για το φορτίο και το μέγεθος τρανζίστορ. Έτσι το logical effort είναι χρήσιμο επειδή εξαρτάται μόνο από την τοπολογία του κυκλώματος.

Οι τιμές των logical effort για ορισμένες λογικές πύλες CMOS φαίνονται στον παρακάτω πίνακα. Το logical effort ορίζεται έτσι ώστε ένας αντιστροφείας να έχει logical effort ίσο με 1. Ένας αντιστροφείας που οδηγεί ένα ακριβές αντίγραφο του εαυτού του έχει electrical effort ίσο με 1. Επομένως ένας αντιστροφείας που οδηγεί ένα ακριβές αντίγραφο του εαυτού του έχει effort delay ίσο με 1.

Logical effort of common gates					
Gate Type	Number of Inputs				
	1	2	3	4	n
inverter	1				
NAND		4/3	5/3	6/3	$(n + 2)/3$
NOR		5/3	7/3	9/3	$(2n + 1)/3$
tristate, multiplexer	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

Το logical effort μιας λογικής πύλης μας λέει πόσο χειρότερα είναι στο να παράγουμε ρεύμα εξόδου από ότι σε έναν αντιστροφέα, δεδομένου ότι κάθε μία από τις εισόδους μπορεί να παρουσιάζει μόνο την ίδια χωρητικότητα εισόδου όπως ο αντιστροφέας. Μειωμένο ρεύμα εξόδου σημαίνει πιο αργή λειτουργία και ως εκ τούτου το logical effort μίας λογικής πύλης μας λέει πόσο πιο αργά θα οδηγήσει ένα φορτίο από ότι θα έκανε ο αντιστροφέας. Ισοδύναμα, το logical effort είναι το πόσο μεγαλύτερη χωρητικότητα εισόδου πρέπει μία πύλη να παρουσιάζει με σκοπό να παραδώσει το ίδιο ρεύμα εξόδου όπως ένας αντιστροφέας. Η εικόνα που ακολουθεί παρουσιάζει απλές πύλες(NOR, NAND2, NOR2) με σχετικά πλάτη τρανζίστορ για ίσα περίπου ρεύματα εξόδου. Ο αντιστροφέας έχει τρεις μονάδες χωρητικότητας εισόδου ενώ η NAND έχει τέσσερις. Συνεπώς η πύλη NAND έχει logical effort $g = 4/3$. Ομοίως η πύλη NOR έχει logical effort $g = 5/3$.



Logic gates sized for unit resistance

Είναι ενδιαφέρον, αλλά δεν προκαλεί έκπληξη, από τον πίνακα των logical effort ότι πιο πολύπλοκες λογικές συναρτήσεις έχουν μεγαλύτερο logical effort. Επιπλέον το logical effort των περισσότερων λογικών πυλών μεγαλώνει με τον αριθμό των εισόδων της πύλης. Οι μεγαλύτερες και πιο πολύπλοκες λογικές πύλες θα παρουσιάζουν έτσι μεγαλύτερη καθυστέρηση. Αυτές οι ιδιότητες βοηθούν στο να συγκριθούν διαφορετικές επιλογές ως προς την λογική δομή. Σχεδιαστικά μοντέλα που ελαχιστοποιούν τον αριθμό των σταδίων της λογικής θα χρειαστούν περισσότερες εισόδους για κάθε λογική πύλη και ως εκ τούτου θα έχουν μεγαλύτερο logical effort. Σχεδιαστικά μοντέλα με λιγότερες εισόδους και συνεπώς μικρότερο logical effort ανά στάδιο μπορεί να απαιτεί περισσότερα στάδια λογικής.

Το electrical effort h είναι απλά ο λόγος δύο χωρητικοτήτων. Το φορτίο που οδηγείται από μία λογική πύλη είναι η χωρητικότητα του οτιδήποτε είναι συνδεδεμένο σε κάθε έξοδο. Οποιοδήποτε φορτίο θα καθυστερήσει το κύκλωμα. Η χωρητικότητα εισόδου του κυκλώματος είναι ένα μέτρο του μεγέθους του κάθε τρανζίστορ. Η χωρητικότητα εισόδου εμφανίζεται στον παρανομαστή της σχέσης $h = C_{out}/C_{in}$ επειδή μεγαλύτερα τρανζίστορ σε μία λογική πύλη θα οδηγούν ένα δεδομένο φορτίο ταχύτερα. Συνήθως τα περισσότερα από τα φορτία ενός σταδίου λογικής είναι η χωρητικότητα της εισόδου ή των εισόδων του επόμενου σταδίου ή σταδίων λογικής που οδηγεί. Φυσικά το φορτίο περιλαμβάνει επίσης την παρασιτική χωρητικότητα των καλωδίων, της περιοχής απαγωγού(drain) κ.ο.κ.

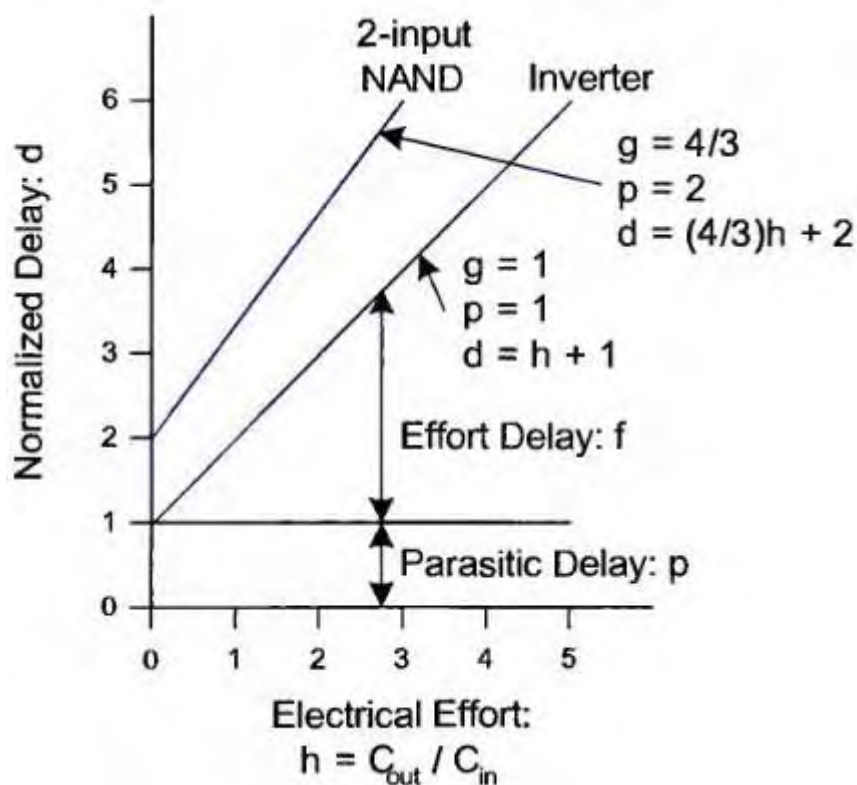
Το electrical effort συνήθως εκφράζεται ως ο λόγος των πλατών των τρανζίστορ και όχι των πραγματικών χωρητικοτήτων. Ξέρουμε ότι η χωρητικότητα της πύλης του τρανζίστορ είναι ανάλογη της περιοχής του. Αν υποθέσουμε ότι όλα τα τρανζίστορ έχουν το ίδιο ελάχιστο μήκος, τότε η χωρητικότητα της πύλης του τρανζίστορ είναι ανάλογη του πλάτους του. Επειδή οι περισσότερες λογικές πύλες οδηγούν άλλες λογικές πύλες, μπορούμε να εκφράσουμε τόσο το C_{in} όσο και το C_{out} σε όρους πλάτους του τρανζίστορ. Αν η χωρητικότητα φορτίου περιλαμβάνει παρασιτική χωρητικότητα εξαιτίας των καλωδίων ή εξωτερικών φορτίων θα την μετατρέψουμε σε ισοδύναμο πλάτος τρανζίστορ. Μπορούμε να φανταστούμε την μονάδα της χωρητικότητας ως την χωρητικότητα της πύλης του τρανζίστορ με το ελάχιστο μήκος και μοναδιαίο πλάτος.

Η παρασιτική καθυστέρηση μιας λογικής πύλης είναι σταθερή, ανεξάρτητη του μεγέθους της λογικής πύλης και της χωρητικότητας του φορτίου που οδηγεί, επειδή τρανζίστορ με μεγαλύτερο πλάτος που παρέχουν υψηλότερο ρεύμα εξόδου έχουν αντίστοιχα μεγαλύτερη χωρητικότητα διάχυσης. Η καθυστέρηση αυτή είναι μία μορφή βάρους που συνοδεύει κάθε πύλη. Η κύρια συνεισφορά στην παρασιτική καθυστέρηση είναι οι χωρητικότητες των περιοχών πηγής(source) και απαγωγού(drain) που οδηγούν την έξοδο της πύλης. Η επόμενες εικόνες παρουσιάζουν χονδρικές εκτιμήσεις της παρασιτικής καθυστέρησης για μερικούς τύπους λογικών πυλών. Βλέπουμε ότι οι παρασιτικές καθυστερήσεις δίνονται ως πολλαπλάσια της παρασιτικής καθυστέρησης του αντιστροφέα που συμβολίζεται με p_{inv} . Μία τυπική τιμή για το p_{inv} είναι 1.0 μονάδες καθυστέρησης. Το p_{inv} εξαρτάται από τις χωρητικότητες διάχυσης αλλά η τιμή 1.0 είναι αντιπροσωπευτική και βολική για ανάλυση με το χέρι. Αυτές οι εκτιμήσεις παραλείπουν τις παρασιτικές χωρητικότητες μεταξύ τρανζίστορ σε σειρά.

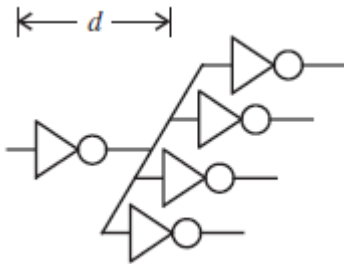
Gate type	Parasitic delay
Inverter	p_{inv}
n -input NAND	$n p_{inv}$
n -input NOR	$n p_{inv}$
n -way multiplexer	$2n p_{inv}$
XOR, XNOR	$4p_{inv}$

Parasitic delay of common gates					
Gate Type	Number of Inputs				
	1	2	3	4	n
inverter	1				
NAND		2	3	4	n
NOR		2	3	4	n
tristate, multiplexer	2	4	6	8	$2n$

Το μοντέλο καθυστέρησης μίας ξεχωριστής λογικής πύλης, όπως αντικατοπτρίζεται στην εξίσωση $d = gh + p$, είναι μία απλή γραμμική σχέση η οποία παρουσιάζεται στην παρακάτω εικόνα γραφικά: η καθυστέρηση εμφανίζεται σαν συνάρτηση του electrical effort για έναν αντιστροφέα και μία πύλη NAND δύο εισόδων. Η κλίση της κάθε ευθείας είναι το logical effort της πύλης. Το σημείο που τέμνεται η ευθεία με τον κάθετο άξονα (d) είναι η παρασιτική καθυστέρηση. Η γραφική παράσταση δείχνει ότι μπορούμε να ρυθμίσουμε την συνολική καθυστέρηση προσαρμόζοντας το electrical effort ή επιλέγοντας μία λογική πύλη με διαφορετικό logical effort. Από τη στιγμή όμως που επιλέξαμε τον τύπο της πύλης όμως, η παρασιτική καθυστέρηση είναι σταθερή και η διαδικασία μας βελτιστοποίησης δεν μπορεί να κάνει κάτι για να την μειώσει.



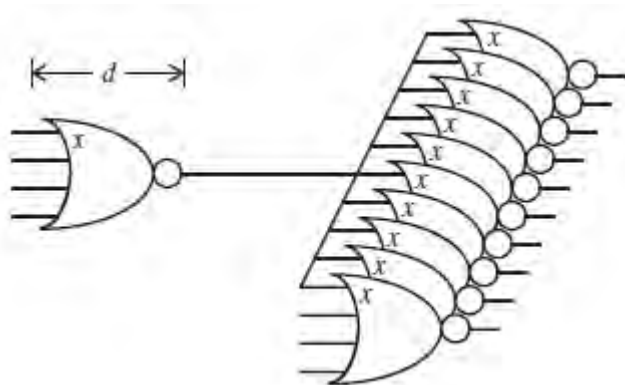
•Παράδειγμα



Θεωρούμε το παραπάνω κύκλωμα του αντιστροφέα που οδηγεί τέσσερις πανομοιότυπους αντιστροφείς(fanout-of-4(FO4)).Θα εκτιμήσουμε την καθυστέρηση του αντιστροφέα.

Επειδή ο κάθε αντιστροφέας είναι πανομοιότυπος τότε $C_{out} = 4 C_{in}$ και συνεπώς $h = 4$. Επίσης το logical effort ενός αντιστροφέα είναι $g = 1$. Έτσι η καθυστέρηση της συγκεκριμένης πύλης θα είναι σύμφωνα με τον βασικό τύπο της καθυστέρησης που είδαμε προηγουμένως $d = gh + p = 1 \times 4 + p_{inv} = 4 + 1 = 5$. Αξίζει να σημειώσουμε ότι είναι βολικό μερικές φορές να εκφράζουμε τον χρόνο σε όρους της καθυστέρησης αντιστροφέα με fanout-of-4 επειδή οι περισσότεροι σχεδιαστές γνωρίζουν την συγκεκριμένη καθυστέρηση στην διαδικασία τους και μπορούν να την χρησιμοποιήσουν για να εκτιμήσουν την απόλυτη απόδοση του κυκλώματος που επεξεργάζονται.

•Παράδειγμα

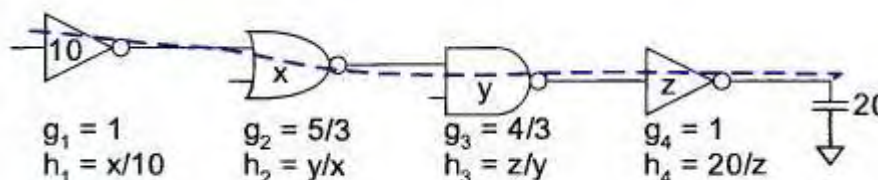


Θεωρούμε το παραπάνω κύκλωμα της NOR4(τεσσάρων εισόδων) που οδηγεί δέκα πανομοιότυπες πύλες. Θα εκτιμήσουμε την καθυστέρηση της NOR4.

Αν η χωρητικότητα της μίας εισόδου της κάθε πύλης NOR4 είναι ίση με x , τότε η NOR4 που οδηγεί τις υπόλοιπες θα έχει $C_{in} = x$ και $C_{out} = 10x$ και συνεπώς το electrical effort είναι $h = 10$. Το logical effort της πύλης NOR4 είναι $g = 9/3 = 3$ όπως το παίρνουμε από τον παραπάνω πίνακα που δείχνει τα logical effort των βασικών πυλών. Έτσι η καθυστέρηση της συγκεκριμένης πύλης είναι $d = gh + p = 3 \times 10 + 4 \times p_{inv} = 30 + 4 = 34$ μονάδες καθυστέρησης. Να σημειώσουμε ότι όταν το φορτίο είναι μεγάλο, όπως στο παράδειγμα, η παρασιτική καθυστέρηση είναι ασήμαντη σε σχέση με το effort delay.

4.3 ΔΙΚΤΥΑ ΠΟΛΛΑΠΛΩΝ ΣΤΑΔΙΩΝ ΛΟΓΙΚΗΣ

Η μέθοδος του Logical Effort αποκαλύπτει τον βέλτιστο αριθμό σταδίων σε ένα δίκτυο πολλών σταδίων καθώς και πώς να πετύχουμε την ελάχιστη συνολική καθυστέρηση εξισορροπώντας την καθυστέρηση μεταξύ των σταδίων. Οι έννοιες των logical και electrical effort γενικεύονται εύκολα από τις ξεχωριστές πύλες σε μονοπάτια πολλών σταδίων όπως στο σχήμα που ακολουθεί που φαίνονται τα logical και electrical efforts του κάθε σταδίου ως συνάρτηση των μεγεθών του κάθε σταδίου.



Το logical effort κατά μήκος ενός μονοπατιού βρίσκεται από τον πολλαπλασιασμό των logical efforts όλων των λογικών πυλών κατά μήκος του μονοπατιού. Χρησιμοποιούμε το κεφαλαίο γράμμα G για να συμβολίσουμε το logical effort του μονοπατιού, έτσι ώστε να διακρίνεται από το g_i , δηλαδή το logical effort μίας μεμονωμένης λογικής πύλης στο μονοπάτι. Ο δείκτης i δείχνει τα λογικά στάδια κατά μήκος του μονοπατιού.

$$G = \prod g_i$$

Το electrical effort κατά μήκος ενός μονοπατιού μέσω ενός δικτύου είναι απλά ο λόγος της χωρητικότητας που φορτώνει η τελευταία λογική πύλη στο μονοπάτι προς την χωρητικότητα εισόδου της πρώτης πύλης στο μονοπάτι. Χρησιμοποιούμε το κεφαλαίο γράμμα H για να συμβολίσουμε το electrical effort κατά μήκος ενός μονοπατιού.

$$H = \frac{C_{out}}{C_{in}}$$

Σε αυτή την περίπτωση τα C_{in} και C_{out} στις χωρητικότητες εισόδου και εξόδου αντίστοιχα του μονοπατιού στο σύνολό του.

Χρειάζεται να εισάγουμε ένα νέο είδος effort, που ονομάζεται branching effort, για τον λογαριασμό του fanout μέσα σε ένα δίκτυο. Μέχρι τώρα έχουμε μεταχειριστεί το fanout ως μία μορφή electrical effort: όταν η λογική πύλη οδηγεί αρκετά φορτία, αθροίζουμε τις χωρητικότητές τους για να βρούμε το electrical effort. Μεταχειρίζοντας το fanout ως μίας μορφή electrical effort όταν το fanout εμφανίζεται στην τελική έξοδο του δικτύου. Αυτή η μέθοδος είναι λιγότερο κατάλληλη το fanout εμφανίζεται μέσα σε ένα λογικό δίκτυο επειδή γνωρίζουμε ότι το electrical effort για ένα δίκτυο εξαρτάται μόνο από τον λόγο της χωρητικότητας εξόδου προς την χωρητικότητα εισόδου.

Όταν το fanout εμφανίζεται μέσα σε ένα λογικό δίκτυο κάποια από τα διαθέσιμα ρεύματα οδήγησης κατευθύνονται κατά μήκος του μονοπατιού που αναλύουμε και κάποια εκτός αυτού. Ορίζουμε λοιπόν το branching effort b στην έξοδο μίας λογικής πύλης ως εξής:

$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}} = \frac{C_{total}}{C_{useful}}$$

όπου Con-path είναι η χωρητικότητα φορτίου κατά μήκος του καναλιού που αναλύουμε και Coff-path είναι η χωρητικότητα των συνδέσεων που οδηγεί εκτός του μονοπατιού. Εάν το μονοπάτι δεν έχει διακλαδώσεις τότε το branching effort είναι ένα. Το branching effort κατά μήκος ενός ολόκληρου μονοπατιού B είναι το γινόμενο των branching effort σε κάθε ένα από τα στάδια κατά μήκος του μονοπατιού:

$$B = \prod b_i$$

Έχοντας λοιπόν ορίσει τα logical, electrical και branching effort κατά μήκος ενός μονοπατιού μπορούμε να ορίσουμε το path effort F. Χρησιμοποιούμε κεφαλαίο συμβολισμό για να το διαχωρίζουμε από το stage effort f το οποίο συνδέεται με ένα μεμονωμένο λογικό στάδιο. Η εξίσωση που ορίζει το path effort θυμίζει την εξίσωση του effort delay και είναι η:

$$F = GBH$$

Το path branching και το electrical effort σχετίζονται με το electrical effort του κάθε σταδίου ως εξής:

$$BH = \frac{C_{out}}{C_{in}} \prod b_i = \prod h_i$$

Οι σχεδιαστές γνωρίζουν τα C_{in} , C_{out} και τα branching effort b_i από τις προδιαγραφές του μονοπατιού. Το να ρυθμίσουμε το μέγεθος του μονοπατιού αποτελείται από την επιλογή κατάλληλων electrical efforts h_i για κάθε στάδιο για να ταιριάξει με το τελικό γινόμενο BH.

Παρόλο που δεν είναι άμεση μέτρηση της καθυστέρησης κατά μήκος του μονοπατιού, το path effort είναι το κλειδί για την ελαχιστοποίηση της καθυστέρησης. Παρατηρούμε ότι το path effort εξαρτάται μόνο από την τοπολογία του δικτύου και το φορτίο του και όχι από τα μεγέθη των τρανζίστορ των λογικών πυλών που ενσωματώνονται στο κύκλωμα. Επίσης, το effort δεν αλλάζει εάν προστεθούν ή αφαιρεθούν αντιστροφείς στο/από το μονοπάτι επειδή το logical effort του αντιστροφέα είναι ένα. Το path effort σχετίζεται με την ελάχιστη εφικτή καθυστέρηση κατά μήκος ενός μονοπατιού και μας επιτρέπει να υπολογίσουμε την καθυστέρηση εύκολα. Μόνο λίγη περισσότερη δουλειά μας δίνει τον μέγιστο αριθμό σταδίων και τα κατάλληλα μεγέθη τρανζίστορ πετύχουμε την ελάχιστη καθυστέρηση.

Η καθυστέρηση του μονοπατιού D είναι το άθροισμα των καθυστερήσεων του κάθε σταδίου λογικής στο μονοπάτι. Όπως στην έκφραση της καθυστέρησης ενός μεμονωμένου σταδίου μπορούμε να ξεχωρίσουμε την καθυστέρηση path effort DF και την παρασιτική καθυστέρηση μονοπατιού P:

$$D = \sum d_i = D_F + P$$

Η καθυστέρηση path effort DF είναι:

$$D_F = \sum g_i h_i$$

και η παρασιτική καθυστέρηση μονοπατιού είναι:

$$P = \sum p_i$$

Βελτιστοποιώντας την σχεδίαση ενός δικτύου N-λογικών σταδίων προέρχεται από μία πολύ απλή αρχή: Η καθυστέρηση μονοπατιού είναι ελάχιστη όταν κάθε στάδιο του μονοπατιού φέρει το ίδιο stage effort. Η ελάχιστη καθυστέρηση επιτυγχάνεται όταν το stage effort είναι:

$$\hat{f} = g_i h_i = F^{1/N}$$

Χρησιμοποιούμε περισπωμένη πάνω από το f για να δείξουμε ότι η έκφραση πετυχαίνει ελάχιστη καθυστέρηση.

Συνδυάζοντας αυτές τις εξισώσεις παίρνουμε το κύριο αποτέλεσμα της μεθόδου του logical effort, το οποίο είναι μία έκφραση για την ελάχιστη καθυστέρηση που επιτυγχάνεται κατά μήκος ενός μονοπατιού:

$$\hat{D} = NF^{1/N} + P$$

Από έναν απλό υπολογισμό των logical, branching και electrical effort μπορούμε να πάρουμε μία εκτίμηση της ελάχιστης καθυστέρησης ενός λογικού δικτύου. Παρατηρούμε ότι για $N=1$ η εξίσωση παίρνει μετατρέπεται στην αντίστοιχη εξίσωση για την καθυστέρηση μίας μεμονωμένης λογικής πύλης.

Για να εξισώσουμε τα effort που λαμβάνουμε σε κάθε στάδιο του μονοπατιού και συνεπώς να πετύχουμε την ελάχιστη καθυστέρηση κατά μήκος του μονοπατιού, πρέπει να επιλέξουμε κατάλληλα μεγέθη τρανζίστορ για κάθε στάδιο λογικής κατά μήκος του μονοπατιού. Η εξίσωση του \hat{f} δείχνει ότι κάθε λογικό στάδιο πρέπει να σχεδιάζεται με electrical effort :

$$\hat{h}_i = \frac{F^{1/N}}{g_i}$$

Από την σχέση αυτή μπορούμε να καθορίσουμε το μέγεθος των τρανζίστορ των πυλών κατά μήκος ενός μονοπατιού. Ξεκινάμε έτσι από το τέλος του μονοπατιού και δουλεύουμε οπισθοδρομώντας, εφαρμόζοντας τον μετασχηματισμό χωρητικότητας:

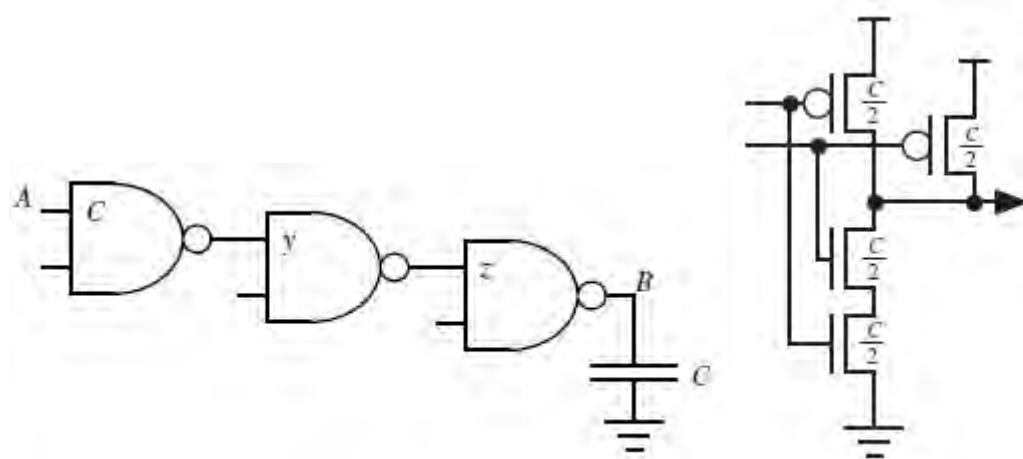
$$C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$

Αυτό καθορίζει την χωρητικότητα εισόδου κάθε πύλης, η οποία μπορεί μετά να κατανεμηθεί κατάλληλα μεταξύ των τρανζίστορ που συνδέονται στην είσοδο. Μπορούμε να ξεκαθαρίσουμε αυτή την μέθοδο μέσω κάποιων παραδειγμάτων.

Ας δούμε τώρα ορισμένα παραδείγματα που θα βοηθήσουν στην κατανόηση αυτής της μεθόδου.

..

•Παράδειγμα



Θεωρούμε στο παραπάνω σχήμα ένα μονοπάτι από το A στο B το οποίο περιλαμβάνει 3 πύλες NAND 2 εισόδων. Η χωρητικότητα εισόδου της πρώτης πύλης είναι ίση με C και η χωρητικότητα φορτίου της τελευταίας πύλης είναι και αυτή ίση με C. Θα υπολογίσουμε την ελάχιστη καθυστέρηση του μονοπατιού καθώς και τα μεγέθη των τρανζίστορ ώστε να επιτευχθεί η ελάχιστη καθυστέρηση.

Για να υπολογίσουμε το path effort χρειάζεται να υπολογίσουμε πρώτα τα logical, branching και electrical effort κατά μήκος του μονοπατιού. Το logical effort του μονοπατιού G είναι το γινόμενο των logical effort των τριών πυλών NAND:

$$G = g_0 g_1 g_2 = 4/3 \times 4/3 \times 4/3 = 2.37$$

Το branching effort είναι B=1 επειδή όλα τα fanout κατά μήκος του μονοπατιού είναι ένα, δηλαδή δεν υπάρχουν διακλαδώσεις. Το electrical effort είναι H=C/C=1.

Επομένως το path effort είναι F=GBH=2.37. Η ελάχιστη καθυστέρηση που μπορεί να επιτευχθεί κατά μήκος του μονοπατιού είναι:

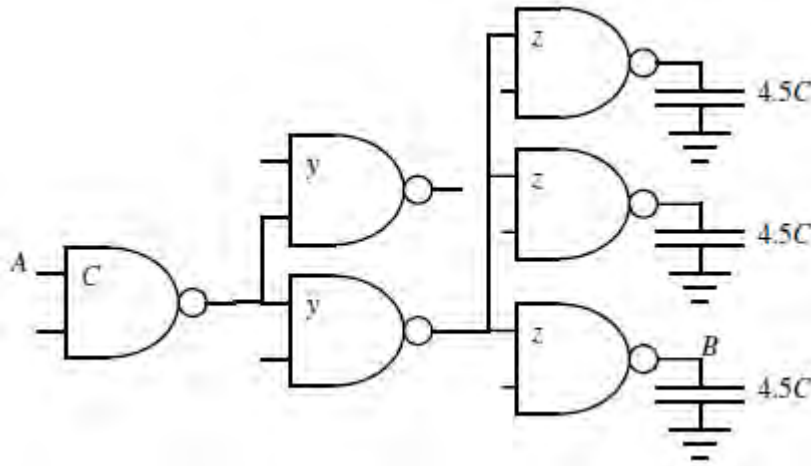
$$D = 3(2.37)^{1/3} + 3(2\pi\tau_{in}) = 10 \text{ μονάδες καθυστέρησης}$$

Η ελάχιστη καθυστέρηση μπορεί να επιτευχθεί εάν τα μεγέθη των τρανζίστορ των λογικών πυλών επιλεγούν κατάλληλα. Υπολογίζουμε έτσι πρώτα το stage effort: $f = (2.37)^{1/3} = 4/3$. Ξεκινώντας από το φορτίο εξόδου C εφαρμόζουμε τον μετασχηματισμό χωρητικότητας που είδαμε πιο πάνω για να υπολογίσουμε την χωρητικότητα $z = C(4/3)/(4/3) = C$. Ομοίως $y = z(4/3)/(4/3) = z = C$. Βλέπουμε λοιπόν ότι και οι τρεις πύλες NAND πρέπει να έχουν την ίδια χωρητικότητα εισόδου C. Το οποίο σημαίνει ότι τα μεγέθη των τρανζίστορ των τριών πυλών θα είναι τα ίδια. Αυτό δεν μας προκαλεί έκπληξη καθώς όλα τα στάδια έχουν το ίδιο φορτίο και το ίδιο logical effort και συνεπώς έχουν το ίδιο effort το οποίο αποτελεί την προϋπόθεση για την ελαχιστοποίηση της καθυστέρησης του μονοπατιού. Τα μεγέθη των τρανζίστορ της κάθε πύλης NAND φαίνονται στο παραπάνω σχήμα όπου τα pmos έχουν την μισή κινητικότητα των nmos γι' αυτό και έχουμε σε κάθε τρανζίστορ χωρητικότητα C/2 και συνεπώς σε κάθε είσοδο σύνολο C.

* Παρατήρηση

Αν η χωρητικότητα φορτίου της τελευταίας λογικής πύλης είναι μεγαλύτερη από την χωρητικότητα εισόδου της πρώτης πύλης τότε και η καθυστέρηση προφανώς θα είναι μεγαλύτερη από ότι στο προηγούμενο παράδειγμα όμως όχι της ίδιας τάξης με την διαφορά των χωρητικοτήτων αλλά μικρότερης.

•Παράδειγμα



Θεωρούμε το παραπάνω κύκλωμα. Θέλουμε να το βελτιστοποιήσουμε με σκοπό να πετύχουμε την ελάχιστη καθυστέρηση κατά μήκος του μονοπατιού από το A στο B με το electrical effort του μονοπατιού να είναι ίσο με 4.5.

Το logical effort του μονοπατιού είναι $G = (4/3)(4/3)(4/3)$. Το branching effort στην έξοδο του πρώτου σταδίου είναι $(y + y)/y = 2$ και στην έξοδο του δεύτερου σταδίου είναι $(z + z + z)/z = 3$. Το συνολικό branching effort B είναι το γινόμενο των επιμέρους δηλαδή $B = 2 \times 3 = 6$. Το electrical effort έχει οριστεί από την αρχή $H = 4.5$. Οπότε το path effort είναι $F = GBH = 64$ και η ελάχιστη καθυστέρηση που μπορεί να επιτευχθεί κατά μήκος του μονοπατιού είναι:

$$D = 3(64)^{1/3} + 3(2 \text{rin}) = 18 \text{ μονάδες καθυστέρησης}$$

Για να πετύχουμε την ελάχιστη καθυστέρηση πρέπει να ισοφαρίσουμε το effort σε κάθε στάδιο. Υπολογίζουμε έτσι πρώτα το stage effort $f = (64)^{1/3} = 4$. Ξεκινώντας από την έξοδο, $z = 4.5C \times (4/3)/4 = 1.5C$. Το δεύτερο στάδιο οδηγεί τρία αντίγραφα του τρίτου σταδίου και έτσι $y = 3z \times (4/3)/4 = z = 1.5C$. Τέλος μπορούμε να τσεκάρουμε το αποτέλεσμα βρίσκοντας το μέγεθος του πρώτου σταδίου $2y \times (4/3)/4 = (2/3)y = C$ όπως δηλαδή δίνεται στις προδιαγραφές.

•Παράδειγμα

Θεωρούμε τρία εναλλακτικά κυκλώματα για να οδηγήσουμε ένα φορτίο που είναι ίσο με 25 φορές την χωρητικότητα εισόδου του κυκλώματος. Η πρώτη σχεδίαση χρησιμοποιεί έναν αντιστροφέα, η δεύτερη χρησιμοποιεί τρεις αντιστροφείς σε σειρά και η τρίτη πέντε αντιστροφείς σε σειρά. Όλες οι διαφορετικές υλοποιήσεις υπολογίζουν την ίδια λογική συνάρτηση. Θα επιλέξουμε την καλύτερη σχεδίαση και θα υπολογίσουμε την ελάχιστη καθυστέρηση.

Και στις τρεις περιπτώσεις το logical effort του μονοπατιού είναι 1, το branching effort είναι 1 και το electrical effort είναι 25. Η ελάχιστη καθυστέρηση είναι:

$$D = N(25) + N \text{rin} \text{ όπου } N = 1 \text{ ή } 3 \text{ ή } 5.$$

Για $N = 1$ έχουμε $D = 26$ μονάδες καθυστέρησης

Για $N = 3$ έχουμε $D = 11.8$ μονάδες καθυστέρησης

Για $N = 5$ έχουμε $D = 14.5$ μονάδες καθυστέρησης

Συνεπώς η καλύτερη επιλογή είναι για $N = 3$. Σε αυτή την υλοποίηση κάθε στάδιο θα φέρει effort ίσο με $(25)^{1/3} = 2.9$, έτσι κάθε αντιστροφέας θα είναι 2.9 φορές μεγαλύτερος από τον προηγούμενό του.

* Παρατήρηση

Το τελευταίο παράδειγμα δείχνει ότι η μέγιστη ταχύτητα που μπορεί να επιτευχθεί εξαρτάται από τον αριθμό των σταδίων στο κύκλωμα. Από τη στιγμή που η καθυστέρηση του μονοπατιού ποικίλλει σημαντικά για διάφορες τιμές του N , χρειάζεται μια μέθοδος για την επιλογή του N με σκοπό την ελάχιστη καθυστέρηση.

4.4 ΕΠΙΛΟΓΗ ΤΟΥ ΒΕΛΤΙΣΤΟΥ ΑΡΙΘΜΟΥ ΣΤΑΔΙΩΝ

Δεδομένης μίας συγκεκριμένης τοπολογίας δικτύου, ξέρουμε πώς να εκτιμήσουμε την καθυστέρηση και να επιλέξουμε τα μεγέθη των τρανζίστορ. Όμως υπάρχουν διαφορετικές τοπολογίες που υλοποιούν την συγκεκριμένη λογική συνάρτηση. Το logical effort μας λέει ότι οι NANDs είναι καλύτερες από τις NORs και ότι πύλες με λιγότερες εισόδους είναι καλύτερες από πύλες με περισσότερες. Το logical effort μπορεί να χρησιμοποιηθεί για την πρόβλεψη του καλύτερου αριθμού σταδίων που πρέπει να χρησιμοποιηθούν.

Οι σχεδιαστές λογικής μερικές φορές εκτιμούν την καθυστέρηση μετρώντας τον αριθμό των σταδίων λογικής, υποθέτοντας ότι κάθε στάδιο έχει σταθερή «καθυστέρηση πύλης». Αυτό είναι ενδεχομένως παραπλανητικό επειδή συνεπάγεται ότι τα γρηγορότερα κυκλώματα είναι εκείνα τα οποία χρησιμοποιούν λιγότερα στάδια λογικής. Φυσικά η καθυστέρηση πύλης πραγματικά εξαρτάται από το electrical effort, έτσι μερικές φορές χρησιμοποιώντας λιγότερα στάδια έχει ως συνέπεια μεγαλύτερη καθυστέρηση.

ΣΥΝΟΨΗ

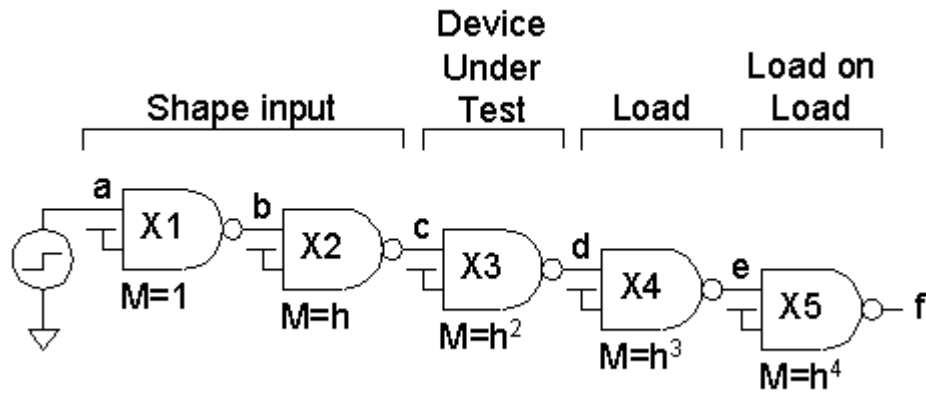
Η μέθοδος του Logical Effort παρέχει έναν εύκολο τρόπο για να συγκρίνουμε και να επιλέγουμε τοπολογίες κυκλωμάτων, να επιλέγουμε τον καλύτερο αριθμό σταδίων για ένα μονοπάτι και να εκτιμούμε την καθυστέρηση ενός μονοπατιού. Παρακάτω συνοψίζονται όλοι οι τύποι και οι συμβολισμοί για την μέθοδο αυτή τόσο για μεμονωμένες πύλες όσο και για μονοπάτια.

Summary of Logical Effort notation		
Term	Stage Expression	Path Expression
number of stages	1	N
logical effort	g	$G = \prod g_i$
electrical effort	$b = \frac{C_{out}}{C_{in}}$	$H = \frac{C_{out(path)}}{C_{in(path)}}$
branching effort	$b = \frac{C_{onpath} + C_{offpath}}{C_{onpath}}$	$B = \prod b_i$
effort	$f = gb$	$F = GBH$
effort delay	f	$D_F = \sum f_i$
parasitic delay	p	$P = \sum p_i$
delay	$d = f + p$	$D = \sum d_i = D_F + P$

4.5 HSPICE

Το HSPICE (Simulation Program with Integrated Circuit Emphasis) είναι ένα πολύτιμο εργαλείο γενικού σκοπού της βιομηχανίας για την ακριβή προσομοίωση αναλογικών και ηλεκτρονικών κυκλωμάτων. Είναι ένα open source ισχυρό πρόγραμμα που χρησιμοποιείται στα ολοκληρωμένα κυκλώματα και στην σχεδίασή τους για τον έλεγχο της ακεραιότητας των σχεδιάσεων των κυκλωμάτων και για την πρόβλεψη της συμπεριφοράς τους. Επειδή είναι το πιο αξιόπιστο και ολοκληρωμένο εργαλείο προσομοίωσης κυκλωμάτων στον κλάδο θα το χρησιμοποιήσουμε στην εργασία μας.

Για να δείξουμε πως χρησιμοποιούμε το HSPICE προκειμένου να υπολογίσουμε τα logical effort και parasitic delay θα θεωρήσουμε τον παρακάτω κώδικα, ο οποίος υλοποιεί την τοπολογία που φαίνεται στο επόμενο σχήμα.



```

-----
*
*
*****
*****
* *
*
* *
*
* *
*
* *
*
* * Nangate and the Nangate logo are trademarks of Nangate Inc.
*
* *
*
* * All trademarks, logos, software marks, and trade names
(collectively the
* * "Marks") in this program are proprietary to Nangate or other
respective
* * owners that have granted Nangate the right and license to use
such Marks.
* * You are not permitted to use the Marks without the prior written
consent
* * of Nangate or such third party that may own the Marks.
*
* *
*
* * This file has been provided pursuant to a License Agreement
containing
* * restrictions on its use. This file contains valuable trade
secrets and
* * proprietary information of Nangate Inc., and is protected by U.S.
and
* * international laws and/or treaties.
*
* *
*
* * The copyright notice(s) in this file does not indicate actual or
intended
* * publication of this file.
*
* *
*
* * NGLibraryCreator, v2009.07-HR28-2009-07-08 - build
0907160200
*

```

```

* *
*
*
*****
*****
*
*
*

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND2_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NAND2_X1 A1 A2 ZN VDD VSS
M_i_0 net_000 A2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 ZN A1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 ZN A2 VDD VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
M_i_18 VDD A1 ZN VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1    VDD   B1    VDD   VSS   NAND2_X1
X2    B1    VDD   C1    VDD   VSS   NAND2_X1

```

```

X3      C1      VDD      D1      VDD      VSS      NAND2_X1
X4      D1      VDD      E1      VDD      VSS      NAND2_X1      m=fanout
x5      E1      VDD      F1      VDD      VSS      NAND2_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```

Για το συγκεκριμένο αρχείο HPICE χρησιμοποιούμε την πύλη NAND2_X1 η οποία υλοποιείται και παρέχεται από την Nangate Open Cell Library.

Ξεκινάει λοιπόν το αρχείο μας με την εντολή `.param SUPPLY=1.25v` η οποία θέτει την μεταβλητή τάσης(supply) στα 1.25Volt.

Ακολουθεί η εντολή `.OPTION POST` χάρη στην οποία αποθηκεύονται τα αποτελέσματα της προσομοίωσης ώστε να μπορούμε να τα δούμε.

Η εντολή `.INCLUDE`

```
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

συμπεριλαμβάνει στο αρχείο μας(.sp) τα μοντέλα των τρανζίστορ τα οποία βρίσκονται σε συγκεκριμένο φάκελο στο path που φαίνεται και τα οποία χρησιμοποιούνται για την περιγραφή και υλοποίηση των υποκυκλωμάτων που θα χρησιμοποιηθούν μετέπειτα. Με την συγκεκριμένη συμπεριλαμβάνονται τα μοντέλα για το SS Corner.

Οι τρεις επόμενες εντολές `.GLOBAL VDD`, `.GLOBAL VSS`, `VG VSS 0 0` ορίζουν τους καθολικούς κόμβους τροφοδοσίας(VDD) και γείωσης(VSS) και θέτουν την τιμή 0 στην γείωση.

Ακολουθεί ένα σύνολο εντολών το οποίο ορίζει το υποκύκλωμα της NAND2_X1, δηλαδή ορίζει πως συνδέονται τα τρανζίστορ μεταξύ τους καθώς και τα μεγέθη τους. `.SUBCKT NAND2_X1 A1 A2 ZN VDD VSS`

```
M_i_0 net_000 A2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
```

```
M_i_5 ZN A1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
```

```
M_i_11 ZN A2 VDD VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
```

```
M_i_18 VDD A1 ZN VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
```

```
.ENDS
```

Οι επόμενες εντολές ορίζουν την βασική τοπολογία του κυκλώματός μας όπως αυτό φαίνεται στην παραπάνω εικόνα καθώς και το σήμα που εφαρμόζεται στην μία είσοδο της πρώτης πύλης NAND2_X1.

```
vdd    VDD    VSS    'SUPPLY'
vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    VDD    B1     VDD    VSS    NAND2_X1
X2     B1    VDD    C1     VDD    VSS    NAND2_X1
X3     C1    VDD    D1     VDD    VSS    NAND2_X1
X4     D1    VDD    E1     VDD    VSS    NAND2_X1    m=fanout
x5     E1    VDD    F1     VDD    VSS    NAND2_X1
```

Επίσης στην πύλη X4 χρησιμοποιούμε το `m=fanout` με σκοπό να υπολογίσουμε το logical effort κάνοντας την γραφική καθυστέρησης-fanOut.

Σε συνδυασμό λοιπόν με την εντολή

```
.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1
```

γίνονται 5 συνεχόμενες transient προσομοιώσεις για fanOut στην X3(Device Under Test) από 1 έως 5.

Προκειμένου να υπολογίσουμε την καθυστέρησης διάδοσης(propagation delay) χρειάζεται να εισάγουμε εντολές `.measure` για να μετρήσουμε τον χρόνο καθυστέρησης ανόδου και καθόδου και τελικά τη μέση τιμή των δύο αυτών χρόνων.

```
.measure tpd
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1
```

```
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1
```

```
.measure tpd param='(tpdr+tpdf)/2'
```

Το TRIG(trigger) καθορίζει πότε θα ξεκινήσει η μέτρηση και το TARG(target) πότε θα σταματήσει η μέτρηση.

Ακολουθώντας με την εντολή `.ALTER` επαναλαμβάνουμε την προσομοίωση αφού αλλάζουμε το design corner, περιλαμβάνοντας τα μοντέλα για το FF corner με την εντολή

```
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'.
```

Το `.END` σηματοδοτεί το τέλος του αρχείου μας(.sp).

Οι κώδικες που θα χρησιμοποιήσουμε στη συνέχεια για να βρούμε τα αποτελέσματα που μας ενδιαφέρουν είναι παρεμφερείς με αυτόν που μόλις περιγράψαμε.

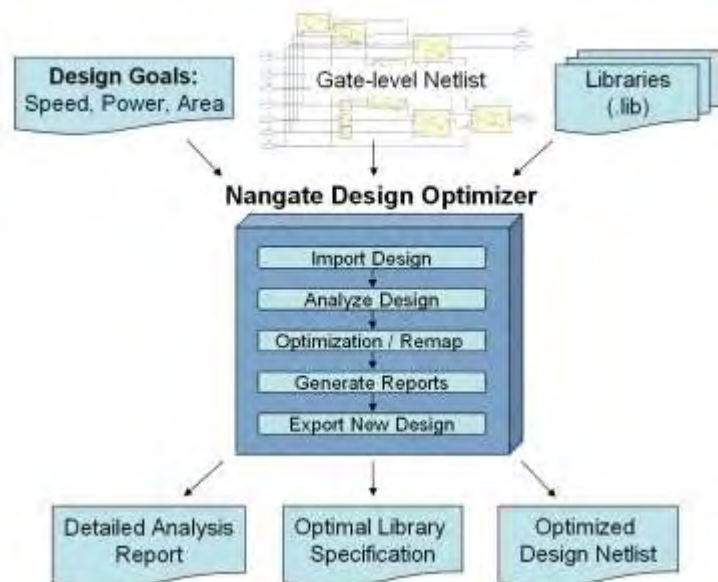
4.6 NANGATE OPEN CELL LIBRARY

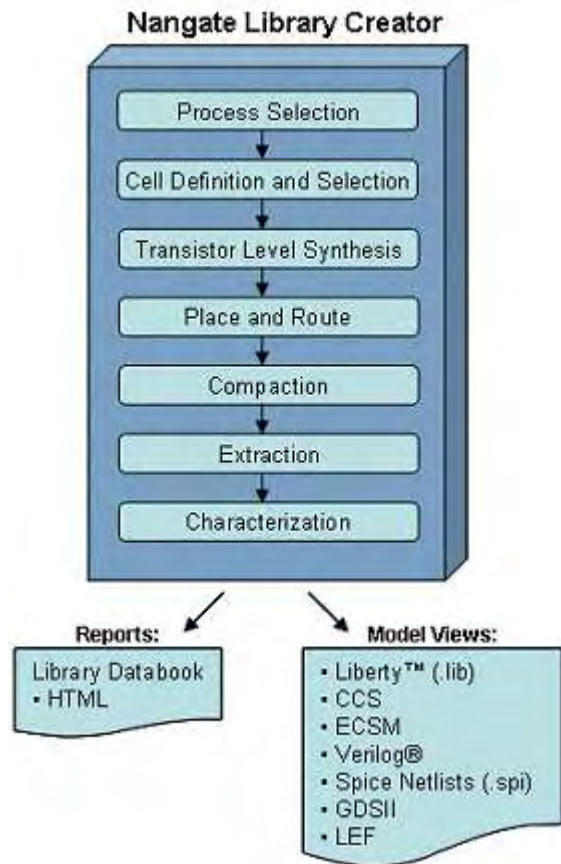
Η NANGATE είναι μία εταιρία η οποία ιδρύθηκε τον Οκτώβριο του 2004 από έμπειρους επαγγελματίες του Hardware που εργάζονταν σε μεγάλες και αναγνωρισμένες εταιρίες σχεδίασης ολοκληρωμένων κυκλωμάτων CMOS VLSI. Η NANGATE αξιοποιεί δεκάδες σχεδιασμούς ολοκληρωμένων κυκλωμάτων και ειδικεύεται σε ανάπτυξη εργαλείων EDA(Electronic Design Automation).

Στοχεύει στην δημιουργία προκαθορισμένων standard cell libraries. Παρέχει μία ολοκληρωμένη λύση που στοχεύει στο να διευκολύνει τις εταιρίες Hardware στο έργο τους ώστε να μειωθεί ο χρόνος σχεδιασμού και το κόστος της παραγωγής. Οι standard cell libraries πρωτοεμφανίστηκαν περίπου πριν 40 χρόνια και συνεχίζουν να εξελίσσονται μέρα με τη μέρα ώστε να συμβαδίζουν με την αυξανόμενη πολυπλοκότητα των σχεδιάσεων των ολοκληρωμένων κυκλωμάτων.

Στην συγκεκριμένη πτυχιακή εργασία χρησιμοποιούμε την standard cell library που μας παρέχει η συγκεκριμένη εταιρία.

Στις παρακάτω εικόνες φαίνεται η διαδικασία δημιουργίας των βιβλιοθηκών των standard cells όπως την παρουσιάζει η NANGATE.





4.7 ΠΡΟΣΟΜΟΙΩΣΕΙΣ ΓΙΑ ΧΑΡΑΚΤΗΡΙΣΜΟ ΤΩΝ ΠΥΛΩΝ

Θα περιγράψουμε τώρα πως θα γίνει ο χαρακτηρισμός των standard cells που μας παρέχει η NANGATE Open Cell Library. Όπως είπαμε και προηγουμένως αυτό γίνεται με την βοήθεια του HSPICE με κώδικα παρόμοιο με του αντιστροφέα που παρουσιάσαμε ήδη. Ο χαρακτηρισμός λοιπόν θα γίνει με την τεχνική του Logical Effort.

Έστω ότι έχουμε την πύλη NAND2_X1. Δημιουργούμε ένα μονοπάτι συνδέοντας πέντε πανομοιότυπες πύλες(NAND2_X1) σε σειρά. Δηλαδή η έξοδος της μίας πύλης θα είναι η μία είσοδος της άλλης κ.ο.κ. Στην δεύτερη είσοδο της πύλης βάζουμε την τροφοδοσία VDD. Αυτό το κάνουμε επειδή αν βάζαμε σαν δεύτερη είσοδο την γείωση(VSS) τότε η έξοδος θα έβγαζε πάντα 1, ανεξαρτήτως του παλμού. Ενώ, έτσι γίνεται εφικτό να διαδοθεί ο παλμός από την είσοδο στην έξοδο. Για την NOR2 θα βάλουμε σαν δεύτερη είσοδο την γείωση VSS για τον αντίστοιχο λόγο. Οι δύο πρώτες πύλες χρησιμοποιούνται για να δώσουν την κατάλληλη μορφή στο σήμα εισόδου ώστε να περάσει στην τρίτη πύλη(Device Under Test) η οποία είναι και αυτή που ελέγχουμε(μετράμε με το .measure) για τον χαρακτηρισμό. Επίσης, οι δύο τελευταίες πύλες είναι τα φορτία τα οποία είναι απαραίτητα για τον υπολογισμό του logical effort(g).

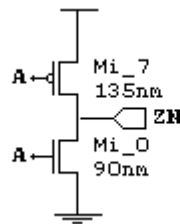
Έπειτα χρησιμοποιούμε το HSPICE για να βρούμε το χρόνο καθυστέρησης διάδοσης (trpd) στην πύλη X3(DUT) για fanOut 1 μέχρι 5. Με τις πέντε τιμές των trpd

που βρήκαμε σχηματίζουμε την γραφική παράσταση `time_propagation_delay` versus `fanOut` και υπολογίζουμε την κλίση της ευθείας. Το μοντέλο αυτό της εκτίμησης της καθυστέρησης είναι γραμμικό, γι' αυτό και η γραφική βγαίνει ευθεία. Κατόπιν βρίσκουμε τον λόγο της κλίσης της ευθείας για την πύλη που εξετάζουμε προς την κλίση της ευθείας για τον μικρότερο Inverter της βιβλιοθήκης(εδώ ο `INV_X1`). Ο αριθμός που βρήκαμε είναι το `logical effort(g)` της πύλης μας.

Στη συνέχεια για να βρούμε την παρασιτική καθυστέρηση(`p`) της πύλης εκτελούμε δύο προσομοιώσεις με το HSPICE. Η μία θα υπολογίζει πάλι το `trpd` της τρίτης πύλης χωρίς όμως αυτή τη φορά το φορτίο, δηλαδή χωρίς τις πύλες X4 και X5(και συνεπώς χωρίς `fanOut`). Η δεύτερη θα κάνει ακριβώς το ίδιο για τον μικρότερο αντιστροφέα. Ο λόγος των δύο καθυστερήσεων είναι η παρασιτική καθυστέρηση.

Επίσης βρίσκουμε τα `g` και `p` για δύο διαφορετικά Corners. Το SS corner δηλαδή για `slow nmos` και `pmos`, χαμηλή τάση και υψηλή θερμοκρασία και το FF corner που είναι για `fast nmos` και `pmos`, υψηλή τάση και χαμηλή θερμοκρασία. Με τον ίδιο ακριβώς τρόπο υπολογίζουμε τα `g` και `p` για τις υπόλοιπες πύλες.

INV_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname:   INV_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
```

```

*
*
*****
*****
.SUBCKT INV_X1 A ZN VDD VSS
M_i_0 ZN A VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 ZN A VDD VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****
Vdd    VDD    VSS    'SUPPLY'
Vin    A      VSS    PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A      B1     VDD    VSS    INV_X1
X2     B1     C1     VDD    VSS    INV_X1
X3     C1     D1     VDD    VSS    INV_X1
X4     D1     E1     VDD    VSS    INV_X1  m=fanout
x5     E1     F1     VDD    VSS    INV_X1
.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

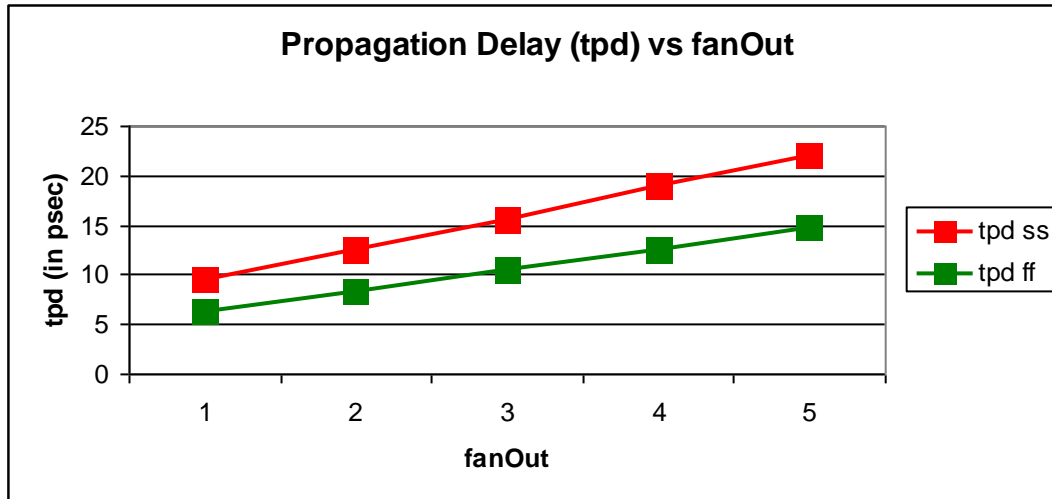
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.08925x + 6,35776$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.08925/3.08925 = 1$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.3064\text{E-}12/6.3064\text{E-}12 = 1$$

FF Corner

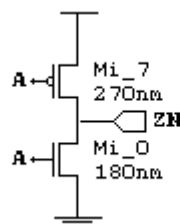
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.109725x + 4.178375$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.109725/2.109725 = 1$.

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 4.2654\text{E-}12/4.2654\text{E-}12 = 1$$

INV_X2



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

VG VSS 0 0

```
*****
*****
*
*
* Cellname:   INV_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT INV_X2 A ZN VDD VSS
M_i_0 ZN A VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_7 ZN A VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
.ENDS

*****
*****
*
* END
*
*****
*****

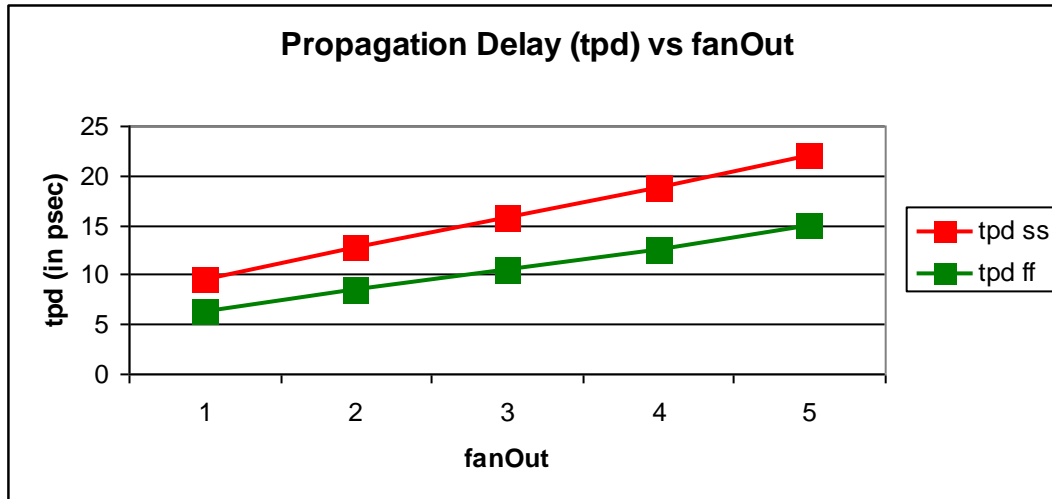
Vdd   VDD   VSS   'SUPPLY'
Vin   A     VSS   PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A     B1    VDD   VSS   INV_X2
X2    B1    C1    VDD   VSS   INV_X2
X3    C1    D1    VDD   VSS   INV_X2
X4    D1    E1    VDD   VSS   INV_X2 m=fanout
x5    E1    F1    VDD   VSS   INV_X2
.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.14947x + 6,321625$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.14947/3.08925 = 1.01$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.2928\text{E-}12/6.3064\text{E-}12 = 1$$

FF Corner

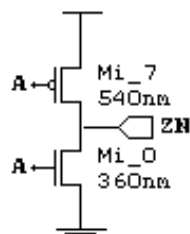
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.133x + 4.18$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.133/2.109725 = 1.01$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 4.2704\text{E-}12/4.2654\text{E-}12 = 1.001$$

INV_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
```

```

.GLOBAL VSS

VG VSS 0 0

.SUBCKT INV_X4 A ZN VDD VSS
M_i_0 ZN A VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_7 ZN A VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A      VSS    PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A      B1     VDD    VSS    INV_X4
X2     B1     C1     VDD    VSS    INV_X4
X3     C1     D1     VDD    VSS    INV_X4
*X4    D1     E1     VDD    VSS    INV_X4 m=fanout
*x5    E1     F1     VDD    VSS    INV_X4

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

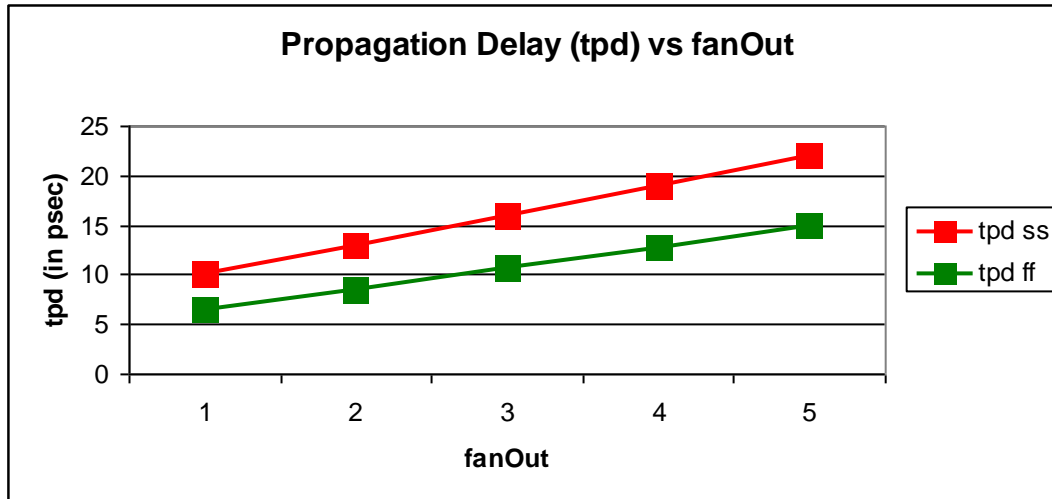
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.14419x + 6,4925$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.14419/3.08925 = 1.017$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.4720\text{E-}12/6.3064\text{E-}12 = 1.026$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2,145475x + 4.229625$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.145475/2.109725 = 1.016$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 4.3950\text{E-}12/4.2654\text{E-}12 = 1.03$$

INV_X8



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
```

```

.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   INV_X8.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT INV_X8 A ZN VDD VSS
M_i_0 ZN A VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_7 VSS A ZN VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_13 ZN A VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_20 VDD A ZN VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A     VSS   PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A     B1    VDD   VSS   INV_X8
X2    B1    C1    VDD   VSS   INV_X8
X3    C1    D1    VDD   VSS   INV_X8
X4    D1    E1    VDD   VSS   INV_X8   m=fanout
x5    E1    F1    VDD   VSS   INV_X8

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

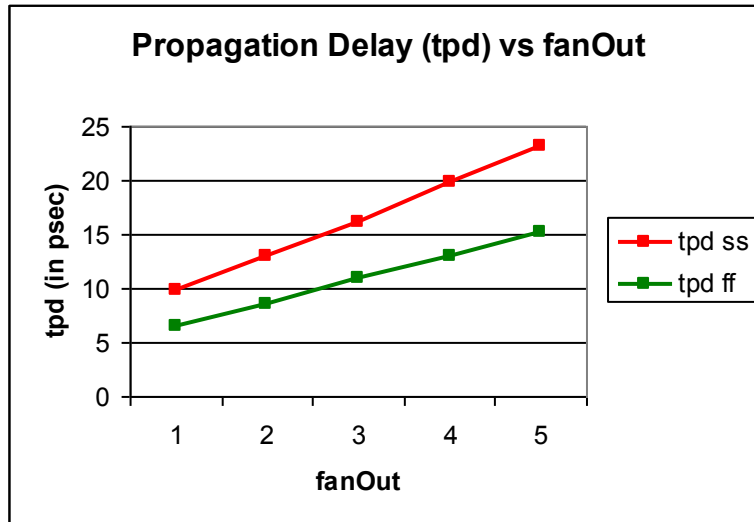
.measure tpd param=(tpdr+tpdf)/2'

```



```
.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.2989x + 6.5695$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.2989/3.08925 = 1.068$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.4658\text{E-}12/6.3064\text{E-}12 = 1.025$$

FF Corner

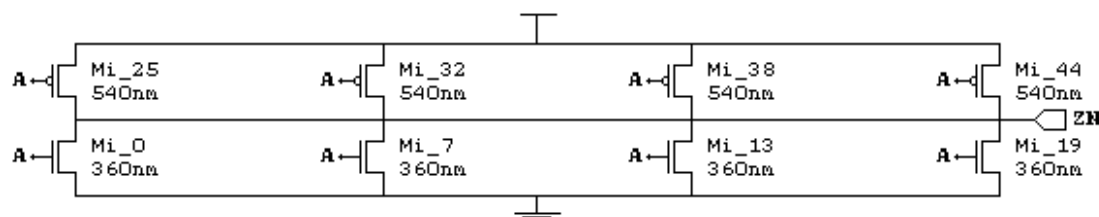
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.19445x + 4.21375$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.19445/2.109725 = 1.04$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 4.348\text{E-}12/4.2654\text{E-}12 = 1.019$$

INV_X16



```
.param SUPPLY=1.25V
.OPTION POST
```

```
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
```

```
*
*
* Cellname:   INV_X16.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*
```

```
*****
*****
```

```
.SUBCKT INV_X16 A ZN VDD VSS
M_i_0 ZN A VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_7 VSS A ZN VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_13 ZN A VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_19 VSS A ZN VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_25 ZN A VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_32 VDD A ZN VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_38 ZN A VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_44 VDD A ZN VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
.ENDS
```

```
*****
*****
```

```
*
* END
*
```

```
*****
*****
```

```
Vdd   VDD   VSS   'SUPPLY'
Vin   A     VSS   PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A     B1    VDD   VSS   INV_X16
X2    B1    C1    VDD   VSS   INV_X16
X3    C1    D1    VDD   VSS   INV_X16
X4    D1    E1    VDD   VSS   INV_X16   m=fanout
x5    E1    F1    VDD   VSS   INV_X16
```

```

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpd_r
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

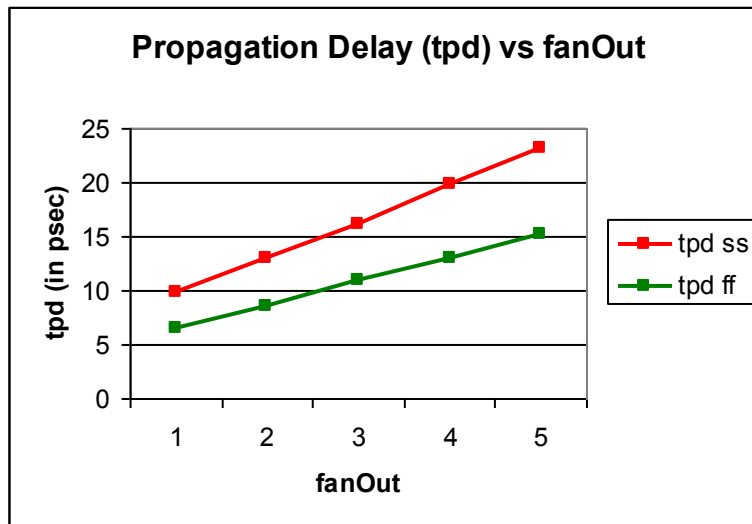
.measure tpd_f
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpd_r+tpd_f)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.2989x + 6.5695$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.2989/3.08925 = 1.068$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.4658\text{E-}12/6.3064\text{E-}12 = 1.025$$

FF Corner

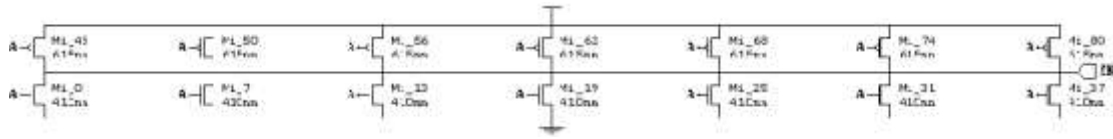
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.19445x + 4.21375$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.19445/2.109725 = 1.04$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 4.348\text{E-}12/4.2654\text{E-}12 = 1.019$$

INV_X32



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
```

```
*
```

```
*
```

```
* Cellname: INV_X32.
```

```
*
```

```
*
```

```
*
```

```
* Technology: NCSU FreePDK 45nm.
```

```
*
```

```
* Format: Default.
```

```
*
```

```
*
```

```
*
```

```
*
```

```
*
```

```
*****
*****
```

```
.SUBCKT INV_X32 A ZN VDD VSS
```

```
M_i_0 ZN A VSS VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_7 VSS A ZN VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_13 ZN A VSS VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_19 VSS A ZN VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_25 ZN A VSS VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_31 VSS A ZN VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_37 ZN A VSS VSS NMOS_VTL W=0.410000U L=0.050000U AS=0.084050P
AD=0.084050P PS=0.820000U PD=0.820000U
```

```
M_i_43 ZN A VDD VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
```

```
M_i_50 VDD A ZN VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
```

```
M_i_56 ZN A VDD VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
```

```
M_i_62 VDD A ZN VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
```

```

M_i_68 ZN A VDD VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
M_i_74 VDD A ZN VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
M_i_80 ZN A VDD VDD PMOS_VTL W=0.615000U L=0.050000U AS=0.189112P
AD=0.189112P PS=1.230000U PD=1.230000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A      VSS    PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A      B1     VDD    VSS    INV_X32
X2     B1     C1     VDD    VSS    INV_X32
X3     C1     D1     VDD    VSS    INV_X32
X4     D1     E1     VDD    VSS    INV_X32    m=fanout
x5     E1     F1     VDD    VSS    INV_X32

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpd
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

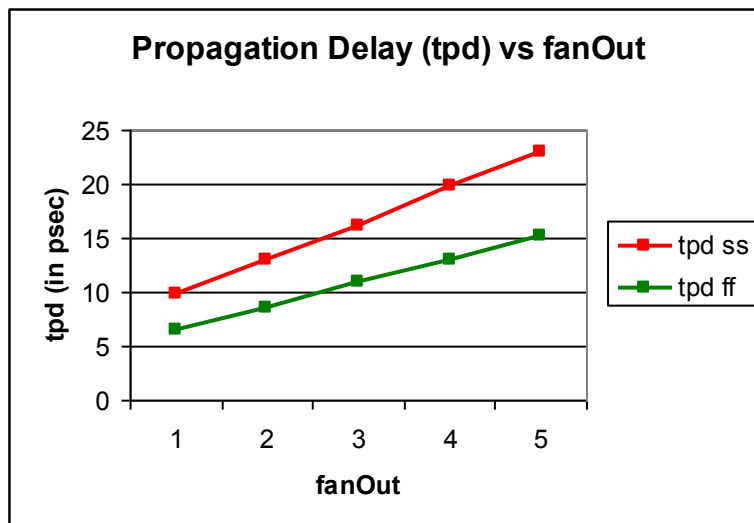
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.27795x + 6.60125$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.27795/3.08925 = 1.061$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.5007\text{E-}12/6.3064\text{E-}12 = 1.031$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.1809x + 4.2755$ (σε psec).

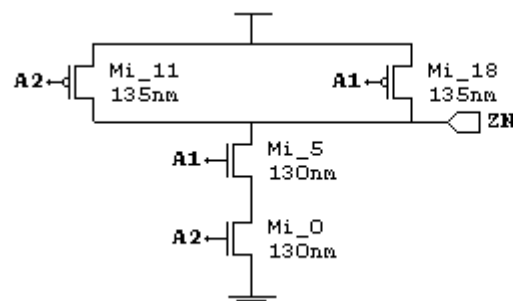
Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.1809/2.109725 = 1.034$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 4.3770\text{E-}12/4.2654\text{E-}12 = 1.026$$

INVERTERS				
	SS Corner		FF Corner	
	g	p	g	p
INV_X1	1	1	1	1
INV_X2	1.01	1	1.01	1
INV_X4	1.02	1.03	1.02	1.03
INV_X8	1.07	1.03	1.04	1.02
INV_X16	1.07	1.03	1.04	1.02
INV_X32	1.06	1.03	1.03	1.03

NAND2_X1



```
.param SUPPLY=1.25V  
.OPTION POST
```

```

.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND2_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NAND2_X1 A1 A2 ZN VDD VSS
M_i_0 net_000 A2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 ZN A1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 ZN A2 VDD VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
M_i_18 VDD A1 ZN VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****
Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1    VDD   B1    VDD   VSS   NAND2_X1
X2    B1    VDD   C1    VDD   VSS   NAND2_X1
X3    C1    VDD   D1    VDD   VSS   NAND2_X1
X4    D1    VDD   E1    VDD   VSS   NAND2_X1      m=fanout
x5    E1    VDD   F1    VDD   VSS   NAND2_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

```

```

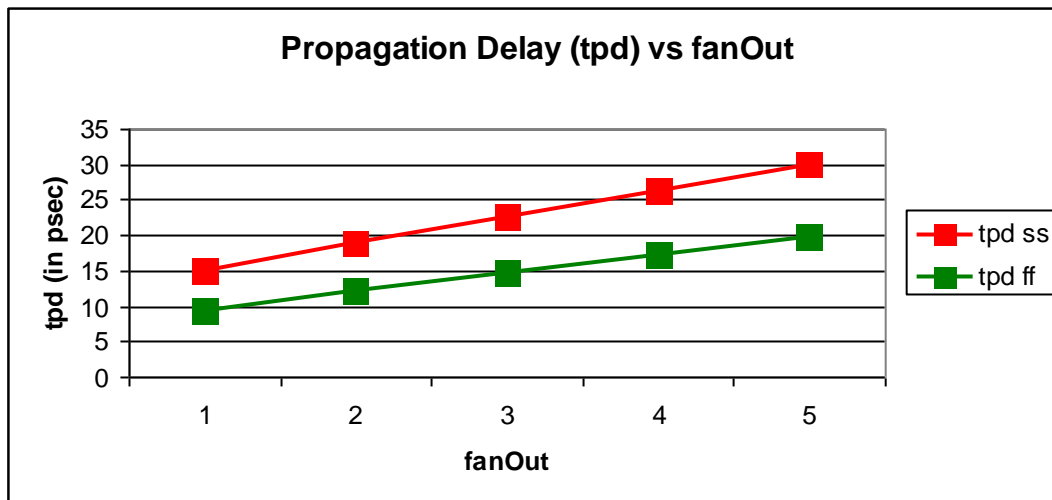
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.6925x + 11,3335$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.6925/3.08925 = 1.20$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 10,787\text{E-}12/6.3064\text{E-}12 = 1.71$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2,56155x + 6.85125$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.56155/2.109725 = 1.21$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.9359\text{E-}12/4.2654\text{E-}12 = 1.63$$

NAND2_X2


```

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    VDD    B1     VDD    VSS    NAND2_X2
X2     B1    VDD    C1     VDD    VSS    NAND2_X2
X3     C1    VDD    D1     VDD    VSS    NAND2_X2
*X4    D1    VDD    E1     VDD    VSS    NAND2_X2    m=fanout
*x5    E1    VDD    F1     VDD    VSS    NAND2_X2

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpd_r
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

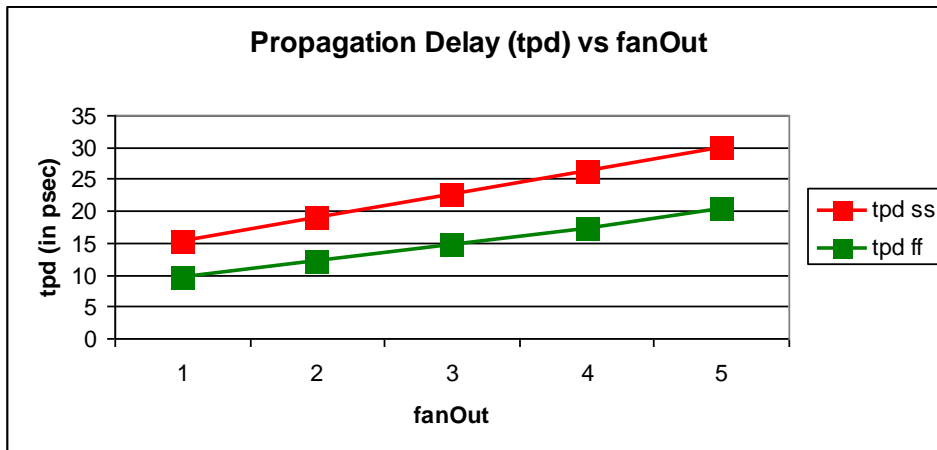
.measure tpd_f
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpd_r+tpd_f)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.7125x + 11.3955$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.7125/3.08925 = 1.2$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 10.859\text{E-}12/6.3064\text{E-}12 = 1.72$$

FF Corner

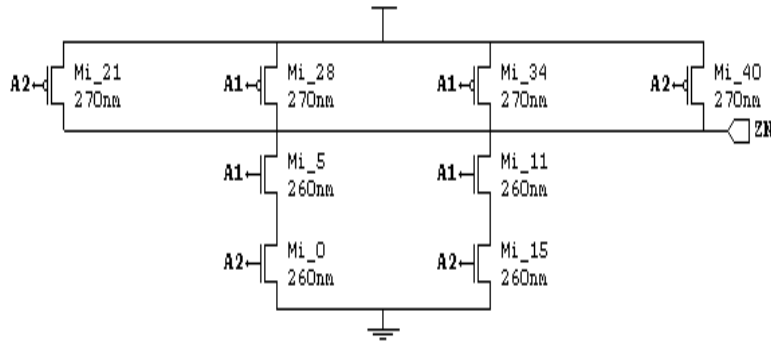
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.70585x + 6.78175$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.70585/2.109725 = 1.282$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.9024\text{E-}12/4.2654\text{E-}12 = 1.61$$

NAND2_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND2_X4.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NAND2_X4 A1 A2 ZN VDD VSS
M_i_0 net_000 A2 VSS VSS NMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_5 ZN A1 net_000 VSS NMOS_VTL W=0.260000U L=0.050000U AS=0.033800P
AD=0.033800P PS=0.520000U PD=0.520000U
```

```

M_i_11 net_001 A1 ZN VSS NMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_15 VSS A2 net_001 VSS NMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_21 ZN A2 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_28 VDD A1 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_34 ZN A1 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_40 VDD A2 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VDD    B1     VDD    VSS    NAND2_X4
X2     B1     VDD    C1     VDD    VSS    NAND2_X4
X3     C1     VDD    D1     VDD    VSS    NAND2_X4
*X4    D1     VDD    E1     VDD    VSS    NAND2_X4    m=fanout
*x5    E1     VDD    F1     VDD    VSS    NAND2_X4

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

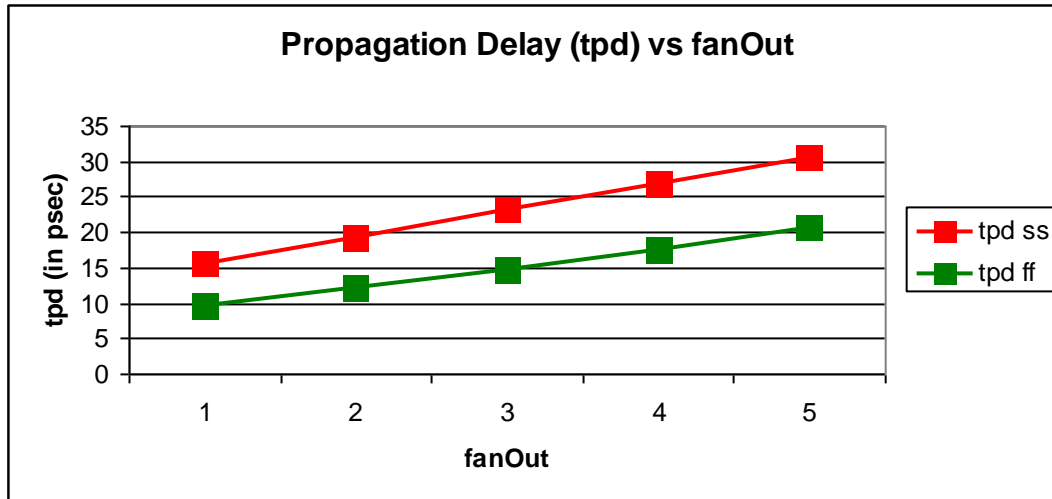
.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param=(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'
.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.74875x + 11,63725$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.74875/3.08925 = 1.21$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 11.092\text{E-}12/6.3064\text{E-}12 = 1.76$$

FF Corner

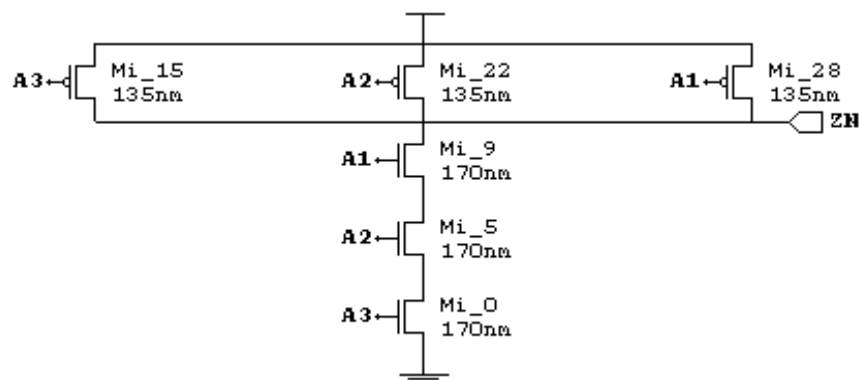
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2,7678x + 6.7226$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.7678/2.109725 = 1.31$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 6.9102\text{E-}12/4.2654\text{E-}12 = 1.62$$

NAND3_X1



```
.param SUPPLY=1.25V
.OPTION POST
```



```

+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

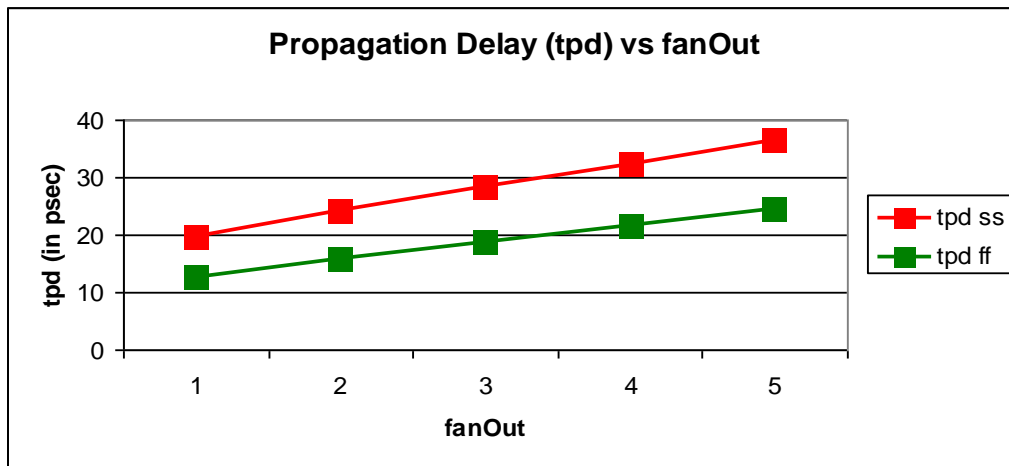
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.20125x + 15.51975$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.20125/3.08925 = 1.35$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 15.070\text{E-}12/6.3064\text{E-}12 = 2.39$$

FF Corner

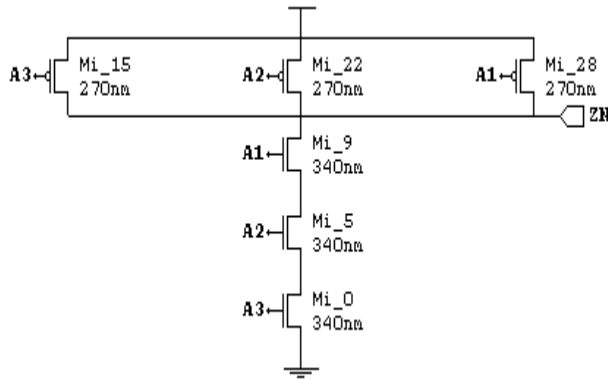
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.99325x + 9.6157$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.99325/2.109725 = 1.42$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 9.4118\text{E-}12/4.2654\text{E-}12 = 2.21$$

NAND3_X2



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND3_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NAND3_X2 A1 A2 A3 ZN VDD VSS
M_i_0 net_000 A3 VSS VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_5 net_001 A2 net_000 VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_9 ZN A1 net_001 VSS NMOS_VTL W=0.340000U L=0.050000U AS=0.057800P
AD=0.057800P PS=0.680000U PD=0.680000U
M_i_15 ZN A3 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_22 VDD A2 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_28 ZN A1 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
.ENDS
```



```

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1   A1  VDD  VDD  B1  VDD  VSS  NAND3_X2
X2   B1  VDD  VDD  C1  VDD  VSS  NAND3_X2
X3   C1  VDD  VDD  D1  VDD  VSS  NAND3_X2
X4   D1  VDD  VDD  E1  VDD  VSS  NAND3_X2  m=fanout
x5   E1  VDD  VDD  F1  VDD  VSS  NAND3_X2

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpd
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

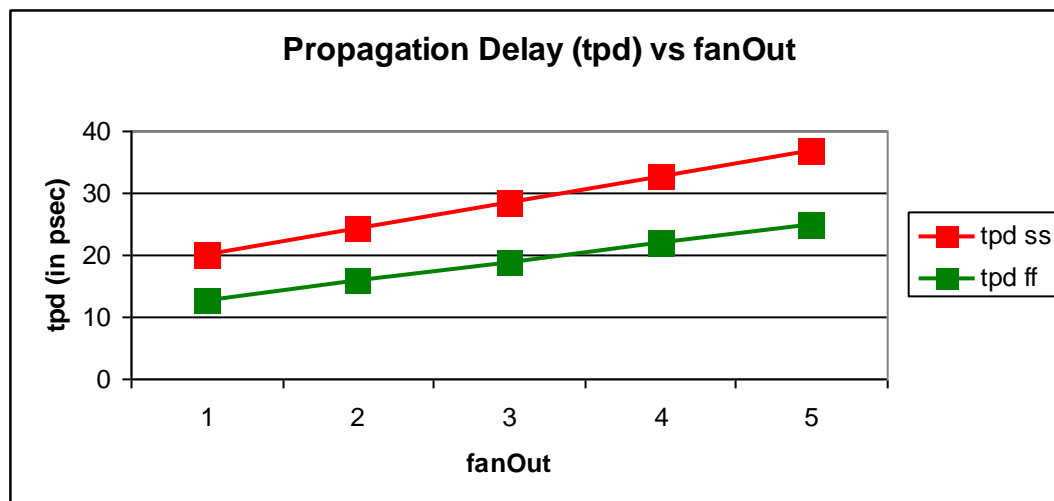
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.218x + 15.621$ (σε psec).

To logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.218 / 3.08925 = 1.37$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 15.166\text{E-}12/6.3064\text{E-}12 = 2.41$$

FF Corner

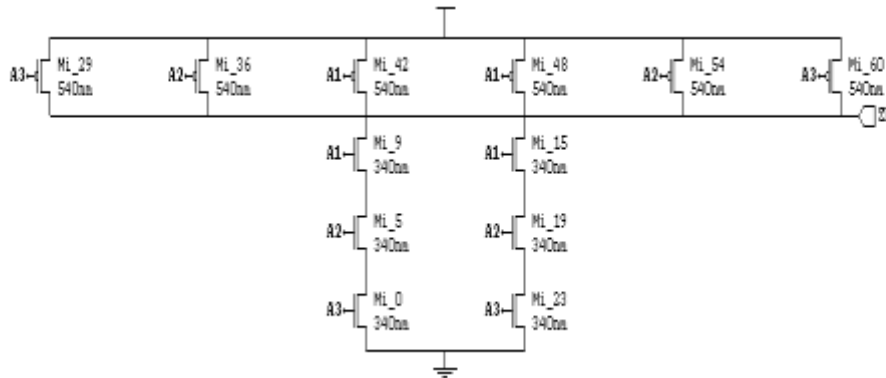
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.009x + 9.7162$ (σε psec).

To logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.009/2.109725 = 1.43$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 9.50848\text{E-}12/4.2654\text{E-}12 = 2.23$$

NAND3_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname:    NAND3_X4.
*
*
* Technology:  NCSU FreePDK 45nm.
*
* Format:      Default.
*
*
*
*
```

```

*
*
*****
*****
.SUBCKT NAND3_X4 A1 A2 A3 ZN VDD VSS
M_i_0 net_000 A3 VSS VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_5 net_001 A2 net_000 VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_9 ZN A1 net_001 VSS NMOS_VTL W=0.340000U L=0.050000U AS=0.057800P
AD=0.057800P PS=0.680000U PD=0.680000U
M_i_15 net_002 A1 ZN VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_19 net_003 A2 net_002 VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_23 VSS A3 net_003 VSS NMOS_VTL W=0.340000U L=0.050000U
AS=0.057800P AD=0.057800P PS=0.680000U PD=0.680000U
M_i_29 ZN A3 VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_36 VDD A2 ZN VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_42 ZN A1 VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_48 VDD A1 ZN VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_54 ZN A2 VDD VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
M_i_60 VDD A3 ZN VDD PMOS_VTL W=0.540000U L=0.050000U AS=0.145800P
AD=0.145800P PS=1.080000U PD=1.080000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VDD    VDD    B1     VDD    VSS    NAND3_X4
X2     B1     VDD    VDD    C1     VDD    VSS    NAND3_X4
X3     C1     VDD    VDD    D1     VDD    VSS    NAND3_X4
*X4    D1     VDD    VDD    E1     VDD    VSS    NAND3_X4    m=fanout
*x5    E1     VDD    VDD    F1     VDD    VSS    NAND3_X4

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1
.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

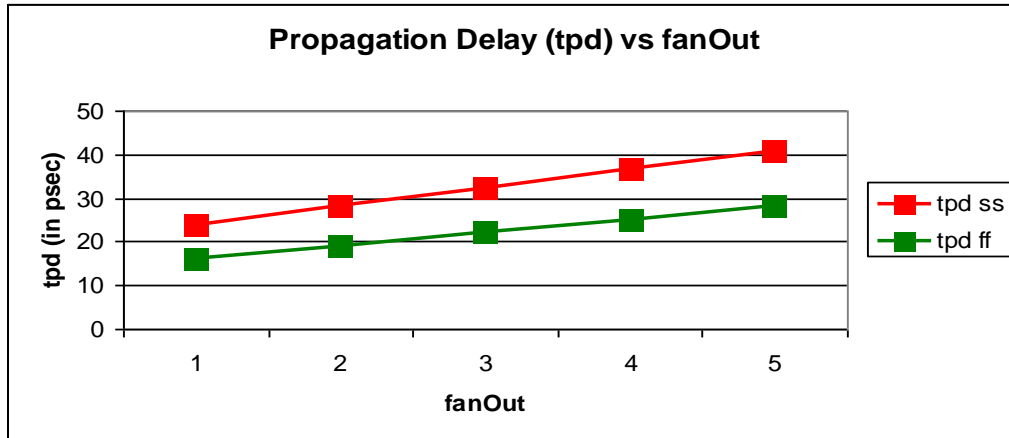
.measure tpd param=(tpdr+tpdf)/2

.ALTER

```

```
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.17x + 19.721$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.17/3.08925 = 1.349$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 19.227\text{E-}12/6.3064\text{E-}12 = 3.05$$

FF Corner

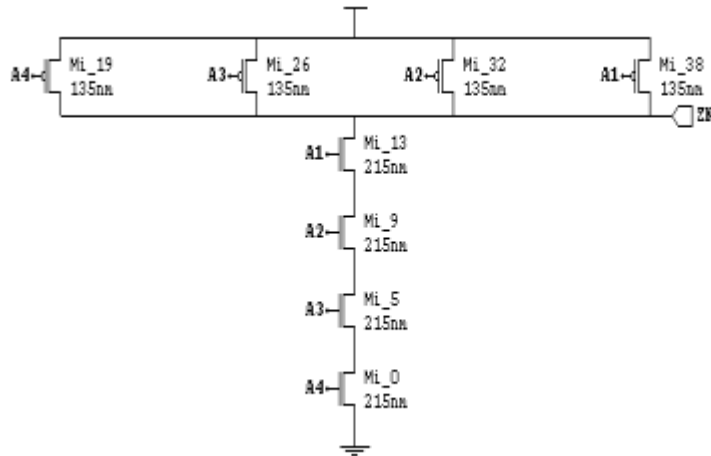
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.0535x + 12.8835$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.0535/2.109725 = 1.45$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.560\text{E-}12/4.2654\text{E-}12 = 2.94$$

NAND4_X1



```

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrar
y_PDKv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND4_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*
*****
*****
.SUBCKT NAND4_X1 A1 A2 A3 A4 ZN VDD VSS
M_i_0 net_000 A4 VSS VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_5 net_001 A3 net_000 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_9 net_002 A2 net_001 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_13 ZN A1 net_002 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_19 ZN A4 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_26 VDD A3 ZN VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U

```

```

M_i_32 ZN A2 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_38 VDD A1 ZN VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VDD    VDD    VDD    B1     VDD    VSS    NAND4_X1
X2     B1     VDD    VDD    VDD    C1     VDD    VSS    NAND4_X1
X3     C1     VDD    VDD    VDD    D1     VDD    VSS    NAND4_X1
*X4    D1     VDD    VDD    VDD    E1     VDD    VSS    NAND4_X1
m=fanout
*x5    E1     VDD    VDD    VDD    F1     VDD    VSS    NAND4_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

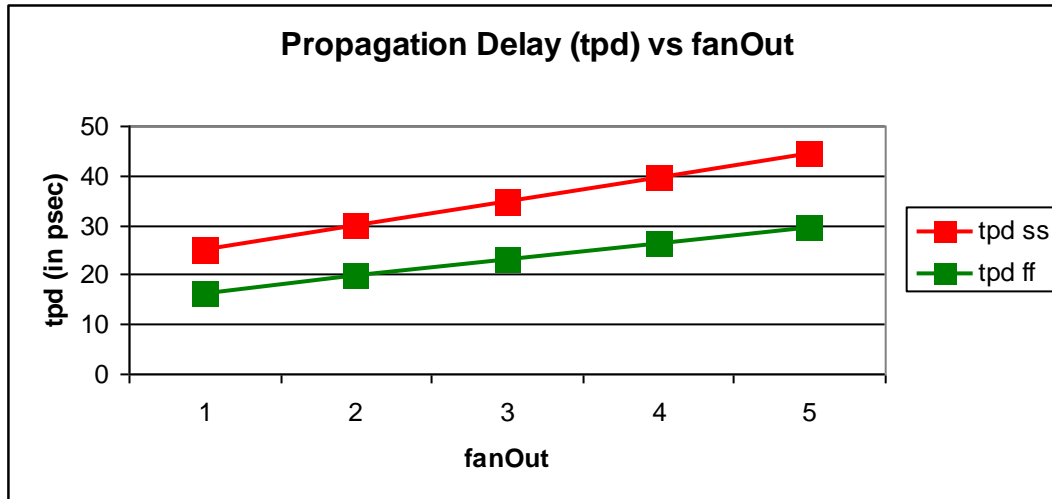
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PDKv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.844x + 20,148$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.844/3.08925 = 1.56$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 19.688\text{E-}12/6.3064\text{E-}12 = 3.12$$

FF Corner

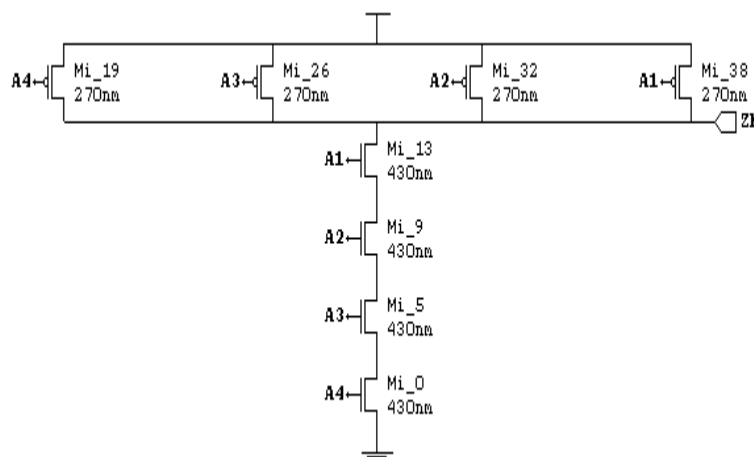
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.3385x + 12.891$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.3385/2.109725 = 1.582$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.625\text{E-}12/4.2654\text{E-}12 = 2.96$$

NAND4_X2



```

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND4_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NAND4_X2 A1 A2 A3 A4 ZN VDD VSS
M_i_0 net_000 A4 VSS VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_5 net_001 A3 net_000 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_9 net_002 A2 net_001 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_13 ZN A1 net_002 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_19 ZN A4 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_26 VDD A3 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_32 ZN A2 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_38 VDD A1 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps

```



```

X1    A1    VDD    VDD    VDD    B1    VDD    VSS    NAND4_X2
X2    B1    VDD    VDD    VDD    C1    VDD    VSS    NAND4_X2
X3    C1    VDD    VDD    VDD    D1    VDD    VSS    NAND4_X2
*x4   D1    VDD    VDD    VDD    E1    VDD    VSS    NAND4_X2    m=fanout

*x5   E1    VDD    VDD    VDD    F1    VDD    VSS    NAND4_X2

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpd
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

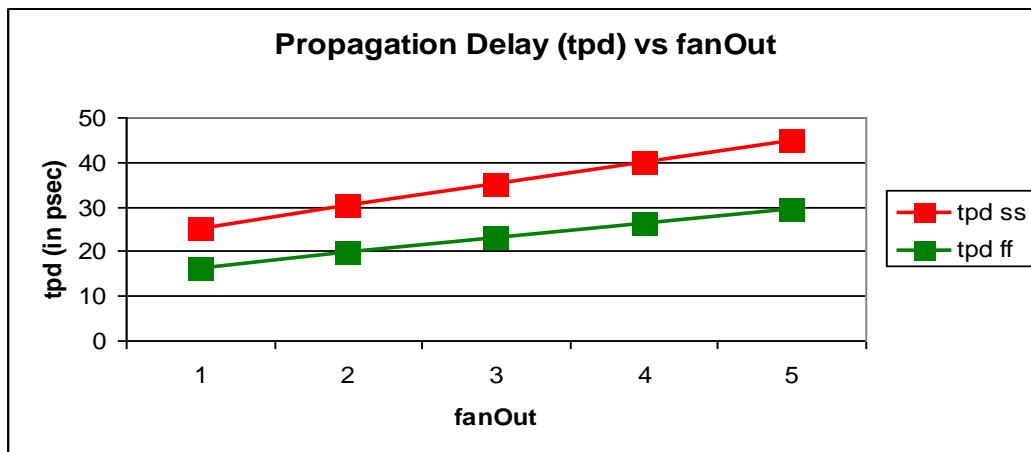
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.849x + 20,341$ (σε psec).

To logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.849/3.08925 = 1.57$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 19.880\text{E-}12/6.3064\text{E-}12 = 3.15$$

FF Corner

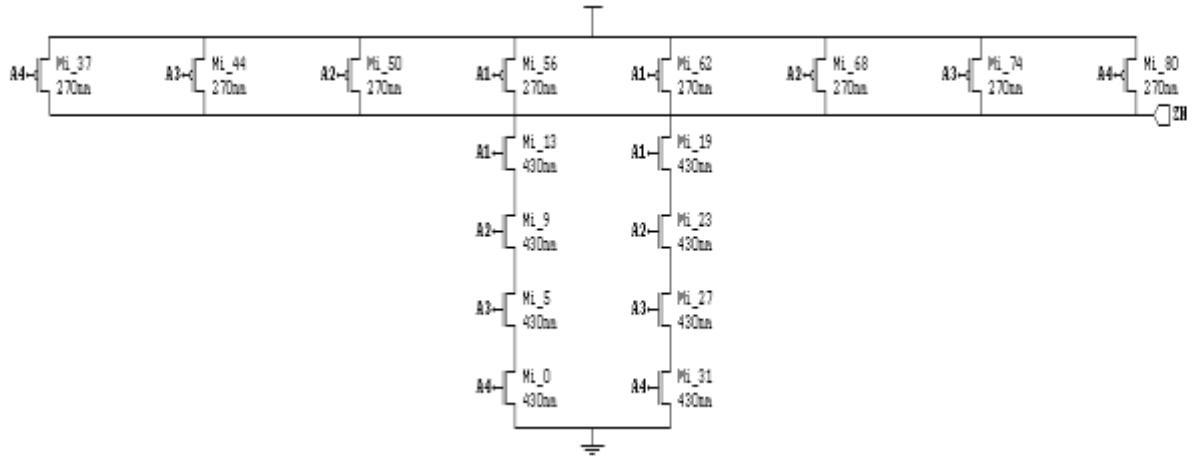
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.3522x + 13.024$ (σε psec).

To logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.3522/2.109725 = 1.58$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.772\text{E-}12/4.2654\text{E-}12 = 2.99$$

NAND4_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NAND4_X4.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NAND4_X4 A1 A2 A3 A4 ZN VDD VSS
M_i_0 net_000 A4 VSS VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_5 net_001 A3 net_000 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
```

```

M_i_9 net_002 A2 net_001 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_13 ZN A1 net_002 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_19 net_003 A1 ZN VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_23 net_004 A2 net_003 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_27 net_005 A3 net_004 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_31 VSS A4 net_005 VSS NMOS_VTL W=0.430000U L=0.050000U
AS=0.092450P AD=0.092450P PS=0.860000U PD=0.860000U
M_i_37 ZN A4 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_44 VDD A3 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_50 ZN A2 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_56 VDD A1 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_62 ZN A1 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_68 VDD A2 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_74 ZN A3 VDD VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
M_i_80 VDD A4 ZN VDD PMOS_VTL W=0.270000U L=0.050000U AS=0.036450P
AD=0.036450P PS=0.540000U PD=0.540000U
.ENDS

```

```

*****
*****
*
* END
*
*****
*****

```

```

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VDD    VDD    VDD    B1     VDD    VSS    NAND4_X4
X2     B1     VDD    VDD    VDD    C1     VDD    VSS    NAND4_X4
X3     C1     VDD    VDD    VDD    D1     VDD    VSS    NAND4_X4
X4     D1     VDD    VDD    VDD    E1     VDD    VSS    NAND4_X4    m=fanout

x5     E1     VDD    VDD    VDD    F1     VDD    VSS    NAND4_X4

```

```
.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1
```

```
.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1
```

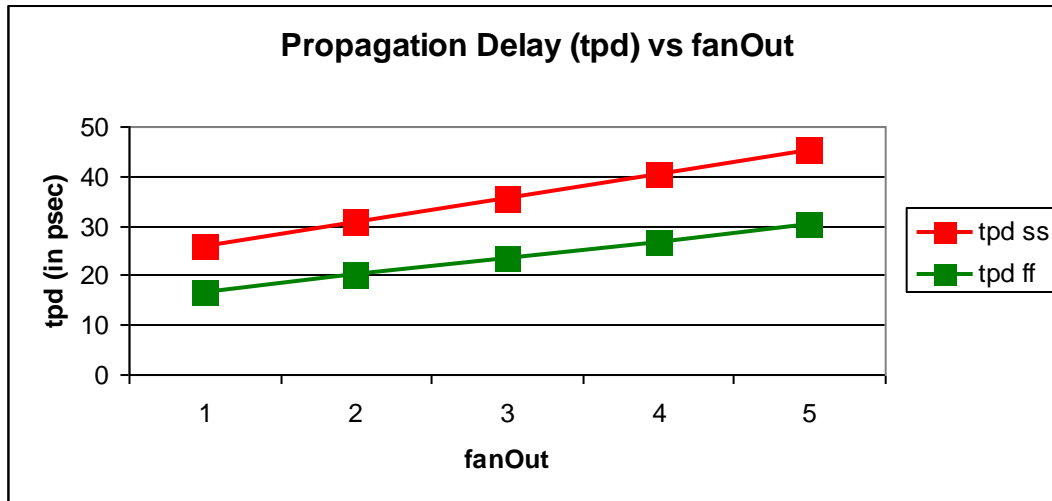
```
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1
```

```
.measure tpd param='(tpdr+tpdf)/2'
```

```
.ALTER
```

```
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.86325x + 20,76875$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.86325/3.08925 = 1.58$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 20.282\text{E-}12/6.3064\text{E-}12 = 3.21$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.3369x + 13.204$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.3369/2.109725 = 1.581$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.924\text{E-}12/4.2654\text{E-}12 = 3.029$$

NANDs				
	SS Corner		FF Corner	
	g	p	g	p
NAND2_X1	1.12	1.71	1.21	1.63
NAND2_X2	1.20	1.72	1.28	1.61
NAND2_X4	1.21	1.76	1.31	1.62


```

M_i_7 VSS A1 ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 net_000 A2 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_18 ZN A1 net_000 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VSS    B1     VDD    VSS    NOR2_X1
X2     B1     VSS    C1     VDD    VSS    NOR2_X1
X3     C1     VSS    D1     VDD    VSS    NOR2_X1
X4     D1     VSS    E1     VDD    VSS    NOR2_X1    m=fanout
x5     E1     VSS    F1     VDD    VSS    NOR2_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpd_r
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

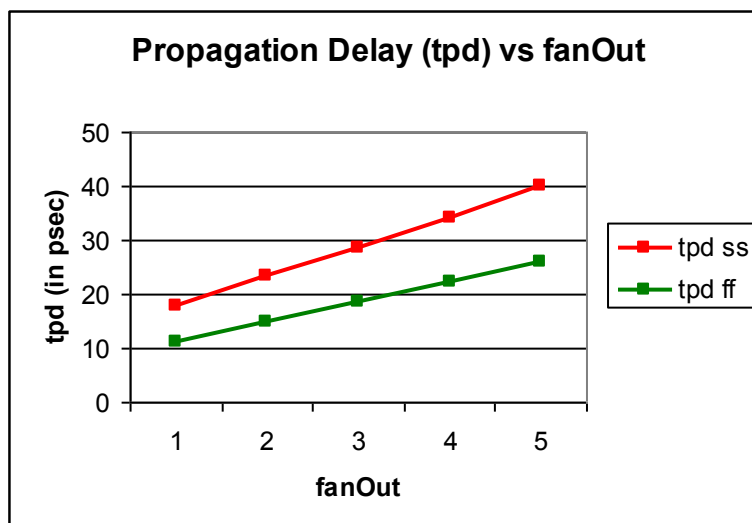
.measure tpd_f
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpd_r+tpd_f)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.511x + 12.291$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.511/3.08925 = 1.78$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 11.978\text{E-}12/6.3064\text{E-}12 = 1.899$$

FF Corner

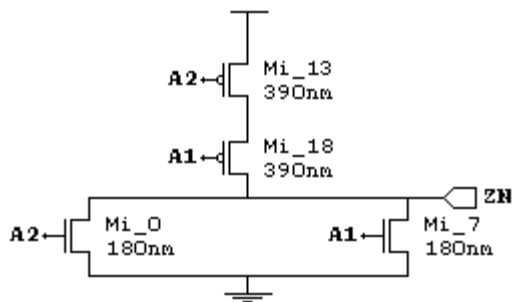
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.607x + 7.599$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.607/2.109725 = 1.71$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 7.6691\text{E-}12/4.2654\text{E-}12 = 1.80$$

NOR2_X2



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname:   NOR2_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
```

```

*
*
*****
*****
.SUBCKT NOR2_X2 A1 A2 ZN VDD VSS
M_i_0 ZN A2 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_7 VSS A1 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_13 net_000 A2 VDD VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U
M_i_18 ZN A1 net_000 VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VSS    B1     VDD    VSS    NOR2_X2
X2     B1     VSS    C1     VDD    VSS    NOR2_X2
X3     C1     VSS    D1     VDD    VSS    NOR2_X2
X4     D1     VSS    E1     VDD    VSS    NOR2_X2    m=fanout
x5     E1     VSS    F1     VDD    VSS    NOR2_X2

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

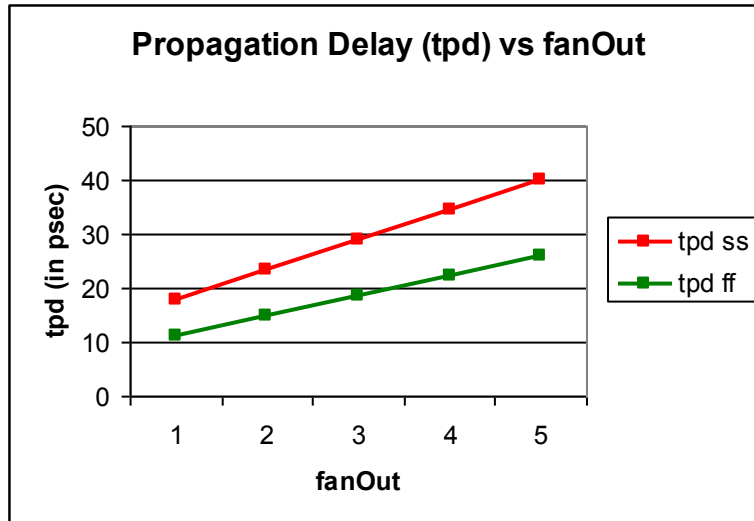
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param=(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```

SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.57275x + 12.28825$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.57275/3.08925 = 1.804$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 11.982\text{E-}12/6.3064\text{E-}12 = 1.899$$

FF Corner

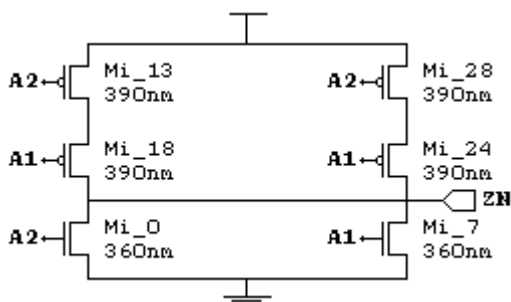
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.6475x + 7.6365$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.6475/2.109725 = 1.729$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 7.6889\text{E-}12/4.2654\text{E-}12 = 1.80$$

NOR2_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
```

.GLOBAL VSS

VG VSS 0 0

*

*

* Cellname: NOR2_X4.

*

*

*

* Technology: NCSU FreePDK 45nm.

*

* Format: Default.

*

*

*

*

*

.SUBCKT NOR2_X4 A1 A2 ZN VDD VSS

M_i_0 ZN A2 VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U

M_i_7 VSS A1 ZN VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U

M_i_13 net_000 A2 VDD VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U

M_i_18 ZN A1 net_000 VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U

M_i_24 net_001 A1 ZN VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U

M_i_28 VDD A2 net_001 VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U

.ENDS

*

* END

*

Vdd	VDD	VSS	'SUPPLY'						
Vin	A1	VSS=0	PULSE 0	'SUPPLY'	0ps	20ps	20ps	220ps	1000ps
X1	A1	VSS	B1	VDD	VSS	NOR2_X4			
X2	B1	VSS	C1	VDD	VSS	NOR2_X4			
X3	C1	VSS	D1	VDD	VSS	NOR2_X4			
X4	D1	VSS	E1	VDD	VSS	NOR2_X4	m=fanout		
x5	E1	VSS	F1	VDD	VSS	NOR2_X4			

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpd

+ TRIG v(C1) VAL='SUPPLY/2' FALL=1

+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf

+ TRIG v(C1) VAL='SUPPLY/2' RISE=1

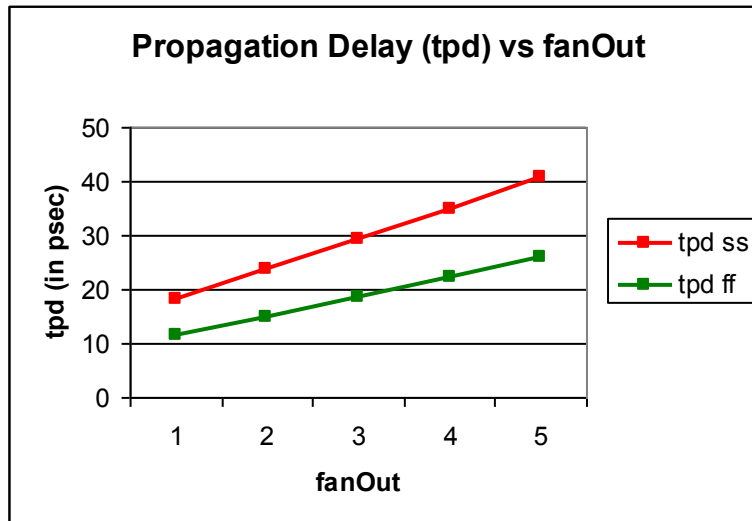
```

+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'
.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.62175x + 12.51425$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.62175/3.08925 = 1.82$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.510\text{E-}12/6.3064\text{E-}12 = 1.984$$

FF Corner

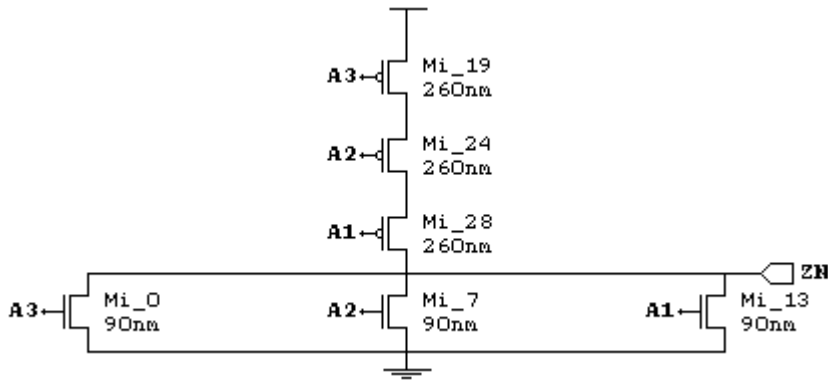
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.68125x + 7.62175$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.68125/2.109725 = 1.745$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 7.6621\text{E-}12/4.2654\text{E-}12 = 1.80$$

NOR3_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
```

```
*
*
* Cellname: NOR3_X1.
```

```
* Technology: NCSU FreePDK 45nm.
```

```
* Format: Default.
```

```
*****
*****
```

```
.SUBCKT NOR3_X1 A1 A2 A3 ZN VDD VSS
M_i_0 ZN A3 VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 VSS A2 ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 ZN A1 VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_19 net_000 A3 VDD VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_24 net_001 A2 net_000 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_28 ZN A1 net_001 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
.ENDS
```

```
*****
*****
```

```
*
```

```

* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    VSS    VSS    B1     VDD    VSS    NOR3_X1
X2     B1    VSS    VSS    C1     VDD    VSS    NOR3_X1
X3     C1    VSS    VSS    D1     VDD    VSS    NOR3_X1
X4     D1    VSS    VSS    E1     VDD    VSS    NOR3_X1    m=fanout
x5     E1    VSS    VSS    F1     VDD    VSS    NOR3_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

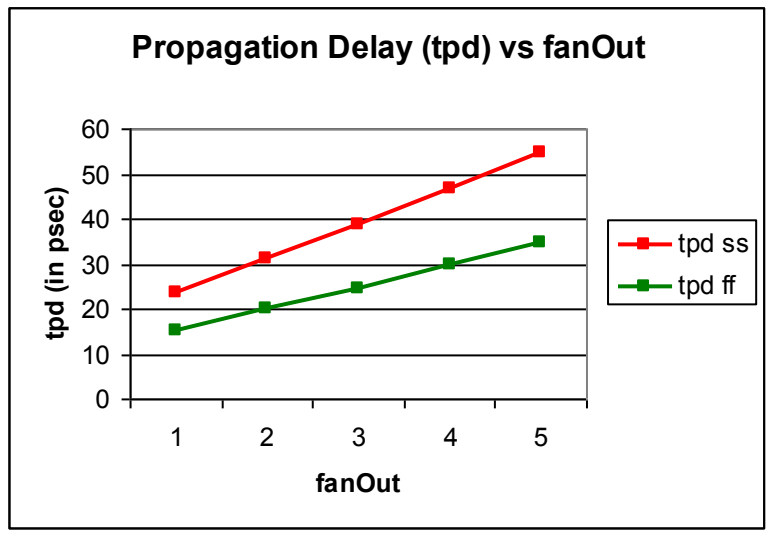
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.75475x + 15.96525$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.75475/3.08925 = 2.51$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 16.758\text{E-}12/6.3064\text{E-}12 = 2.66$$

FF Corner

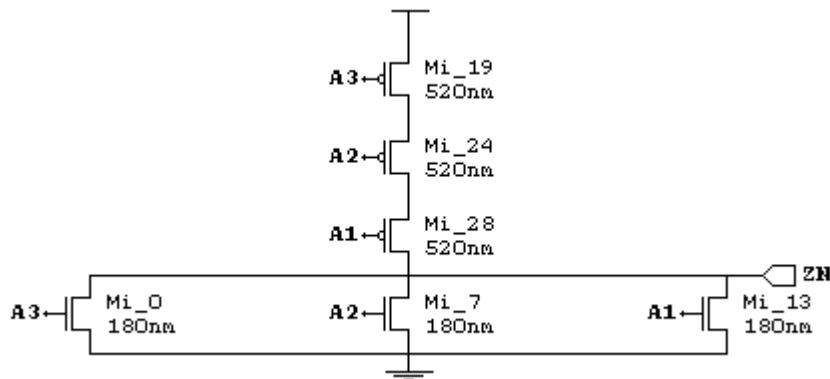
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.89675x + 10.29225$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.89675/2.109725 = 2.32$

Η παρασιτική καθυστέρηση(p) είναι :

$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 10.659\text{E-}12/4.2654\text{E-}12 = 2.50$

NOR3_X2



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NOR3_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NOR3_X2 A1 A2 A3 ZN VDD VSS
M_i_0 ZN A3 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
```

```

M_i_7 VSS A2 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_13 ZN A1 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_19 net_000 A3 VDD VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_24 net_001 A2 net_000 VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_28 ZN A1 net_001 VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VSS    VSS    B1     VDD    VSS    NOR3_X2
X2     B1     VSS    VSS    C1     VDD    VSS    NOR3_X2
X3     C1     VSS    VSS    D1     VDD    VSS    NOR3_X2
X4     D1     VSS    VSS    E1     VDD    VSS    NOR3_X2    m=fanout
x5     E1     VSS    VSS    F1     VDD    VSS    NOR3_X2

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

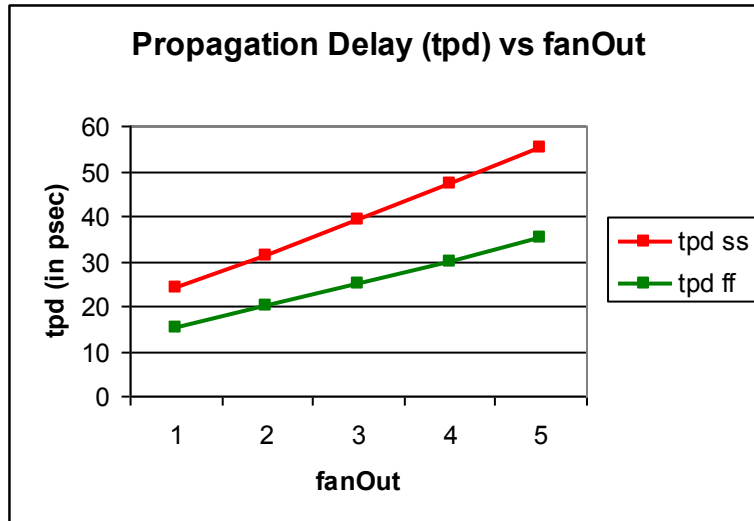
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.8245x + 15.9865$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.8245/3.08925 = 2.53$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 16.807\text{E-}12/6.3064\text{E-}12 = 2.67$$

FF Corner

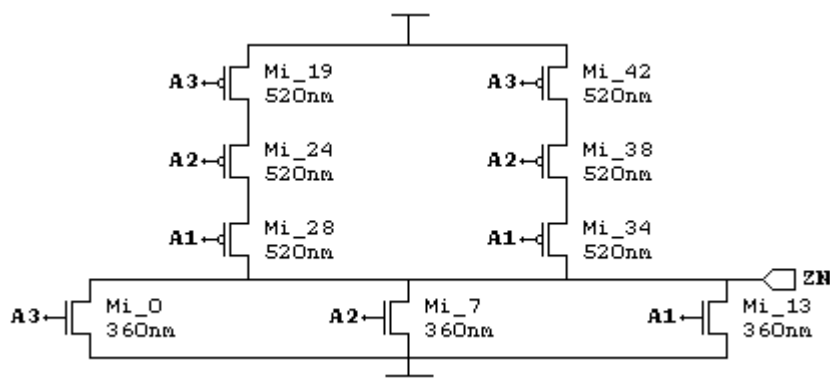
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.95x + 10.305$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.95/2.109725 = 2.35$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 10.720\text{E-}12/4.2654\text{E-}12 = 2.51$$

NOR3_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```


.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*

*

* Cellname: NOR3_X4.

*

*

*

* Technology: NCSU FreePDK 45nm.

*

* Format: Default.

*

*

*

*

*

.SUBCKT NOR3_X4 A1 A2 A3 ZN VDD VSS
M_i_0 ZN A3 VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_7 VSS A2 ZN VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_13 ZN A1 VSS VSS NMOS_VTL W=0.360000U L=0.050000U AS=0.064800P
AD=0.064800P PS=0.720000U PD=0.720000U
M_i_19 net_000 A3 VDD VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_24 net_001 A2 net_000 VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_28 ZN A1 net_001 VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_34 net_002 A1 ZN VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_38 net_003 A2 net_002 VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
M_i_42 VDD A3 net_003 VDD PMOS_VTL W=0.520000U L=0.050000U
AS=0.135200P AD=0.135200P PS=1.040000U PD=1.040000U
.ENDS

*

* END

*

Vdd	VDD	VSS	'SUPPLY'						
Vin	A1	VSS=0	PULSE 0	'SUPPLY'	0ps	20ps	20ps	220ps	1000ps
X1	A1	VSS	VSS	B1	VDD	VSS	NOR3_X4		
X2	B1	VSS	VSS	C1	VDD	VSS	NOR3_X4		
X3	C1	VSS	VSS	D1	VDD	VSS	NOR3_X4		
X4	D1	VSS	VSS	E1	VDD	VSS	NOR3_X4	m=fanout	
x5	E1	VSS	VSS	F1	VDD	VSS	NOR3_X4		

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

```

.measure tpd_r
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

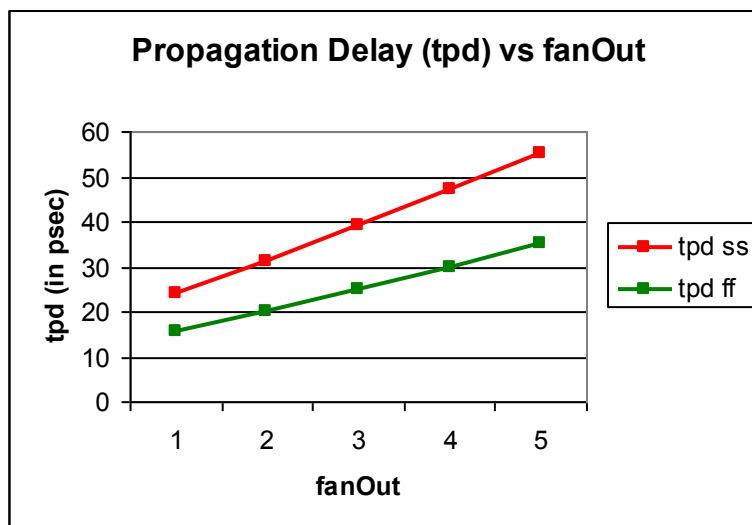
.measure tpd_f
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpd_r+tpd_f)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.8185x + 16.0925$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.8185/3.08925 = 2.53$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 17.043\text{E-}12/6.3064\text{E-}12 = 2.70$$

FF Corner

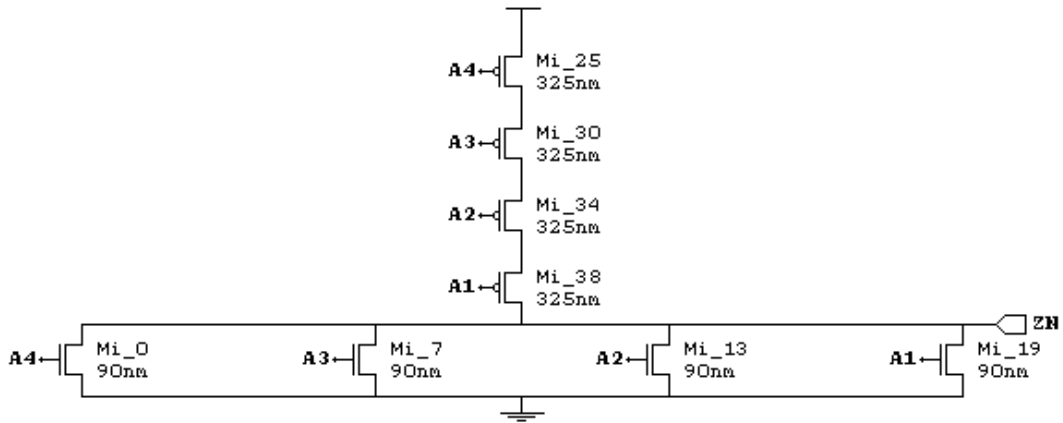
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.94725x + 10.38875$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.94725/2.109725 = 2.345$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 10.851\text{E-}12/4.2654\text{E-}12 = 2.54$$

NOR4_X1



```

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   NOR4_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT NOR4_X1 A1 A2 A3 A4 ZN VDD VSS
M_i_0 ZN A4 VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 VSS A3 ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 ZN A2 VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_19 VSS A1 ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_25 net_000 A4 VDD VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_30 net_001 A3 net_000 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_34 net_002 A2 net_001 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_38 ZN A1 net_002 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U

```

```

.ENDS

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1   A1  VSS  VSS  VSS  B1  VDD  VSS  NOR4_X1
X2   B1  VSS  VSS  VSS  C1  VDD  VSS  NOR4_X1
X3   C1  VSS  VSS  VSS  D1  VDD  VSS  NOR4_X1
X4   D1  VSS  VSS  VSS  E1  VDD  VSS  NOR4_X1  m=fanout
x5   E1  VSS  VSS  VSS  F1  VDD  VSS  NOR4_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpd
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

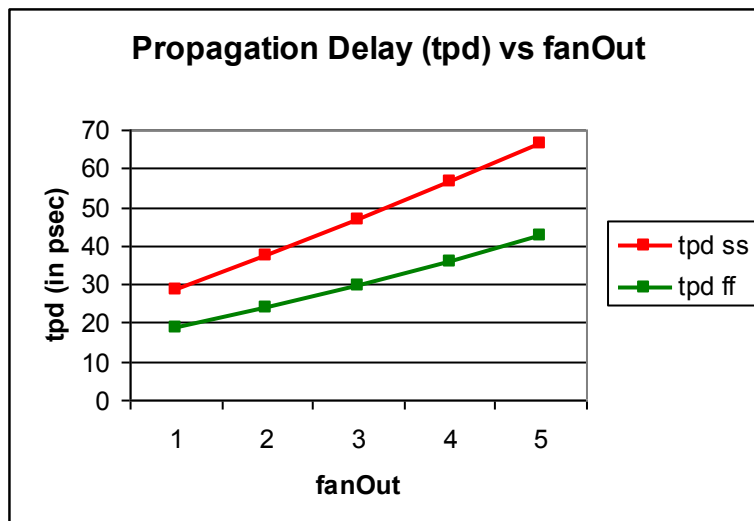
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 9.451x + 19.288$ (σε psec).


```

*****
*****
.SUBCKT NOR4_X2 A1 A2 A3 A4 ZN VDD VSS
M_i_0 ZN A4 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_7 VSS A3 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_13 ZN A2 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_19 VSS A1 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_25 net_000 A4 VDD VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_30 net_001 A3 net_000 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_34 net_002 A2 net_001 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_38 ZN A1 net_002 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VSS    VSS    VSS    B1     VDD    VSS    NOR4_X2
X2     B1     VSS    VSS    VSS    C1     VDD    VSS    NOR4_X2
X3     C1     VSS    VSS    VSS    D1     VDD    VSS    NOR4_X2
X4     D1     VSS    VSS    VSS    E1     VDD    VSS    NOR4_X2    m=fanout
x5     E1     VSS    VSS    VSS    F1     VDD    VSS    NOR4_X2

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

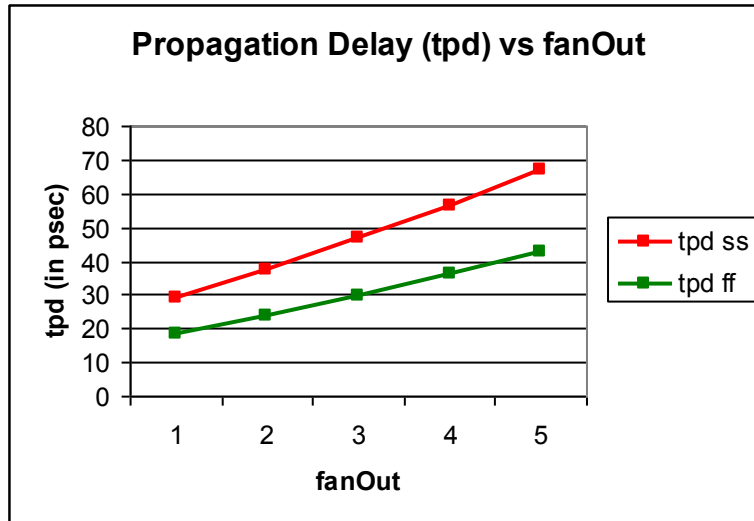
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 9.47225x + 19.32075$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 9.47225/3.08925 = 3.07$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 21.1117\text{E-}12/6.3064\text{E-}12 = 3.35$$

FF Corner

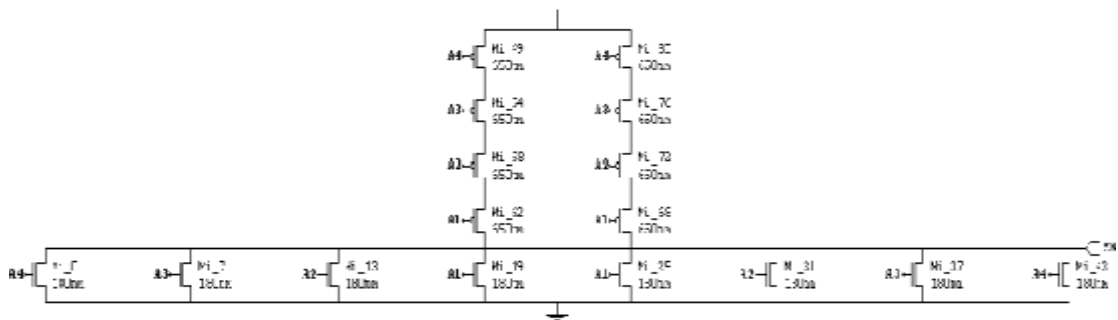
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 6.0135x + 12.5735$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 6.0135/2.109725 = 2.85$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 13.619\text{E-}12/4.2654\text{E-}12 = 3.19$$

NOR4_X4



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS
```

VG VSS 0 0

```
*****
*****
*
*
* Cellname:   NOR4_X4.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
```

```
.SUBCKT NOR4_X4 A1 A2 A3 A4 ZN VDD VSS
M_i_0 ZN A4 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_7 VSS A3 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_13 ZN A2 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_19 VSS A1 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_25 ZN A1 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_31 VSS A2 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_37 ZN A3 VSS VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_43 VSS A4 ZN VSS NMOS_VTL W=0.180000U L=0.050000U AS=0.016200P
AD=0.016200P PS=0.360000U PD=0.360000U
M_i_49 net_000 A4 VDD VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_54 net_001 A3 net_000 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_58 net_002 A2 net_001 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_62 ZN A1 net_002 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_68 net_003 A1 ZN VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_72 net_004 A2 net_003 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_76 net_005 A3 net_004 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
M_i_80 VDD A4 net_005 VDD PMOS_VTL W=0.650000U L=0.050000U
AS=0.211250P AD=0.211250P PS=1.300000U PD=1.300000U
.ENDS
```

```
*****
*****
*
* END
*
```



```
*****
*****
```

```
Vdd VDD VSS 'SUPPLY'
Vin A1 VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1 A1 VSS VSS VSS B1 VDD VSS NOR4_X4
X2 B1 VSS VSS VSS C1 VDD VSS NOR4_X4
X3 C1 VSS VSS VSS D1 VDD VSS NOR4_X4
X4 D1 VSS VSS VSS E1 VDD VSS NOR4_X4 m=fanout
x5 E1 VSS VSS VSS F1 VDD VSS NOR4_X4

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

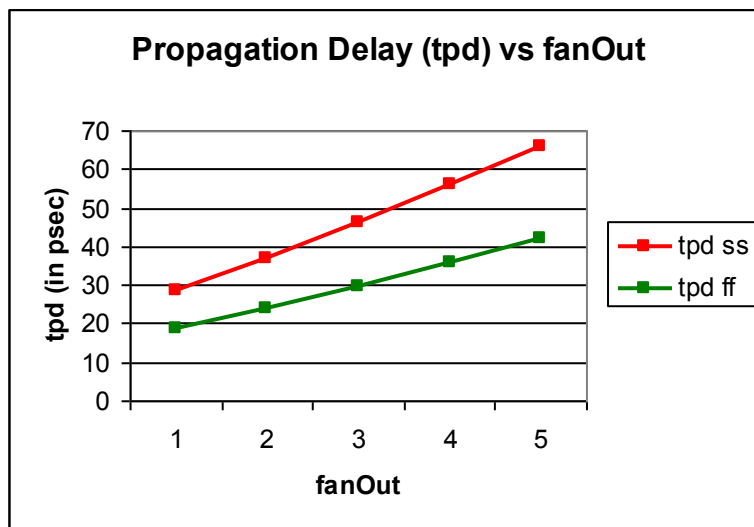
.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 9.31475x + 19.34925$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 9.31475/3.08925 = 3.02$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 21.247\text{E-}12/6.3064\text{E-}12 = 3.37$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.909x + 12.573$ (σε psec).

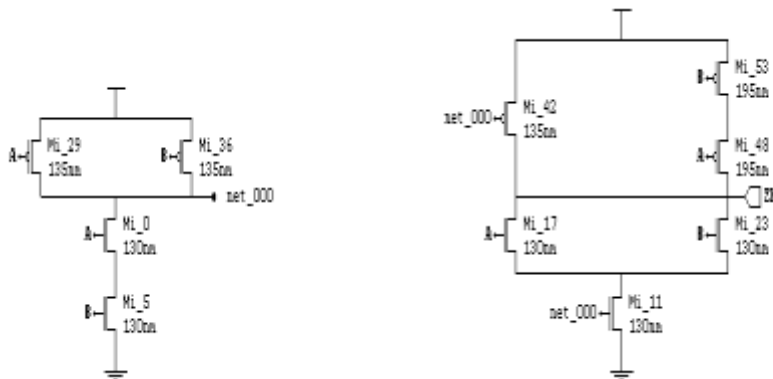
Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.909/2.109725 = 2.80$

Η παρασιτική καθυστέρηση(p) είναι :

$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 13.669\text{E-}12/4.2654\text{E-}12 = 3.20$

NORs				
	SS Corner		FF Corner	
	g	p	g	p
NOR2_X1	1.78	1.90	1.71	1.80
NOR2_X2	1.80	1.90	1.73	1.80
NOR2_X4	1.82	1.98	1.75	1.80
NOR3_X1	2.51	2.66	2.32	2.50
NOR3_X2	2.53	2.67	2.35	2.51
NOR3_X4	2.53	2.70	2.35	2.54
NOR4_X1	3.06	3.33	2.84	3.18
NOR4_X2	3.07	3.35	2.85	3.19
NOR4_X4	3.02	3.37	2.80	3.20

XNOR2_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0
```

```

*****
*****
*
*
* Cellname:   XNOR2_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT XNOR2_X1 A B ZN VDD VSS
M_i_0 net_001 A net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 VSS B net_001 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 net_002 net_000 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_17 ZN A net_002 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_23 net_002 B ZN VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_29 net_000 A VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_36 VDD B net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_42 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_48 net_003 A ZN VDD PMOS_VTL W=0.195000U L=0.050000U AS=0.019012P
AD=0.019012P PS=0.390000U PD=0.390000U
M_i_53 VDD B net_003 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A1   VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1   VDD   B1    VDD   VSS   XNOR2_X1
X2    B1   VDD   C1    VDD   VSS   XNOR2_X1
X3    C1   VDD   D1    VDD   VSS   XNOR2_X1
X4    D1   VDD   E1    VDD   VSS   XNOR2_X1      m=fanout
x5    E1   VDD   F1    VDD   VSS   XNOR2_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr

```

```

+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

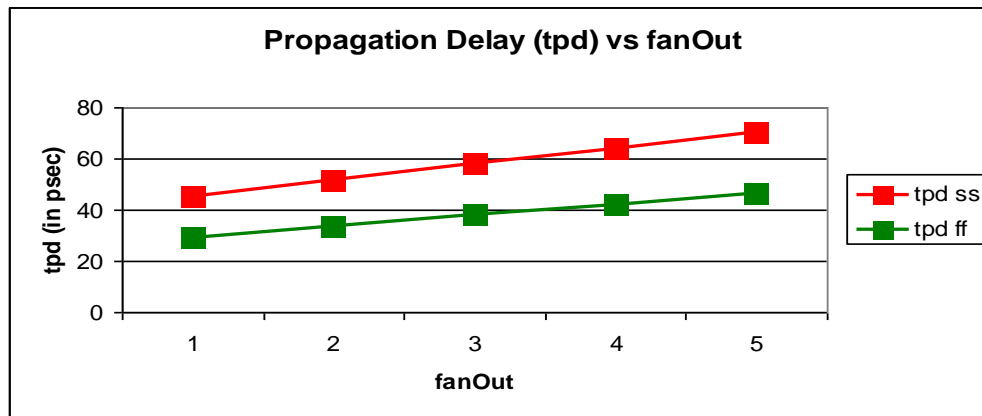
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 6.34125x + 38.72075$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 6.34125/3.08925 = 2.05$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 38.365\text{E-}12/6.3064\text{E-}12 = 6.08$$

FF Corner

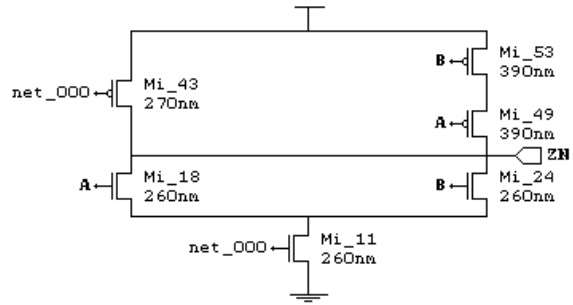
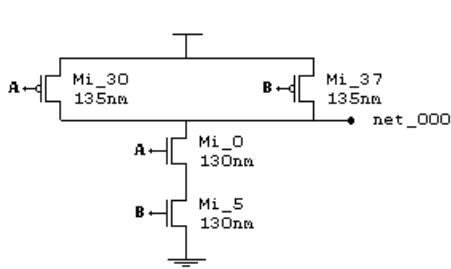
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.42677x + 24.43525$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.42677/2.109725 = 2.09$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 24.286\text{E-}12/4.2654\text{E-}12 = 5.7$$

XNOR2_X2



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
```

```
*
*
* Cellname: XNOR2_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format: Default.
*
*
*
*
*
```

```
*****
*****
```

```
.SUBCKT XNOR2_X2 A B ZN VDD VSS
M_i_0 net_001 A net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 VSS B net_001 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 net_002 net_000 VSS VSS NMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_18 ZN A net_002 VSS NMOS_VTL W=0.260000U L=0.050000U AS=0.033800P
AD=0.033800P PS=0.520000U PD=0.520000U
M_i_24 net_002 B ZN VSS NMOS_VTL W=0.260000U L=0.050000U AS=0.033800P
AD=0.033800P PS=0.520000U PD=0.520000U
M_i_30 net_000 A VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_37 VDD B net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_43 ZN net_000 VDD VDD PMOS_VTL W=0.270000U L=0.050000U
AS=0.036450P AD=0.036450P PS=0.540000U PD=0.540000U
M_i_49 net_003 A ZN VDD PMOS_VTL W=0.390000U L=0.050000U AS=0.076050P
AD=0.076050P PS=0.780000U PD=0.780000U
M_i_53 VDD B net_003 VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U
.ENDS
```

```

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1   A1  VDD  B1    VDD  VSS  XNOR2_X2
X2   B1  VDD  C1    VDD  VSS  XNOR2_X2
X3   C1  VDD  D1    VDD  VSS  XNOR2_X2
X4   D1  VDD  E1    VDD  VSS  XNOR2_X2      m=fanout
x5   E1  VDD  F1    VDD  VSS  XNOR2_X2

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

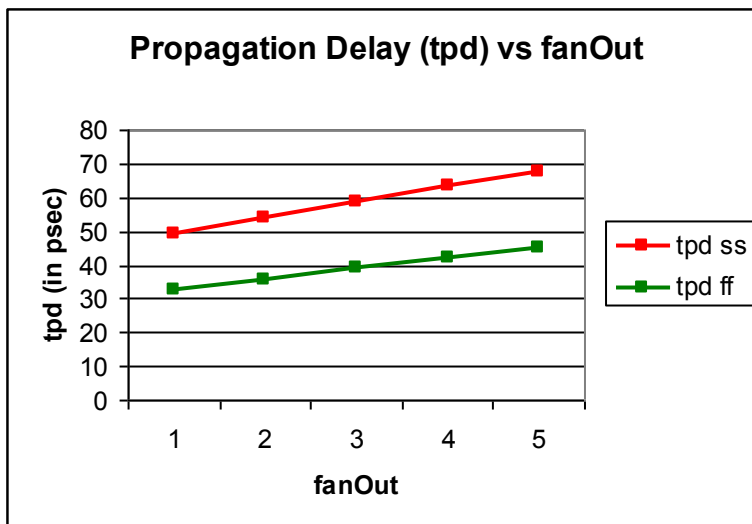
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.58275x + 44.88875$ (σε psec).

To logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.58275/3.08925 = 1.48$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 44.546\text{E-}12/6.3064\text{E-}12 = 7.064$$

FF Corner

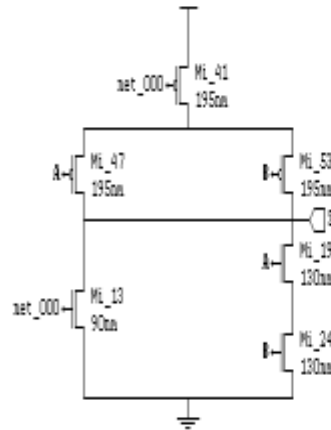
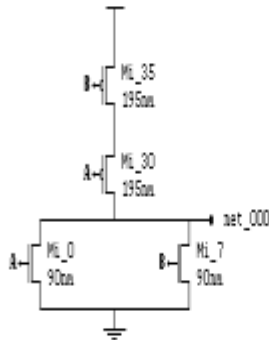
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.13575x + 29.37325$ (σε psec).

To logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.13575/2.109725 = 1.486$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 29.052\text{E-}12/4.2654\text{E-}12 = 6.811$$

XOR2_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname: XOR2_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format: Default.
*
*
*
*
```

```

*
*
*****
*****
.SUBCKT XOR2_X1 A B Z VDD VSS
M_i_0 net_000 A VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 VSS B net_000 VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 Z net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_19 net_001 A Z VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_24 VSS B net_001 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_30 net_002 A net_000 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_35 VDD B net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_41 net_003 net_000 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_47 Z A net_003 VDD PMOS_VTL W=0.195000U L=0.050000U AS=0.019012P
AD=0.019012P PS=0.390000U PD=0.390000U
M_i_53 net_003 B Z VDD PMOS_VTL W=0.195000U L=0.050000U AS=0.019012P
AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VDD    B1     VDD    VSS    XOR2_X1
X2     B1     VDD    C1     VDD    VSS    XOR2_X1
X3     C1     VDD    D1     VDD    VSS    XOR2_X1
X4     D1     VDD    E1     VDD    VSS    XOR2_X1          m=fanout
x5     E1     VDD    F1     VDD    VSS    XOR2_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

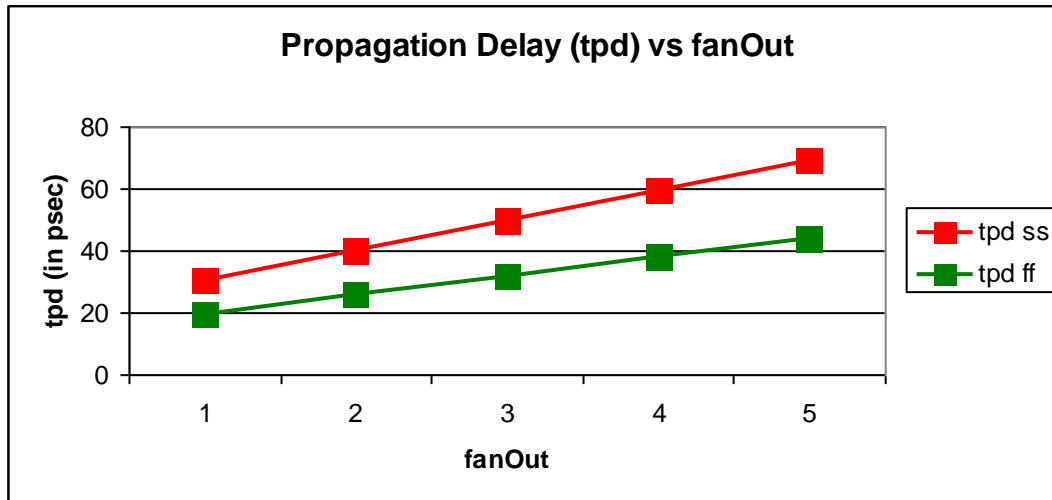
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

```


.END



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 9.638x + 20.802$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 9.638/3.08925 = 3.11$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 20.184\text{E-}12/6.3064\text{E-}12 = 3.2$$

FF Corner

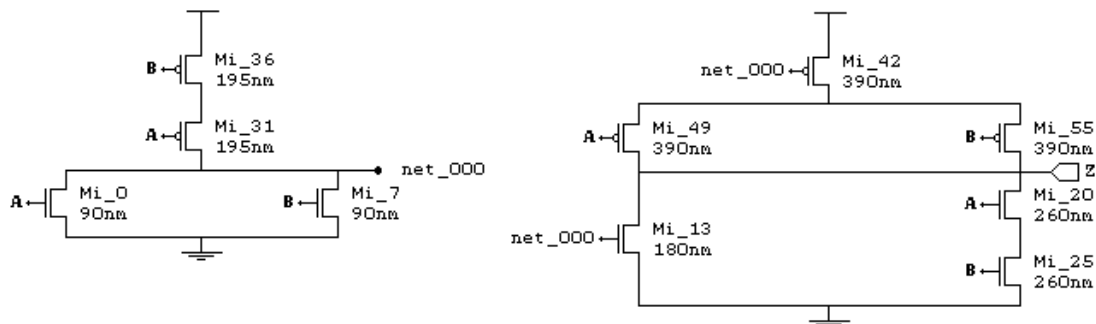
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 6.21025x + 12.9747$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 6.21025/2.109725 = 2.94$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.568\text{E-}12/4.2654\text{E-}12 = 2.95$$

XOR2_X2



```
.param SUPPLY=1.25V
.OPTION POST
```

```
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
```

```
*
*
* Cellname: XOR2_X2.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format: Default.
*
*
*
*
*
```

```
*****
*****
```

```
.SUBCKT XOR2_X2 A B Z VDD VSS
M_i_0 net_000 A VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 VSS B net_000 VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 Z net_000 VSS VSS NMOS_VTL W=0.180000U L=0.050000U
AS=0.016200P AD=0.016200P PS=0.360000U PD=0.360000U
M_i_20 net_001 A Z VSS NMOS_VTL W=0.260000U L=0.050000U AS=0.033800P
AD=0.033800P PS=0.520000U PD=0.520000U
M_i_25 VSS B net_001 VSS NMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_31 net_002 A net_000 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_36 VDD B net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_42 net_003 net_000 VDD VDD PMOS_VTL W=0.390000U L=0.050000U
AS=0.076050P AD=0.076050P PS=0.780000U PD=0.780000U
M_i_49 Z A net_003 VDD PMOS_VTL W=0.390000U L=0.050000U AS=0.076050P
AD=0.076050P PS=0.780000U PD=0.780000U
M_i_55 net_003 B Z VDD PMOS_VTL W=0.390000U L=0.050000U AS=0.076050P
AD=0.076050P PS=0.780000U PD=0.780000U
.ENDS
```

```
*****
*****
```

```
*
* END
*
```

```
*****
*****
```

```
Vdd VDD VSS 'SUPPLY'
Vin A1 VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
```

```

X1    A1    VDD    B1    VDD    VSS    XOR2_X2
X2    B1    VDD    C1    VDD    VSS    XOR2_X2
X3    C1    VDD    D1    VDD    VSS    XOR2_X2
X4    D1    VDD    E1    VDD    VSS    XOR2_X2
x5    E1    VDD    F1    VDD    VSS    XOR2_X2
                                           m=fanout

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpd_r
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

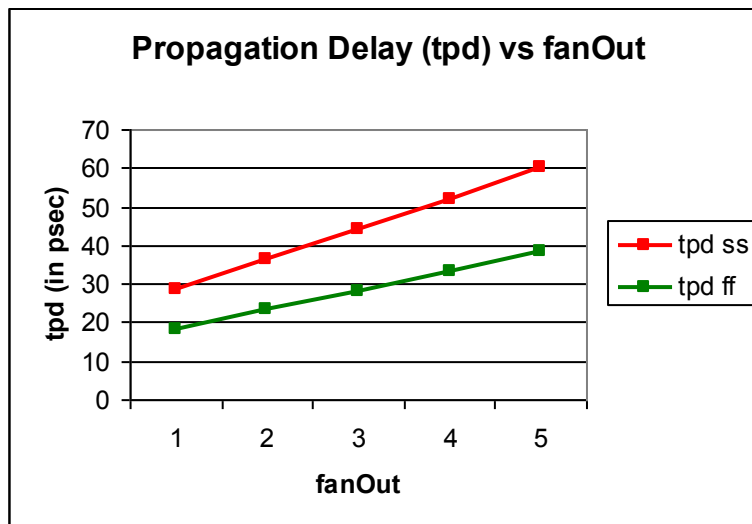
.measure tpd_f
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpd_r+tpd_f)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.89375x + 20.47425$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.89375/3.08925 = 2.555$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 20.114\text{E-}12/6.3064\text{E-}12 = 3.189$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.119x + 12.851$ (σε psec).

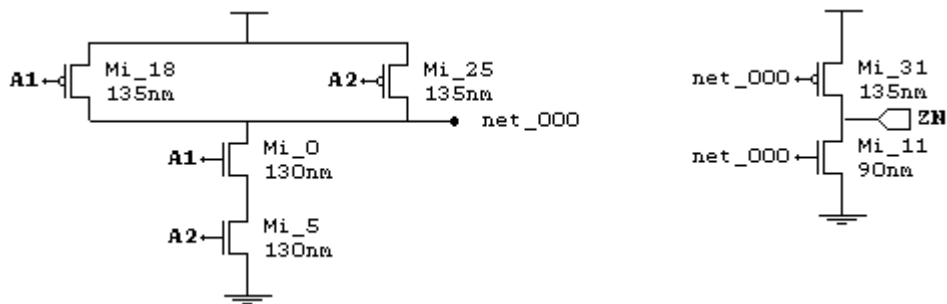
Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.119/2.109725 = 2.426$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.638\text{E-}12/4.2654\text{E-}12 = 2.963$$

XNOR - XOR				
	SS Corner		FF Corner	
	g	p	g	p
XNOR2_X1	2.05	6.08	2.09	5.07
XNOR2_X2	1.48	7.06	1.49	6.81
XOR2_X1	3.11	3.20	2.94	2.95
XOR2_X2	2.56	3.19	2.43	2.93

AND2_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname:   AND2_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
```

```

*
*
*****
*****
.SUBCKT AND2_X1 A1 A2 ZN VDD VSS
M_i_0 net_001 A1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 VSS A2 net_001 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 ZN net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_18 net_000 A1 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_25 VDD A2 net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_31 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    VDD    B1     VDD    VSS    AND2_X1
X2     B1    VDD    C1     VDD    VSS    AND2_X1
X3     C1    VDD    D1     VDD    VSS    AND2_X1
X4     D1    VDD    E1     VDD    VSS    AND2_X1      m=fanout
x5     E1    VDD    F1     VDD    VSS    AND2_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

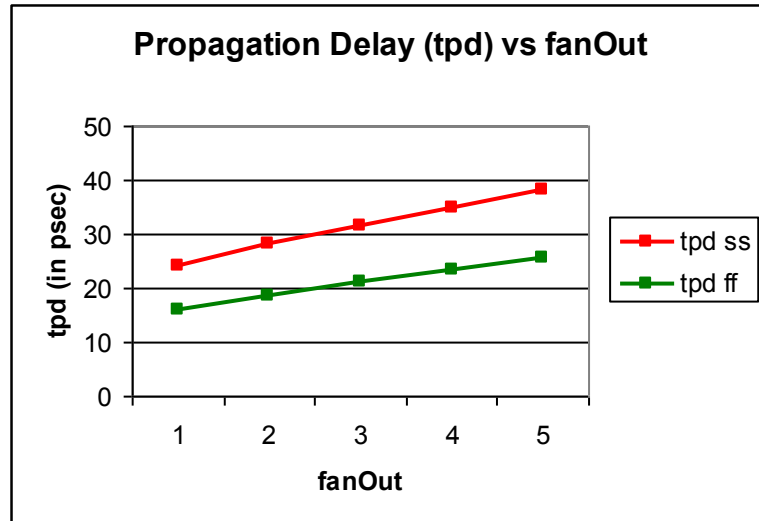
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param=(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.5686x + 20.3815$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.5686/3.08925 = 1.155$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 19.828\text{E-}12/6.3064\text{E-}12 = 3.144$$

FF Corner

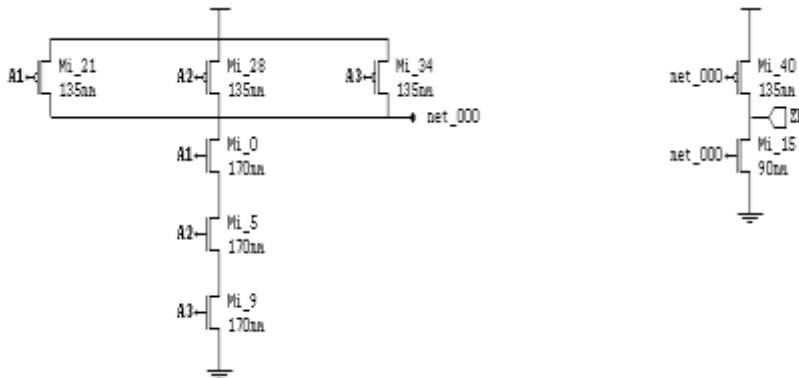
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.48825x + 13.25475$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.48825/2.109725 = 1.179$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 12.577\text{E-}12/4.2654\text{E-}12 = 2.948$$

AND3_X1



```

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   AND3_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT AND3_X1 A1 A2 A3 ZN VDD VSS
M_i_0 net_001 A1 net_000 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_5 net_002 A2 net_001 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_9 VSS A3 net_002 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_15 ZN net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_21 VDD A1 net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_28 net_000 A2 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_34 VDD A3 net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_40 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U

```

```

.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    VDD    VDD    B1    VDD    VSS    AND3_X1
X2     B1    VDD    VDD    C1    VDD    VSS    AND3_X1
X3     C1    VDD    VDD    D1    VDD    VSS    AND3_X1
X4     D1    VDD    VDD    E1    VDD    VSS    AND3_X1          m=fanout
x5     E1    VDD    VDD    F1    VDD    VSS    AND3_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdR
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

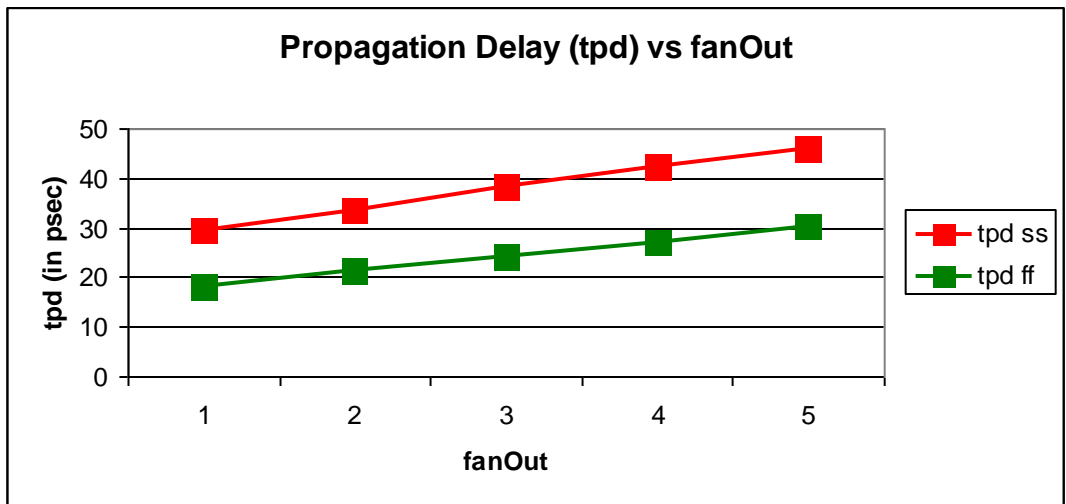
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdR+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.18825x + 25.19775$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.18825/3.08925 = 1.35$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 24.015\text{E-}12/6.3064\text{E-}12 = 3.8$$

FF Corner

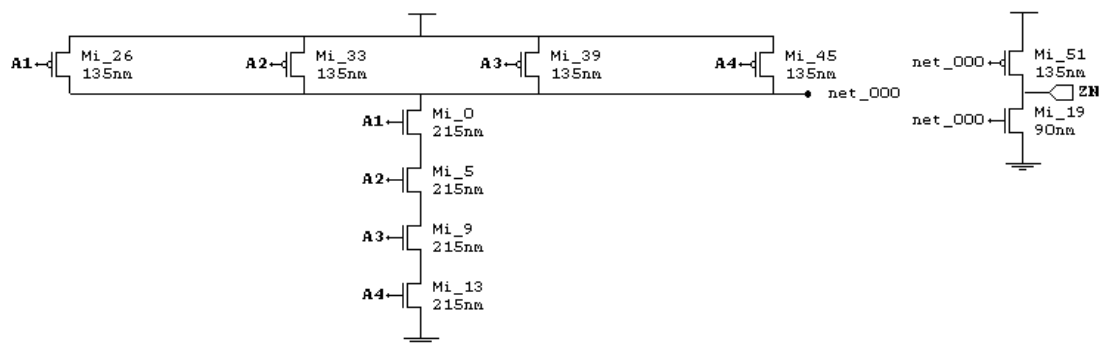
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.007x + 15.257$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.007/2.109725 = 1.42$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 14.831\text{E-}12/4.2654\text{E-}12 = 3.48$$

AND4_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname:   AND4_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
```

```

*
*
*****
*****

.SUBCKT AND4_X1 A1 A2 A3 A4 ZN VDD VSS
M_i_0 net_001 A1 net_000 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_5 net_002 A2 net_001 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_9 net_003 A3 net_002 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_13 VSS A4 net_003 VSS NMOS_VTL W=0.215000U L=0.050000U
AS=0.023112P AD=0.023112P PS=0.430000U PD=0.430000U
M_i_19 ZN net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_26 net_000 A1 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_33 VDD A2 net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_39 net_000 A3 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_45 VDD A4 net_000 VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
M_i_51 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VDD    VDD    VDD    B1     VDD    VSS    AND4_X1
X2     B1     VDD    VDD    VDD    C1     VDD    VSS    AND4_X1
X3     C1     VDD    VDD    VDD    D1     VDD    VSS    AND4_X1
X4     D1     VDD    VDD    VDD    E1     VDD    VSS    AND4_X1    m=fanout
x5     E1     VDD    VDD    VDD    F1     VDD    VSS    AND4_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

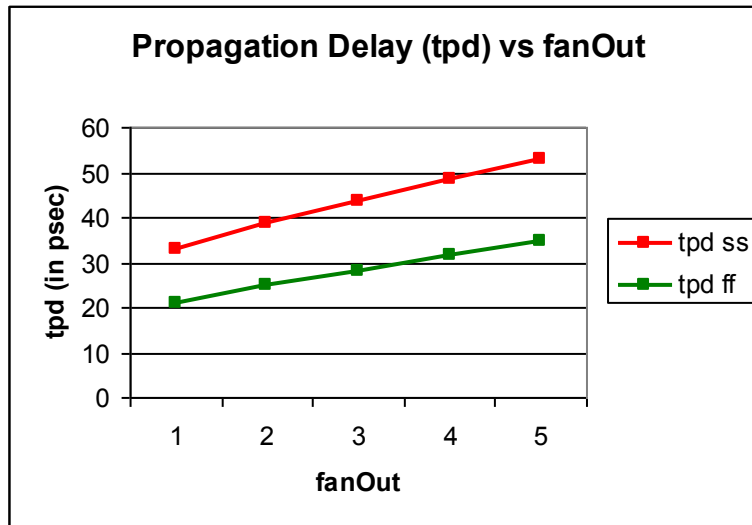
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

```

.END



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.97975x + 28.11825$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.97975/3.08925 = 1.612$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 26.203\text{E-}12/6.3064\text{E-}12 = 4.155$$

FF Corner

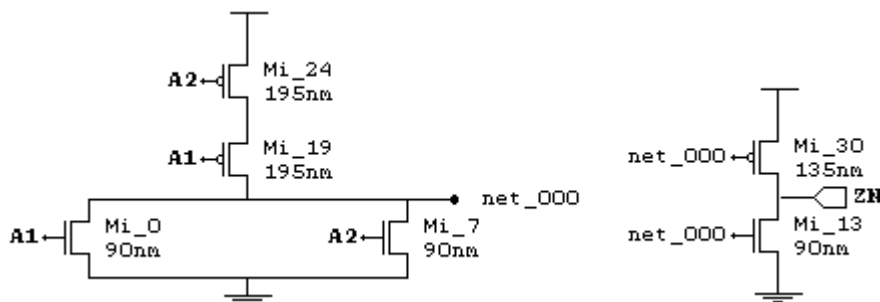
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 3.481x + 17.428$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 3.481/2.109725 = 1.65$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 16.710\text{E-}12/4.2654\text{E-}12 = 3.918$$

OR2_X1



```
.param SUPPLY=1.25V
.OPTION POST
```

```

.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   OR2_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT OR2_X1 A1 A2 ZN VDD VSS
M_i_0 net_000 A1 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 VSS A2 net_000 VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 ZN net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_19 net_001 A1 net_000 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_24 VDD A2 net_001 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_30 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1    VSS   B1    VDD   VSS   OR2_X1
X2    B1    VSS   C1    VDD   VSS   OR2_X1
X3    C1    VSS   D1    VDD   VSS   OR2_X1
X4    D1    VSS   E1    VDD   VSS   OR2_X1   m=fanout
x5    E1    VSS   F1    VDD   VSS   OR2_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr

```

```

+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

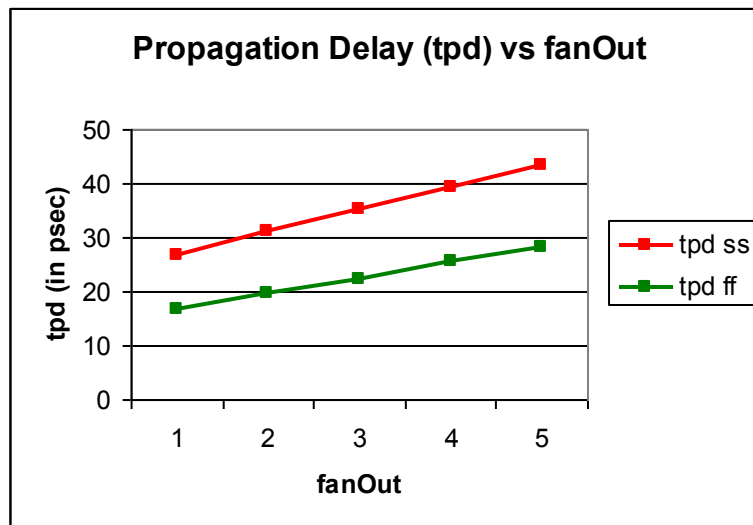
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.191x + 22.301$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.191/3.08925 = 1.36$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 21.535\text{E-}12/6.3064\text{E-}12 = 3.41$$

FF Corner

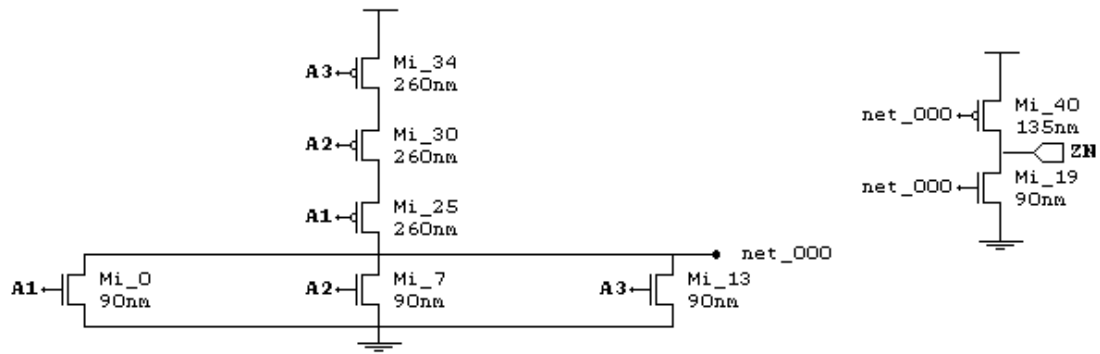
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 2.84525x + 13.93075$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 2.84525/2.109725 = 1.35$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 13.784\text{E-}12/4.2654\text{E-}12 = 3.23$$

OR3_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'
```

```
.GLOBAL VDD
.GLOBAL VSS
```

```
VG VSS 0 0
```

```
*****
*****
*
*
* Cellname:   OR3_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*
*****
```

```
.SUBCKT OR3_X1 A1 A2 A3 ZN VDD VSS
M_i_0 VSS A1 net_000 VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_7 net_000 A2 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 VSS A3 net_000 VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_19 ZN net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_25 net_001 A1 net_000 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_30 net_002 A2 net_001 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_34 VDD A3 net_002 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_40 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS
```

```

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1   A1  VSS  VSS  B1   VDD  VSS  OR3_X1
X2   B1  VSS  VSS  C1   VDD  VSS  OR3_X1
X3   C1  VSS  VSS  D1   VDD  VSS  OR3_X1
X4   D1  VSS  VSS  E1   VDD  VSS  OR3_X1  m=fanout
x5   E1  VSS  VSS  F1   VDD  VSS  OR3_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

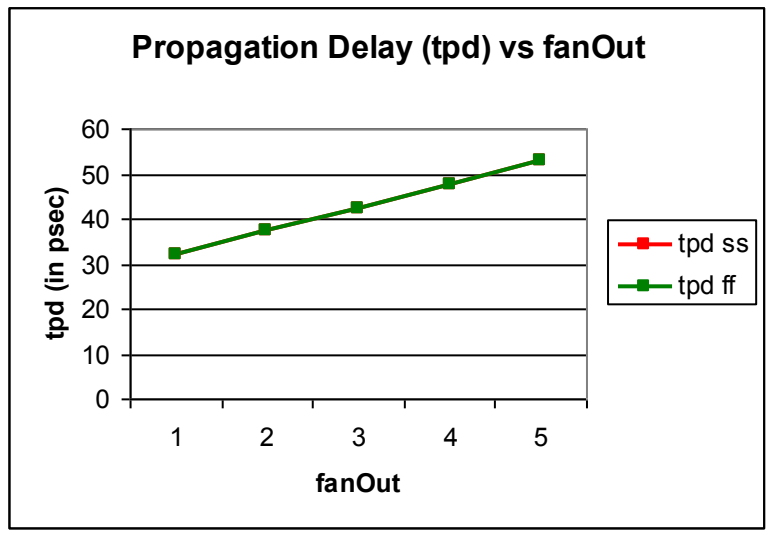
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.23175x + 26.58625$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.23175/3.08925 = 1.69$

Η παρασιτική καθυστέρηση(p) είναι :


```

M_i_7 VSS A2 net_000 VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_13 net_000 A3 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_19 VSS A4 net_000 VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_25 ZN net_000 VSS VSS NMOS_VTL W=0.090000U L=0.050000U
AS=0.004050P AD=0.004050P PS=0.180000U PD=0.180000U
M_i_31 net_001 A1 net_000 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_36 net_002 A2 net_001 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_40 net_003 A3 net_002 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_44 VDD A4 net_003 VDD PMOS_VTL W=0.325000U L=0.050000U
AS=0.052812P AD=0.052812P PS=0.650000U PD=0.650000U
M_i_50 ZN net_000 VDD VDD PMOS_VTL W=0.135000U L=0.050000U
AS=0.009112P AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0  PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     VSS    VSS    VSS    B1     VDD    VSS    OR4_X1
X2     B1     VSS    VSS    VSS    C1     VDD    VSS    OR4_X1
X3     C1     VSS    VSS    VSS    D1     VDD    VSS    OR4_X1
X4     D1     VSS    VSS    VSS    E1     VDD    VSS    OR4_X1    m=fanout
x5     E1     VSS    VSS    VSS    F1     VDD    VSS    OR4_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

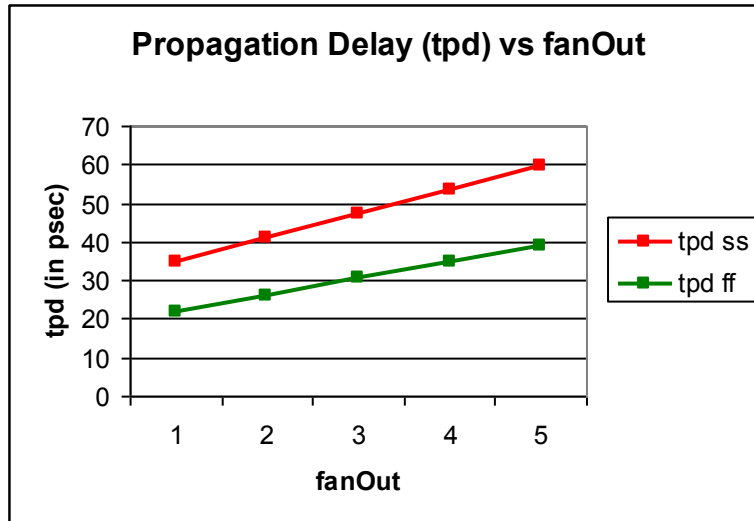
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 6.2735x + 28.3965$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 6.2735/3.08925 = 2.03$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 26.924\text{E-}12/6.3064\text{E-}12 = 4.27$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 4.32825x + 17.40275$ (σε psec).

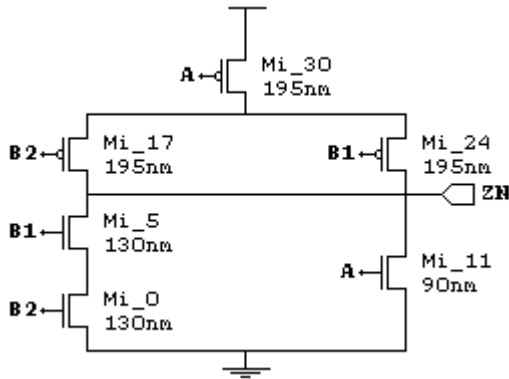
Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 4.32825/2.109725 = 2.05$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 16.957\text{E-}12/4.2654\text{E-}12 = 3.96$$

AND - OR				
	SS Corner		FF Corner	
	g	p	g	p
AND2_X1	1.16	3.14	1.18	2.95
AND3_X1	1.35	3.80	1.42	3.48
AND4_X1	1.61	4.16	1.65	3.92
OR2_X1	1.36	3.41	1.35	3.23
OR3_X1	1.69	3.96	2.48	3.66
OR4_X1	2.03	4.27	2.05	3.96

AOI21_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   AOI21_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT AOI21_X1 A B1 B2 ZN VDD VSS
M_i_0 net_000 B2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 ZN B1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 VSS A ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_17 ZN B2 net_001 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_24 net_001 B1 ZN VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_30 VDD A net_001 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS
```

```

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 500ps
X1   A1  A1  VDD  B1  VDD  VSS  AOI21_X1
X2   B1  B1  VDD  C1  VDD  VSS  AOI21_X1
X3   C1  C1  VDD  D1  VDD  VSS  AOI21_X1
X4   D1  D1  VDD  E1  VDD  VSS  AOI21_X1  m=fanout
x5   E1  E1  VDD  F1  VDD  VSS  AOI21_X1

.TRAN 1ps 500ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

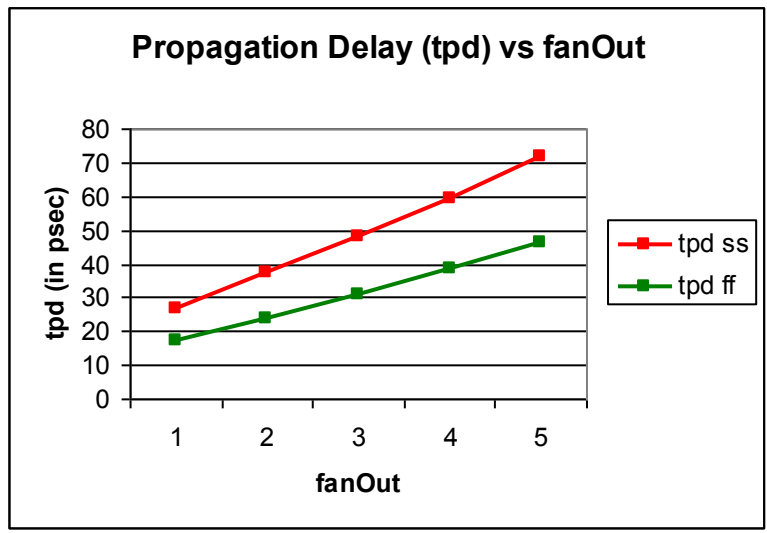
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 11.2895x + 15.2725$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 11.2895/3.08925 = 3.65$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = tpd(\text{gate})/tpd(\text{min_inv}) = 16.141\text{E-}12/6.3064\text{E-}12 = 2.56$$

FF Corner

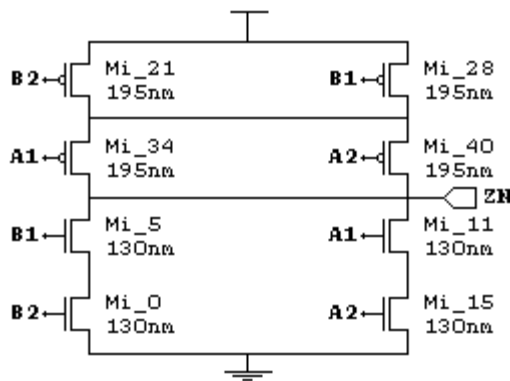
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.33625x + 9.61975$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.33625/2.109725 = 3.48$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = tpd(\text{gate})/tpd(\text{min_inv}) = 10.191\text{E-}12/4.2654\text{E-}12 = 2.39$$

AOI22_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   AOI22_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT AOI22_X1 A1 A2 B1 B2 ZN VDD VSS
M_i_0 net_000 B2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
```

```

M_i_5 ZN B1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 net_001 A1 ZN VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_15 VSS A2 net_001 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_21 VDD B2 net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_28 net_002 B1 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_34 ZN A1 net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_40 net_002 A2 ZN VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

```

```

*****
*****
*
* END
*
*****
*****

```

```

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    A1     A1     VDD    B1     VDD    VSS    AOI22_X1
X2     B1    B1     B1     VDD    C1     VDD    VSS    AOI22_X1
X3     C1    C1     C1     VDD    D1     VDD    VSS    AOI22_X1
X4     D1    D1     D1     VDD    E1     VDD    VSS    AOI22_X1    m=fanout
x5     E1    E1     E1     VDD    F1     VDD    VSS    AOI22_X1

```

```
.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1
```

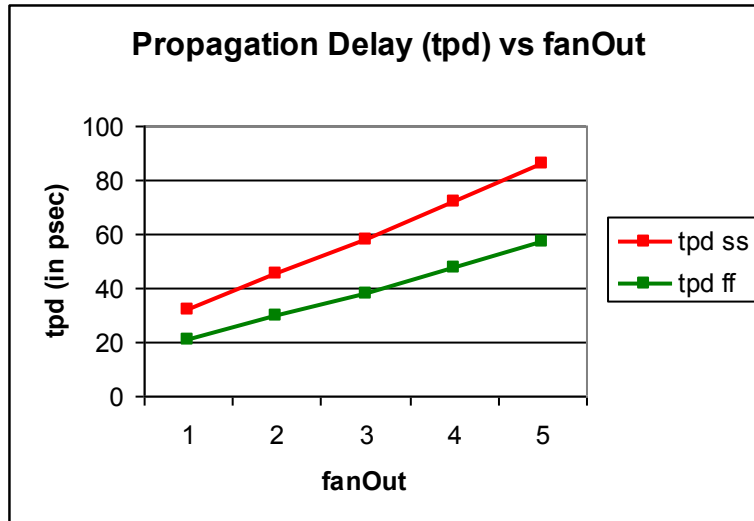
```
.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1
```

```
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1
```

```
.measure tpd param=(tpdr+tpdf)/2'
```

```
.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'
.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 13.53975x + 18.59325$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate}) / \text{slope}(\text{min_inv}) = 13.53975 / 3.08925 = 4.38$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate}) / \text{tpd}(\text{min_inv}) = 19.218\text{E-}12 / 6.3064\text{E-}12 = 3.05$$

FF Corner

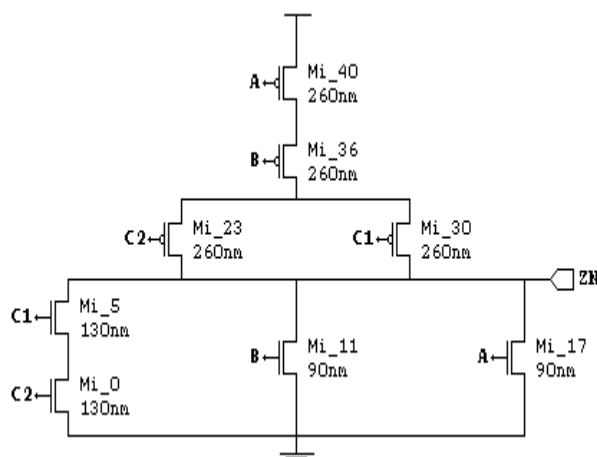
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 8.99275x + 11.86025$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate}) / \text{slope}(\text{min_inv}) = 8.99275 / 2.109725 = 4.26$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate}) / \text{tpd}(\text{min_inv}) = 12.264\text{E-}12 / 4.2654\text{E-}12 = 2.88$$

AOI211_X1



.param SUPPLY=1.25V

```

.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   AOI211_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*
*****
*****
.SUBCKT AOI211_X1 A B C1 C2 ZN VDD VSS
M_i_0 net_000 C2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 ZN C1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 VSS B ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_17 ZN A VSS VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_23 ZN C2 net_001 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_30 net_001 C1 ZN VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_36 net_002 B net_001 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_40 VDD A net_002 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
.ENDS

*****
*****
*
* END
*
*****
*****
Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1    A1    A1    VDD   B1    VDD   VSS   AOI211_X1
X2    B1    B1    B1    VDD   C1    VDD   VSS   AOI211_X1
X3    C1    C1    C1    VDD   D1    VDD   VSS   AOI211_X1
X4    D1    D1    D1    VDD   E1    VDD   VSS   AOI211_X1   m=fanout

```



```

x5      E1      E1      E1      VDD      F1      VDD      VSS      AOI211_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

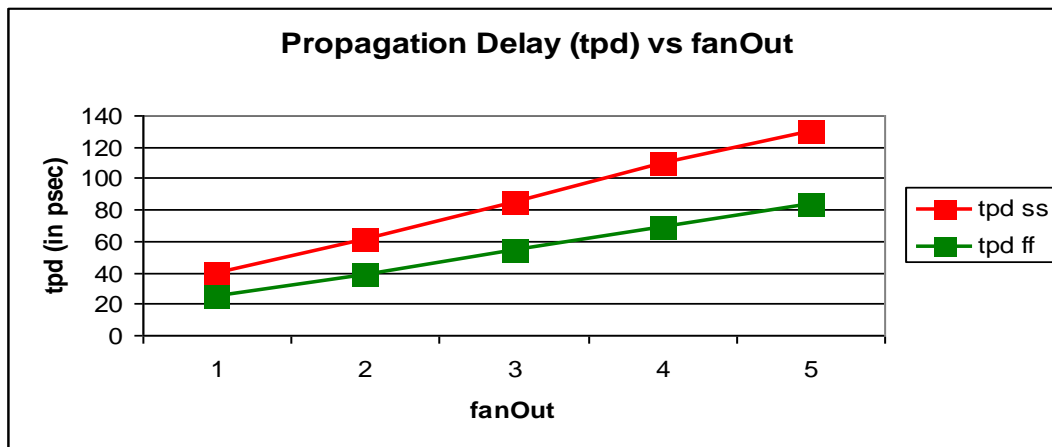
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 23.369775x + 16.19125$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 23.369775/3.08925 = 7.57$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 19.477\text{E-}12/6.3064\text{E-}12 = 3.08$$

FF Corner

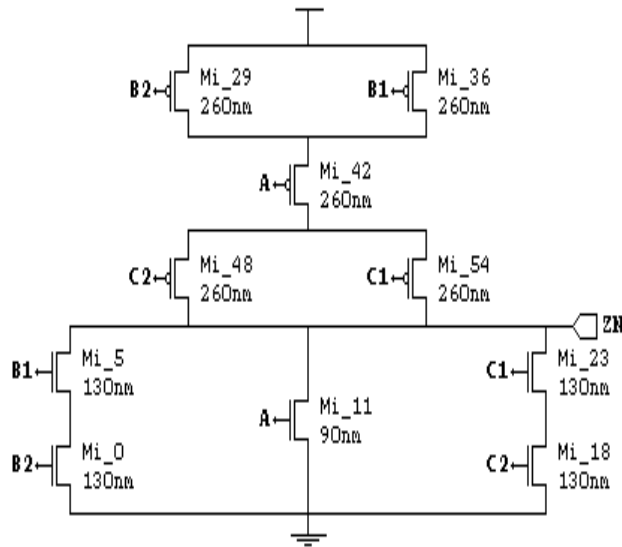
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 14.624x + 9.979$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 14.624/2.109725 = 6.94$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 11.313\text{E-}12/4.2654\text{E-}12 = 2.65$$

AOI221_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   AOI221_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
```

```

* Format:      Default.
*
*
*
*
*
*****
*****
.SUBCKT AOI221_X1 A B1 B2 C1 C2 ZN VDD VSS
M_i_0 net_000 B2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_5 ZN B1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 VSS A ZN VSS NMOS_VTL W=0.090000U L=0.050000U AS=0.004050P
AD=0.004050P PS=0.180000U PD=0.180000U
M_i_18 net_001 C2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_23 ZN C1 net_001 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_29 VDD B2 net_002 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_36 net_002 B1 VDD VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_42 net_003 A net_002 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_48 ZN C2 net_003 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_54 net_003 C1 ZN VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1    A1    A1    A1    VDD   B1    VDD   VSS   AOI221_X1

X2    B1    B1    B1    B1    VDD   C1    VDD   VSS   AOI221_X1

X3    C1    C1    C1    C1    VDD   D1    VDD   VSS   AOI221_X1
X4    D1    D1    D1    D1    VDD   E1    VDD   VSS   AOI221_X1
m=fanout
x5    E1    E1    E1    E1    VDD   F1    VDD   VSS   AOI221_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

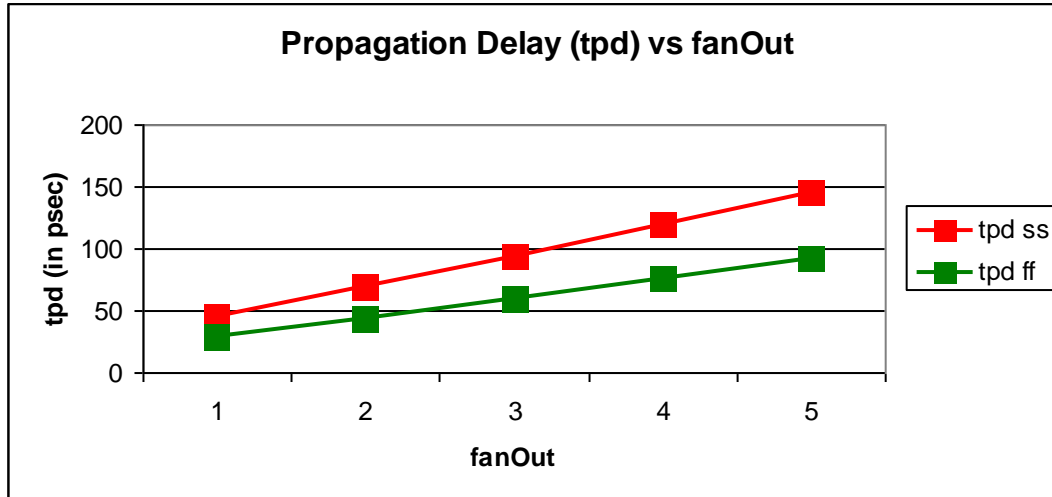
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

```

```
.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 24.947x + 20,595$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 24.947/3.08925 = 8.075$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 22.387\text{E-}12/6.3064\text{E-}12 = 3.95$$

FF Corner

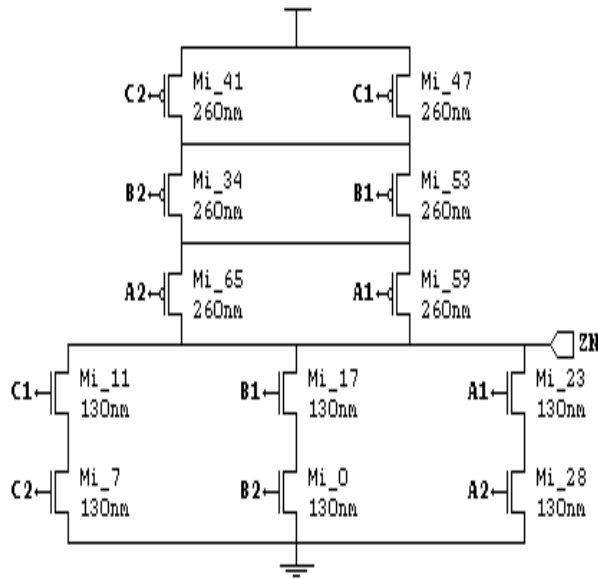
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 15.9625x + 12.4595$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 15.9625/2.109725 = 7.56$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 13.177\text{E-}12/4.2654\text{E-}12 = 3.08$$

AOI222_X1



```

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   AOI222_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT AOI222_X1 A1 A2 B1 B2 C1 C2 ZN VDD VSS
M_i_0 VSS B2 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_7 net_001 C2 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_11 ZN C1 net_001 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U

```

```

M_i_17 net_000 B1 ZN VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_28 VSS A2 net_002 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_23 net_002 A1 ZN VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_34 net_004 B2 net_003 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_41 VDD C2 net_004 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_47 net_004 C1 VDD VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_53 net_003 B1 net_004 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_65 net_003 A2 ZN VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_59 ZN A1 net_003 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     A1     A1     A1     A1     VDD    B1     VDD    VSS    AOI222_X1
X2     B1     B1     B1     B1     B1     VDD    C1     VDD    VSS    AOI222_X1
X3     C1     C1     C1     C1     C1     VDD    D1     VDD    VSS    AOI222_X1
*X4    D1     D1     D1     D1     D1     VDD    E1     VDD    VSS    AOI222_X1
m=fanout
*x5    E1     E1     E1     E1     E1     VDD    F1     VDD    VSS    AOI222_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

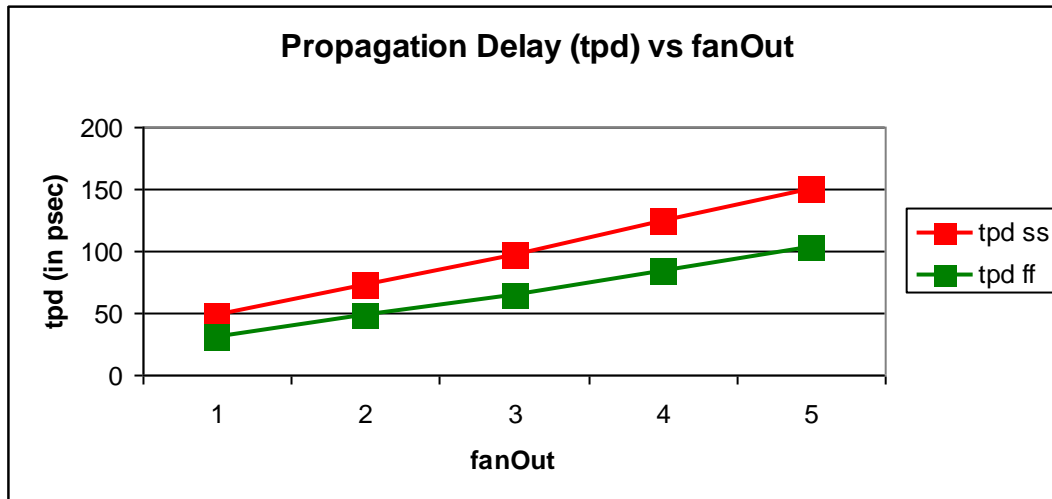
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 25.6747x + 22.086$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 25.6747/3.08925 = 8.31$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 24.953\text{E-}12/6.3064\text{E-}12 = 3.96$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 24.5045x + 6.6775$ (σε psec).

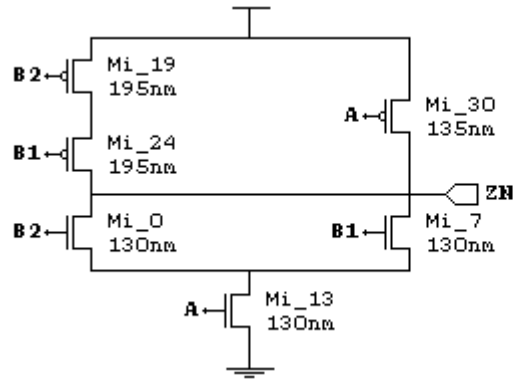
Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 24.5045/2.109725 = 11.6$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 15.492\text{E-}12/4.2654\text{E-}12 = 3.63$$

AOIs				
	SS Corner		FF Corner	
	g	p	g	p
AOI21_X1	3.65	2.56	3.84	2.39
AOI22_X1	4.38	3.05	4.26	2.88
AOI211_X1	7.57	3.08	6.94	2.65
AOI221_X1	8.08	3.95	7.56	3.08
AOI222_X1	8.31	3.96	11.6	3.63

AOI21_X1



```

.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   OAI21_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT OAI21_X1 A B1 B2 ZN VDD VSS
M_i_0 ZN B2 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_7 net_000 B1 ZN VSS NMOS_VTL W=0.130000U L=0.050000U AS=0.008450P
AD=0.008450P PS=0.260000U PD=0.260000U
M_i_13 VSS A net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_19 net_001 B2 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_24 ZN B1 net_001 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_30 VDD A ZN VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

```



```

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1   A1  A1  VDD  B1  VDD  VSS  OAI21_X1
X2   B1  B1  VDD  C1  VDD  VSS  OAI21_X1
X3   C1  C1  VDD  D1  VDD  VSS  OAI21_X1
X4   D1  D1  VDD  E1  VDD  VSS  OAI21_X1  m=fanout
x5   E1  E1  VDD  F1  VDD  VSS  OAI21_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

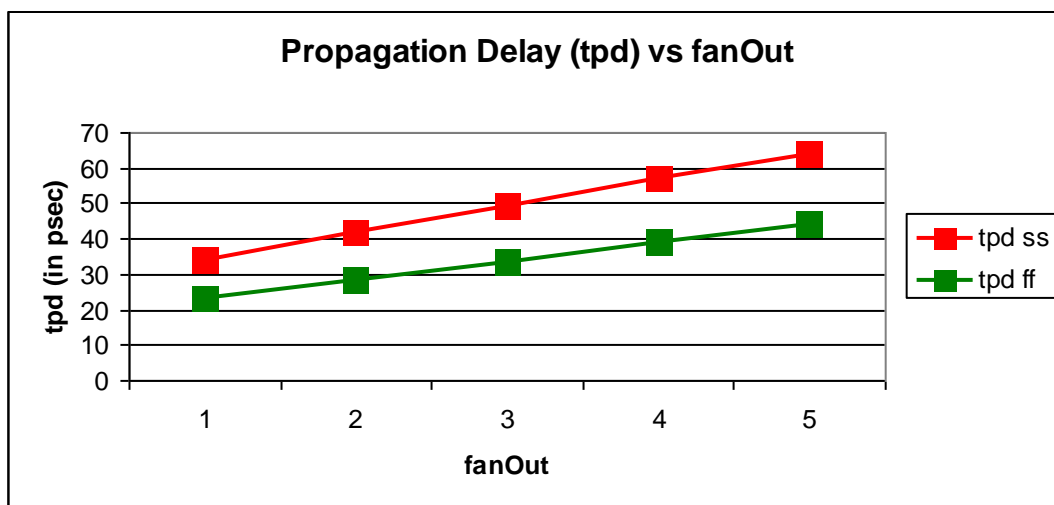
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.49975x + 26.81825$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.49975/3.08925 = 2.42$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 26.288\text{E-}12/6.3064\text{E-}12 = 4.16$$

FF Corner

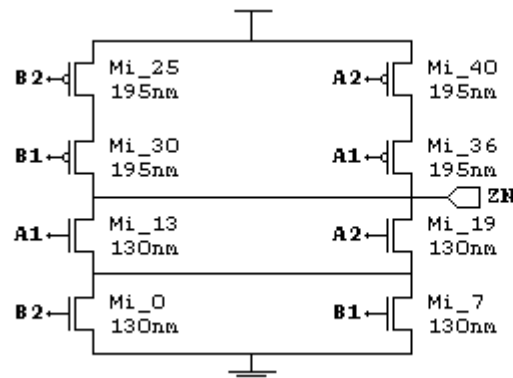
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.30225x + 17.642$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.30225/2.109725 = 2.51$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 17.3\text{E-}12/4.2654\text{E-}12 = 4.05$$

OAI22_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   OAI22_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
```

```

* Format:      Default.
*
*
*
*
*
*****
*****
.SUBCKT OAI22_X1 A1 A2 B1 B2 ZN VDD VSS
M_i_0 VSS B2 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_7 net_000 B1 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_13 ZN A1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_19 net_000 A2 ZN VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_25 net_001 B2 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_30 ZN B1 net_001 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_36 net_002 A1 ZN VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_40 VDD A2 net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd   VDD   VSS   'SUPPLY'
Vin   A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1    A1    A1     A1     VDD   B1     VDD   VSS   OAI22_X1
X2    B1    B1     B1     VDD   C1     VDD   VSS   OAI22_X1
X3    C1    C1     C1     VDD   D1     VDD   VSS   OAI22_X1
*x4   D1    D1     D1     VDD   E1     VDD   VSS   OAI22_X1   m=fanout
*x5   E1    E1     E1     VDD   F1     VDD   VSS   OAI22_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

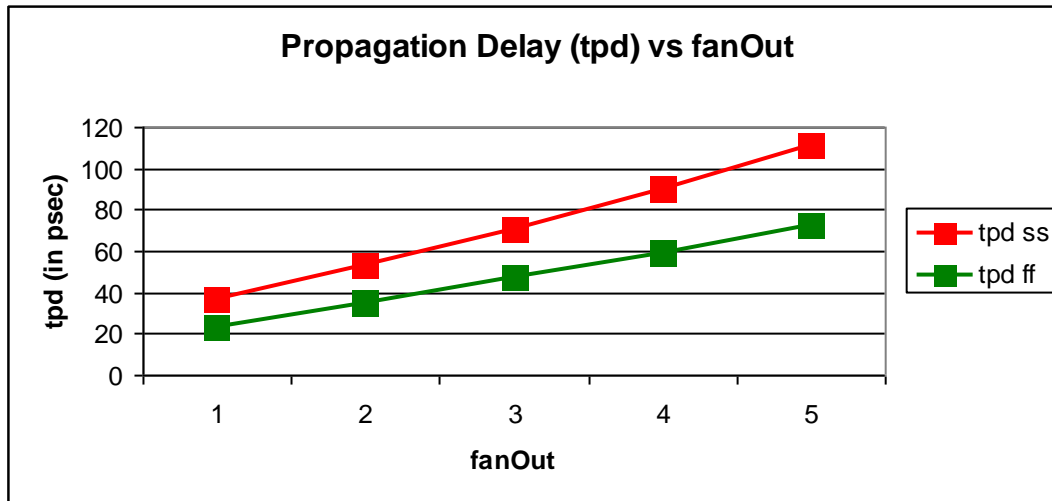
.measure tpd param=(tpdr+tpdf)/2'

.ALTER

```

```
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END
```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 18.5455x + 18.2625$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 18.5455/3.08925 = 6.003$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 21.110\text{E-}12/6.3064\text{E-}12 = 3.34$$

FF Corner

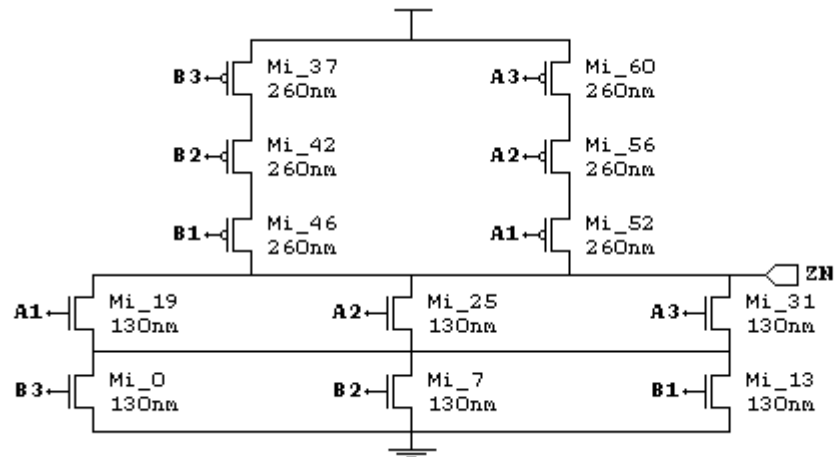
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 12.249x + 11.423$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 12.249/2.109725 = 5.8$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 13.033\text{E-}12/4.2654\text{E-}12 = 3.05$$

OAI33_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   OAI33_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT OAI33_X1 A1 A2 A3 B1 B2 B3 ZN VDD VSS
M_i_0 net_000 B3 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_7 VSS B2 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_13 net_000 B1 VSS VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_19 ZN A1 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
```

```

M_i_25 net_000 A2 ZN VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_31 ZN A3 net_000 VSS NMOS_VTL W=0.130000U L=0.050000U
AS=0.008450P AD=0.008450P PS=0.260000U PD=0.260000U
M_i_37 net_001 B3 VDD VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_42 net_002 B2 net_001 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_46 ZN B1 net_002 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_52 net_003 A1 ZN VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_56 net_004 A2 net_003 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
M_i_60 VDD A3 net_004 VDD PMOS_VTL W=0.260000U L=0.050000U
AS=0.033800P AD=0.033800P PS=0.520000U PD=0.520000U
.ENDS

```

```

*****
*****
*
* END
*
*****
*****

```

```

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    A1    A1    A1    A1    VDD    B1    VDD    VSS    OAI33_X1
X2     B1    B1    B1    B1    B1    VDD    C1    VDD    VSS    OAI33_X1
X3     C1    C1    C1    C1    C1    VDD    D1    VDD    VSS    OAI33_X1
X4     D1    D1    D1    D1    D1    VDD    E1    VDD    VSS    OAI33_X1
m=fanout
x5     E1    E1    E1    E1    E1    VDD    F1    VDD    VSS    OAI33_X1

```

```
.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1
```

```

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

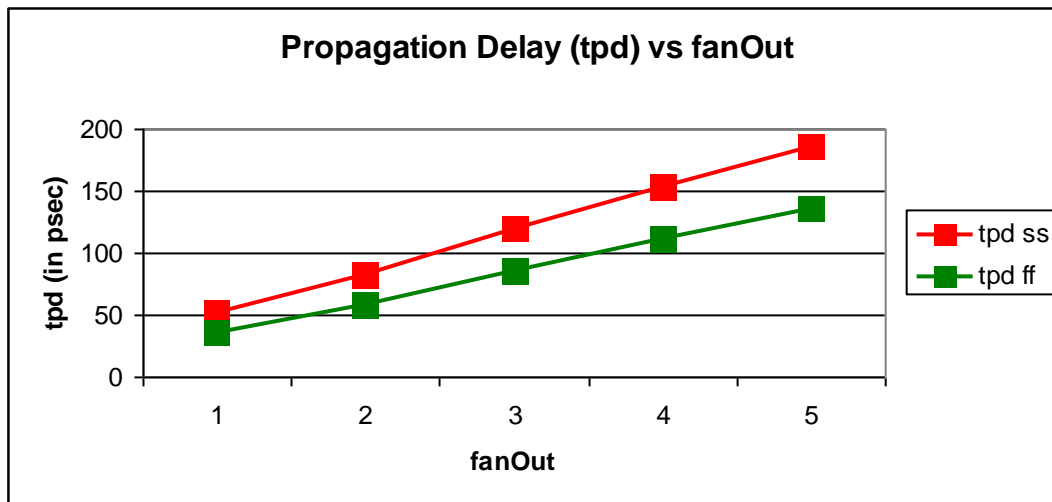
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 33.45675x + 18.7162$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 33.4567/3.08925 = 10.83$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 25.460\text{E-}12/6.3064\text{E-}12 = 4.03$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 25.237x + 9.7237$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 25.237/2.109725 = 11.9$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 15.345\text{E-}12/4.2654\text{E-}12 = 3.59$$


```

M_i_34 VDD A ZN VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
M_i_41 ZN B VDD VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1     VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1     A1     A1     VDD    B1     VDD    VSS    OAI211_X1
X2     B1     B1     B1     VDD    C1     VDD    VSS    OAI211_X1
X3     C1     C1     C1     VDD    D1     VDD    VSS    OAI211_X1
X4     D1     D1     D1     VDD    E1     VDD    VSS    OAI211_X1    m=fanout

x5     E1     E1     E1     VDD    F1     VDD    VSS    OAI211_X1

.TRAN 1ps 1000ps START=0ps *sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

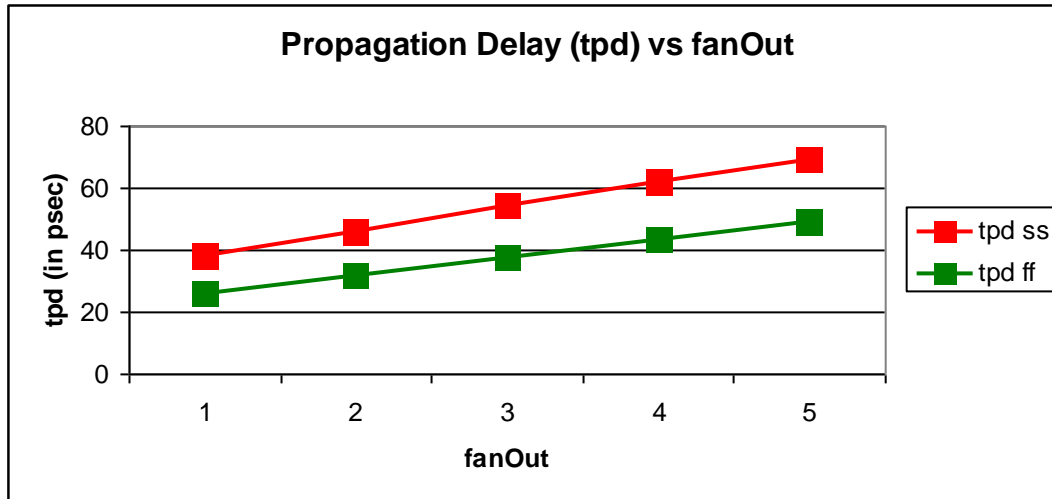
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.76775x + 30.36025$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.76775/3.08925 = 3.23$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 28.830\text{E-}12/6.3064\text{E-}12 = 4.57$$

FF Corner

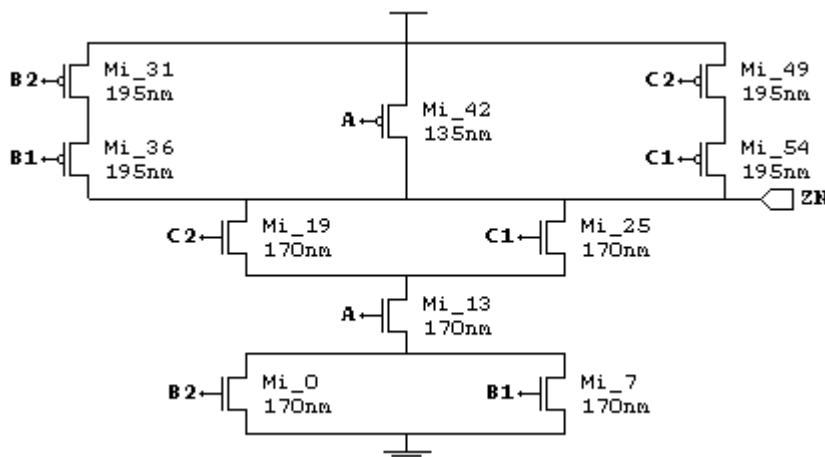
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 5.7985x + 20.0045$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 5.7985/2.109725 = 2.74$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 19.188\text{E-}12/4.2654\text{E-}12 = 4.49$$

OAI221_X1



.param SUPPLY=1.25V

```

.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   OAI221_X1.
*
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT OAI221_X1 A B1 B2 C1 C2 ZN VDD VSS
M_i_0 VSS B2 net_000 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_7 net_000 B1 VSS VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_13 net_001 A net_000 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_19 ZN C2 net_001 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_25 net_001 C1 ZN VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_31 net_002 B2 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_36 ZN B1 net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_42 VDD A ZN VDD PMOS_VTL W=0.135000U L=0.050000U AS=0.009112P
AD=0.009112P PS=0.270000U PD=0.270000U
M_i_49 net_003 C2 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_54 ZN C1 net_003 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd  VDD  VSS  'SUPPLY'
Vin  A1  VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps

```

```

X1    A1    A1    A1    A1    VDD    B1    VDD    VSS    OAI221_X1
X2    B1    B1    B1    B1    VDD    C1    VDD    VSS    OAI221_X1
X3    C1    C1    C1    C1    VDD    D1    VDD    VSS    OAI221_X1
X4    D1    D1    D1    D1    VDD    E1    VDD    VSS    OAI221_X1
m=fanout
x5    E1    E1    E1    E1    VDD    F1    VDD    VSS    OAI221_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

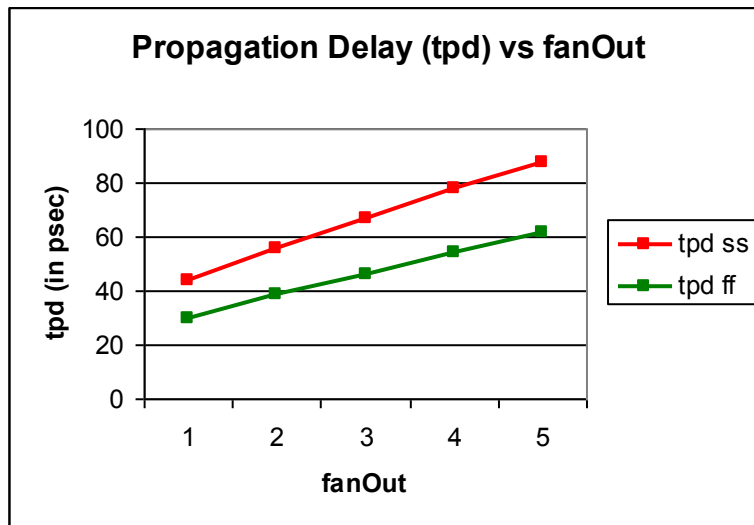
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 10.81925x + 33.25475$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 10.81925/3.08925 = 3.50$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 30.995\text{E-}12/6.3064\text{E-}12 = 4.92$$

FF Corner

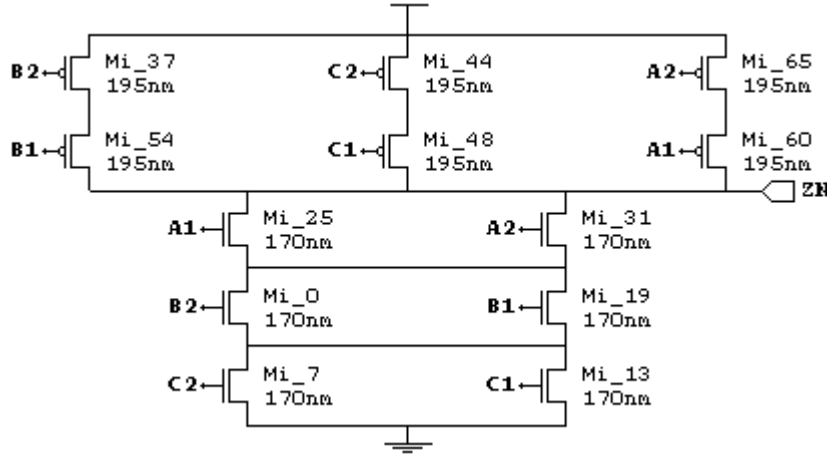
Η εξίσωση της αντίστοιχης γραφικής είναι $y = 7.93575x + 22.04425$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 7.93575/2.109725 = 3.76$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 20.744\text{E-}12/4.2654\text{E-}12 = 4.86$$

OAI222_X1



```
.param SUPPLY=1.25V
.OPTION POST
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ss.include'

.GLOBAL VDD
.GLOBAL VSS

VG VSS 0 0

*****
*****
*
*
* Cellname:   OAI222_X1.
*
*
* Technology: NCSU FreePDK 45nm.
*
* Format:     Default.
*
*
*
*
*****
*****
.SUBCKT OAI222_X1 A1 A2 B1 B2 C1 C2 ZN VDD VSS
M_i_0 net_001 B2 net_000 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_7 VSS C2 net_001 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_13 net_001 C1 VSS VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_19 net_000 B1 net_001 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
```

```

M_i_25 ZN A1 net_000 VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_31 net_000 A2 ZN VSS NMOS_VTL W=0.170000U L=0.050000U
AS=0.014450P AD=0.014450P PS=0.340000U PD=0.340000U
M_i_37 VDD B2 net_002 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_44 net_003 C2 VDD VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_48 ZN C1 net_003 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_54 net_002 B1 ZN VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_60 net_004 A1 ZN VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
M_i_65 VDD A2 net_004 VDD PMOS_VTL W=0.195000U L=0.050000U
AS=0.019012P AD=0.019012P PS=0.390000U PD=0.390000U
.ENDS

*****
*****
*
* END
*
*****
*****

Vdd    VDD    VSS    'SUPPLY'
Vin    A1    VSS=0 PULSE 0 'SUPPLY' 0ps 20ps 20ps 220ps 1000ps
X1     A1    A1    A1    A1    A1    VDD    B1    VDD    VSS    OAI222_X1
X2     B1    B1    B1    B1    B1    VDD    C1    VDD    VSS    OAI222_X1
X3     C1    C1    C1    C1    C1    VDD    D1    VDD    VSS    OAI222_X1
X4     D1    D1    D1    D1    D1    VDD    E1    VDD    VSS    OAI222_X1
m=fanout
x5     E1    E1    E1    E1    E1    VDD    F1    VDD    VSS    OAI222_X1

.TRAN 1ps 1000ps START=0ps sweep fanout 1 5 1

.measure tpdr
+ TRIG v(C1) VAL='SUPPLY/2' FALL=1
+ TARG v(D1) VAL='SUPPLY/2' RISE=1

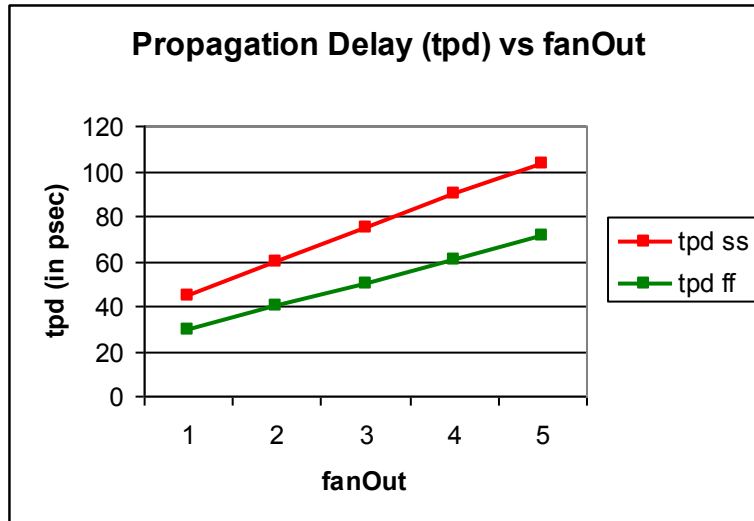
.measure tpdf
+ TRIG v(C1) VAL='SUPPLY/2' RISE=1
+ TARG v(D1) VAL='SUPPLY/2' FALL=1

.measure tpd param='(tpdr+tpdf)/2'

.ALTER
.INCLUDE
'C:\NangateOpenCellLibrary_PDKv1_3_v2009_07\NangateOpenCellLibrary_PD
Kv1_3_v2009_07\technology\models\hspice\hspice_ff.include'

.END

```



SS Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 14.72925x + 29.31375$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 14.72925/3.08925 = 4.77$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 26.739\text{E-}12/6.3064\text{E-}12 = 4.24$$

FF Corner

Η εξίσωση της αντίστοιχης γραφικής είναι $y = 10.35225x + 18.94475$ (σε psec).

Το logical effort(g) είναι $g = \text{slope}(\text{gate})/\text{slope}(\text{min_inv}) = 10.35225/2.109725 = 4.91$

Η παρασιτική καθυστέρηση(p) είναι :

$$p = \text{tpd}(\text{gate})/\text{tpd}(\text{min_inv}) = 17.603\text{E-}12/4.2654\text{E-}12 = 4.13$$

OAI's				
	SS Corner		FF Corner	
	g	p	g	p
OAI21_X1	2.42	4.16	2.51	4.05
OAI22_X1	6.00	3.34	5.80	3.05
OAI33_X1	10.83	4.03	11.9	3.59
OAI211_X1	3.23	4.57	2.74	4.49
OAI221_X1	3.50	4.92	3.76	4.86
OAI222_X1	4.77	4.24	4.91	4.13

POST_SPICE_GATES				
	SS Corner		FF Corner	
	g	p	g	p
INV_X1	1	1	1	1
AND2_X1	1.07	3.35	1.13	3.19
NAND2_X1	1.03	2.50	1.08	2.43
OR2_X1	1.38	3.51	1.41	3.42
NOR2_X1	1.53	2.86	1.49	2.78
AOI21_X1	2.93	2.62	2.84	2.51
OAI21_X1	1.94	4.19	2.17	4.22

4.8 ΣΥΜΠΕΡΑΣΜΑΤΑ

Οι πίνακες που παρουσιάζονται στην προηγούμενη ενότητα μας δείχνουν τα αποτελέσματα που προέκυψαν ύστερα από τις προσομοιώσεις με το επιστημονικό εργαλείο HSPICE. Βλέπουμε δηλαδή τα αποτελέσματα για το logical effort(g) και την παρασιτική καθυστέρηση(p) για κάθε μία από τις πύλες που μας παρέχει η NANGATE Open Cell Library. Επίσης χρησιμοποιούμε δύο διαφορετικά corners για το χαρακτηρισμό των λογικών πυλών.

Κοιτάζοντας προσεκτικά τους πίνακες παρατηρούμε ότι όσο πιο πολύπλοκη γίνεται μια συγκεκριμένη πύλη(π.χ. NAND), δηλαδή όσο αυξάνονται οι είσοδοι της πύλης, αυξάνονται και το g και το p και για τα δύο corners. Επίσης βλέπουμε ότι όσο πιο σύνθετη είναι μία πύλη (π.χ. AOI,OAI) το p και το g αυξάνονται και πάλι. Επιπρόσθετα σημαντικό ρόλο στην διαφοροποίηση των τιμών σημαντικό ρόλο διαδραματίζουν τα μεγέθη των τρανζίστορ W και L. Συγκεκριμένα αλλάζοντας αυτά τα μεγέθη για τρανζίστορ μιας συγκεκριμένης πύλης αλλάζουν και οι τιμές των p και g για διαφορετικές τιμές. Τέλος μπορούμε να παρατηρήσουμε ότι τα δύο διαφορετικά corners (SS,FF) αντικατοπτρίζουν πλήρως στα p και g τις ιδιότητες τους, ότι δηλαδή το SS corner παρέχει αργά τρανζίστορ ενώ το FF παρέχει γρήγορα και συνεπώς με το SS έχουμε μεγαλύτερη καθυστέρηση σε σχέση με το FF.

BIBΛΙΟΓΡΑΦΙΑ

[1] CMOS VLSI Design: A Circuits and Systems Perspective, 4/E, Neil Weste, David Harris Publisher: Addison-Wesley Copyright: 2011

[2] Logical Effort: Designing Fast CMOS Circuits (The Morgan Kaufmann Series in Computer Architecture and Design) Ivan Sutherland Robert F. Sproull David Harris

[3] Digital Integrated Circuits (2nd Edition) Jan M. Rabaey, Anantha Chandrakasan , Borivoje Nikolic

[4] Σεδίαση ολοκληρωμένων κυκλωμάτων CMOS VLSI ,N.H.WESTE,K.ESHRAGHIAN,1996 Second edition

[5] <http://www.nangate.com/>

[6] A Tutorial on HSPICE, Owen Casha B. Eng. (Hons.) – 2005

[7] High Speed CMOS Circuit Design (c) 1997 David Harris Lecture 2: Static Design

[8] UNIVERSITY OF CALIFORNIA AT BERKELEY College of Engineering
Department of Electrical Engineering and Computer Sciences EE105 Lab
Experiments HSPICE Tutorial

[9] Notes on Library Characterization, Cell Characterization and Abstract Generation , Yu Long

[10] <http://www.ee.washington.edu/class/cadta/hspice/>

[11] Standard Cell Characterization, Richard Sohnus, Computer Architecture Group
Prof. Dr. U. Brüning University of Mannheim 16.12.2003

[12]Introduction to HSpice, Dr.-Ing. Frank Sill Department of Electrical Engineering,
Federal University of Minas Gerais, Av. Antônio Carlos 6627, CEP: 31270-010, Belo Horizonte (MG), Brazil