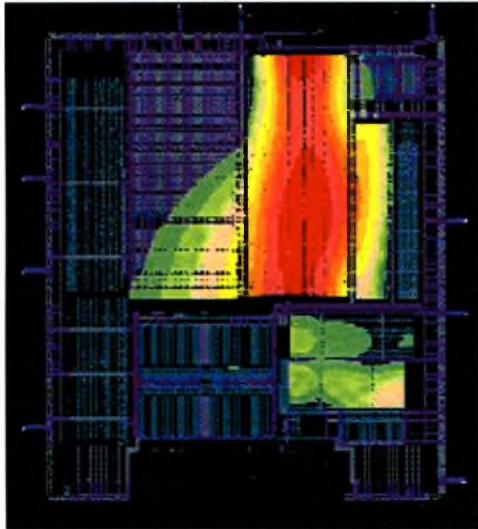




ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ

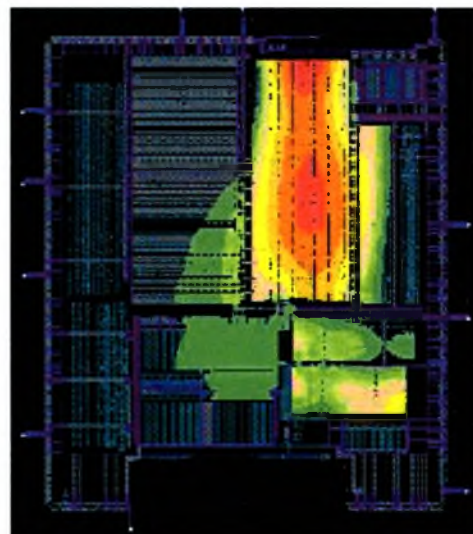


ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Τσιαμπάς Μιχάλης

*Μεθοδολογίες Ανάλυσης και Βελτιστοποίησης
Αγωγών Τροφοδοσίας Ολοκληρωμένων
Κυκλωμάτων*

Επιβέπων: Γεώργιος Σταμούλης
Αναπληρωτής Καθηγητής



Βόλος, Οκτώβριος 2007



**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΒΙΒΛΙΟΘΗΚΗ & ΚΕΝΤΡΟ ΠΛΗΡΟΦΟΡΗΣΗΣ
ΕΙΔΙΚΗ ΣΥΛΛΟΓΗ «ΓΚΡΙΖΑ ΒΙΒΛΙΟΓΡΑΦΙΑ»**

Αριθ. Εισ.: 5988/1
Ημερ. Εισ.: 29-10-2007
Δωρεά: Συγγραφέα
Ταξιθετικός Κωδικός: ΠΤ – ΜΗΥΤΔ
2007
ΤΣΙ

Η εργασία αυτή είναι αφιερωμένη
στους γονείς μου.

Ευχαριστίες

Για τη συνεχή υποστήριξη που μου παρείχε κατά τη διάρκεια των δύομισι τελευταίων χρόνων, στα οποία καταπιάστηκα με τη διπλωματική αυτή εργασία, θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Γεώργιο Σταμούλη. Οι συμβουλές και οι κατευθύνσεις που μου έδωσε, σε κρίσιμα σημεία της εργασίας, οδήγησαν τόσο στη πληρέστερη ανάλυση του περιεχομένου της όσο και στη ταχύτερη ολοκλήρωση αυτής. Επιπλέον τον ευχαριστώ για τη βοήθεια που μου προσέφερε στην επίλυση των ζητημάτων που προέκυπταν κατά τη διάρκεια της εργασίας. Τέλος τον ευχαριστώ για την εμπιστοσύνη που έδειξε στο πρόσωπο μου.

Θα ήθελα πραγματικά να ευχαριστήσω το μέλος της εξεταστικής επιτροπής της διπλωματικής αυτής εργασίας τον κ. Ν.Ευμορφόπουλο, του οποίου οι εύστοχες επισημάνσεις, τόσο πάνω στο θεωρητικό μέρος όσο και πάνω στην υλοποίηση της διπλωματικής εργασίας, με βοήθησαν στη ποιοτική βελτίωση της ανάλυσης του θέματος της διπλωματικής εργασίας. Τον ευχαριστώ ακόμη για τις κατευθύνσεις που μου παρείχε πάνω στην εύρεση των απαραίτητων πηγών πληροφορίας που με βοήθησαν στην υλοποίηση της εργασίας.

Ένα μεγάλο ευχαριστώ στον πολύ καλό φίλο και συνάδελφο Δημήτρη Καραμπατζάκη για τη συνεχή βοήθεια, υποστήριξη και την αμέριστη συμπαράσταση του κατά τη διάρκεια της εργασίας. Επίσης, τον ευχαριστώ διότι με ενέπνευσε να ασχοληθώ με το συγκεκριμένο θέμα με το οποίο καταπιάνεται η διπλωματική εργασία αλλά και διότι μου μεταλαμπάδευσε τις απαραίτητες γνώσεις πάνω στο θέμα αυτό.

Επιθυμώ, επίσης να ευχαριστήσω τους φίλους και συμφοιτητές μου για την υποστήριξη και τη συμπαράστασή τους όλο αυτό τον καιρό που κάνουμε παρέα.

Τέλος, θέλω να ευχαριστήσω την οικογένεια μου για τη συμπαράσταση αλλά και τη πλήρη και πολυεπίπεδη υποστήριξη που μου παρείχε καθ'όλη τη διάρκεια των σπουδών μου.

Πρόλογος

Παρατηρώντας τον μέσο άνθρωπο του 21^{ου} αιώνα κατανοούμε πόσο απαραίτητη έχει γίνει η τεχνολογία στη καθημερινή του ζωή. Ο άνθρωπος απαιτεί καθημερινά από τις συσκευές υψηλής τεχνολογίας μεγαλύτερη ταχύτητα για γρηγορότερη περάτωση των λειτουργιών που του αναθέτει, μικρότερες διαστάσεις για την ευκολότερη μεταφορά τους αλλά και χαμηλότερη κατανάλωση ενέργειας για μεγαλύτερη αυτονομία. Η συνεχής αυτή πίεση για βελτίωση των λειτουργιών που προσφέρουν τα μηχανήματα υψηλής τεχνολογίας είναι λογικό να διοχετεύεται σε όλα τα επίπεδα της τεχνολογίας και να καταλήγει στο hardware. Οι κατασκευαστές ολοκληρωμένων κυκλωμάτων προκειμένου να ικανοποιήσουν τις υψηλές απαιτήσεις της εποχής μας οδηγήθηκαν σε μεγαλύτερες και πολυπλοκότερες σχεδιάσεις ολοκληρωμένων κυκλωμάτων. Στη προσπάθειά τους να μειώσουν παράλληλα το χώρο που καταλαμβάνει το ολοκληρωμένο ήταν φυσικό να οδηγηθούν σε πυκνότερες σχεδιάσεις. Προκειμένου να είναι εφικτή η υλοποίηση πυκνότερων σχεδιάσεων, έγινε χρήση περισσότερων επιπέδων μετάλλου για μεγαλύτερη οδήγηση σημάτων και τάσης, αλλά και σμίκρυνση τόσο του μεγέθους των τρανζίστορ όσο και του πλάτους των καλωδίων. Η σμίκρυνση των τρανζίστορ, οδήγησε με τη σειρά της στην προς τα κάτω κλιμάκωση της τάσης τροφοδοσίας, που έχει σαν αποτέλεσμα τη μείωση των περιθωρίων θορύβου των πυλών. Τέλος η μείωση των περιθωρίων θορύβου των πυλών ενδέχεται να οδηγήσει σε πιθανή δυσλειτουργία του κυκλώματος. Εξαιτίας του μεγέθους τους, τα σύγχρονα ολοκληρωμένα τεχνολογίας νανομέτρου περιέχουν τεράστια δίκτυα διανομής ισχύος με αποτέλεσμα, να αντιμετωπίζουν ένα πλήθος προβλημάτων αξιοπιστίας. Το μέγεθος του δικτύου διανομής ισχύος σε συνδυασμό με την αύξηση της αντίστασης των καλωδίων εξαιτίας της σμίκρυνσης του πλάτους τους οδηγούν στο μεγαλύτερο από τα προβλήματα αυτά και ταυτόχρονα δυσκολότερο στην αντιμετώπισή του, αυτό της πτώσης τάσης (IR drop) στους μη ιδανικούς αγωγούς τροφοδοσίας και γείωσης.

Εισαγωγή

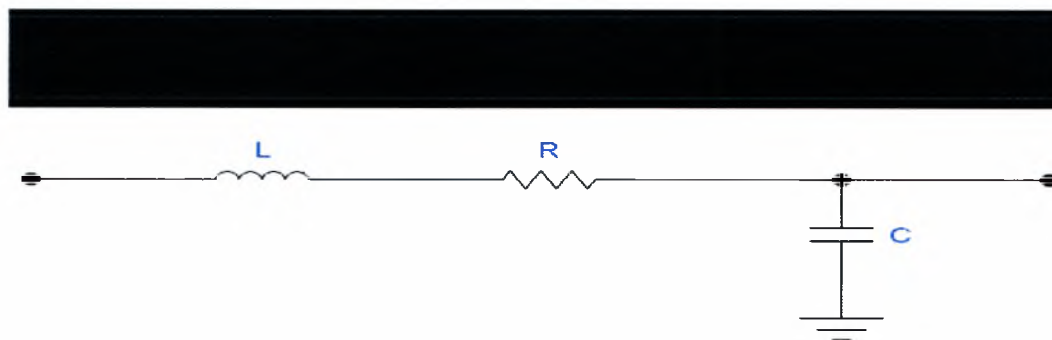
Κατά την αναφορά μας στη τεχνολογία στην οποία έχει υλοποιηθεί η σχεδίαση ενός Ολοκληρωμένου Κυκλώματος (ΟΚ) ουσιαστικά αναφερόμαστε τόσο στο μέγεθος των τρανζίστορ όσο και στα χαρακτηριστικά των μετάλλων που χρησιμοποιούνται αλλά και την χημική επεξεργασία που αυτά έχουν υποστεί. Με την ανάπτυξη της τεχνολογίας και τη μετάβαση από μια γενιά τρανζίστορ στην επόμενη το μέγεθός τους μικραίνει. Επιπλέον η αυξημένη πολυπλοκότητα που παρουσιάζουν στις μέρες μας τα Ολοκληρωμένα Κυκλώματα αλλά και οι υψηλές συχνότητες που αυτά λειτουργούν έχουν σαν αποτέλεσμα τη δημιουργία πλήθους προβλημάτων αξιοπιστίας στα Ολοκληρωμένα. Τα βασικότερα από τα προβλήματα αυτά είναι η πτώση τάσης (IR drop) στο δίκτυο των μη ιδανικών αγωγών τροφοδοσίας (Power grid) και γείωσης, η ηλεκτρομετανάστευση (electromigration) και η αναπήδηση της τάσης.

Προκειμένου να εντοπιστούν τα προβλήματα αυτά, να υπολογιστεί η έκταση τους αλλά και η ένταση τους στην επιφάνεια του Ολοκληρωμένου καθώς και για την καλύτερη δυνατή επίλυσή τους γίνεται πλέον εκτενής χρήση των εργαλείων CAD.

Η παρούσα διπλωματική εργασία καταπιάνεται με τη μελέτη και την ανάλυση του μεγαλύτερου από τα προβλήματα αυτά, αλλά και ταυτόχρονα δυσκολότερου στην επίλυσή του, του φαινομένου της πτώσης τάσης στο δίκτυο διανομής ισχύος του Κυκλώματος. Η εργασία παρουσιάζει μια προσέγγιση για την επίλυση του προβλήματος μέσω μίας ροής σχεδίασης από εργαλεία CAD, της χρήσης μιας στατιστικής μηχανής εκτίμησης βασισμένη στην ασυμπτωτική θεωρία ακραίων τιμών και της δημιουργίας προγραμμάτων για την αυτοματοποίηση λειτουργιών.

Το IR-drop στο δίκτυο διανομής ισχύος του ολοκληρωμένου.

Κατά τη προσομοίωση του ΟΚ σε επίπεδο τρανζίστορ θεωρείται, λανθασμένα πάντα, ότι το επίπεδο της τάσης που παρέχεται από την εξωτερική πηγή που τροφοδοτεί το chip φτάνει πάνω από κάθε τρανζίστορ αμείωτο. Κάτι τέτοιο δεν συμβαίνει στην πραγματικότητα εξαιτίας του φαινομένου της μείωσης της τάσης τροφοδοσίας από το σημείο που εφαρμόζεται η εξωτερική πηγή πάνω στο δίκτυο διανομής μέχρι το μέταλλο-καλώδιο που φτάνει πάνω από κάθε υποκύκλωμα ή ακόμη και πάνω από κάθε τρανζίστορ και τα τροφοδοτεί με ρεύμα-ισχύ. Το φαινόμενο αυτό χαρακτηρίζει τη πτώση του πραγματικού επιπέδου τάσης που παρέχεται στις ενεργές συσκευές (υποκυκλώματα – blocks) του κυκλώματος λόγω της πεπερασμένης αντίστασης των καλωδίων τροφοδοσίας και γείωσης. Η πτώση τάσης όμως δεν εξαρτάται αποκλειστικά από την αντίσταση των μετάλλων του δικτύου διανομής ισχύος αλλά όπως μαρτυρά και η διεθνής ορολογία IR-drop του φαινομένου, όπου εμφανώς το γινόμενο $I \cdot R$ αντιπροσωπεύει τη τάση, εξαρτάται και από το ρεύμα το οποίο περνά από τους μεταλλικούς αγωγούς του δικτύου. Η ανάλυση και επαλήθευση ενός δικτύου διανομής ισχύος ανάγεται σε ένα ιδιαίτερα σημαντικό ζήτημα στα ΟΚ τεχνολογικής σχεδίασης κλίμακας νανομέτρου. Σε μία τέτοια προσπάθεια, το δίκτυο διανομής ισχύος μοντελοποιείται σε μεγάλη λεπτομέρεια ως ένα γραμμικό δίκτυο επαγωγής – αντίστασης -χωρητικότητας (RLC) και αυτό διότι κάθε ένας από τους αγωγούς από τους οποίους αποτελείται το δίκτυο εμφανίζει μια σύνθετη εμπέδηση που αποτελείται από τους παραπάνω όρους και ο αγωγός μοντελοποιείται από τα αντίστοιχα ηλεκτρικά στοιχεία.

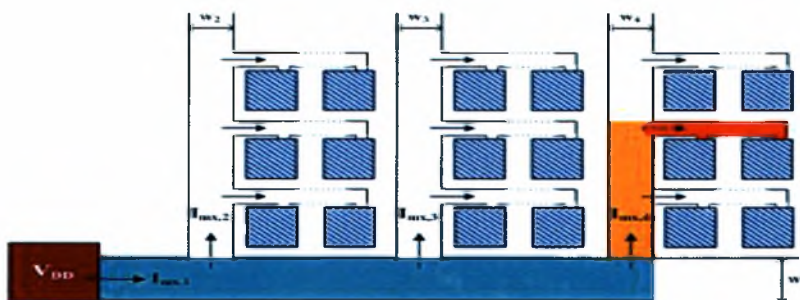


Εικόνα 1. Μοντελοποίηση των αγωγών μετάλλου των δικτύων τροφοδοσίας και γείωσης.

Ανάλυση των αιτιών που προκαλούν την πτώση τάσης στο δίκτυο διανομής ισχύος.

Όπως ήδη αναφέρθηκε στην προηγούμενη παράγραφο οι δύο κύριες αιτίες που προκαλούν τη πτώση της τάσης στο δίκτυο τροφοδοσίας των ολοκληρωμένων κυκλωμάτων είναι η πεπερασμένη αντίσταση που παρουσιάζουν οι μεταλλικοί αγωγοί που συνιστούν το δίκτυο τροφοδοσίας του κυκλώματος αλλά και το ρεύμα που τους διαπερνά. Η πεπερασμένη αντίσταση του καλωδίου είναι ανάλογη των χαρακτηριστικών της τεχνολογίας, του μήκους του και αντιστρόφως ανάλογη του πλάτους του ενώ η σχέση που τα συνδέει δίνεται από τον τύπο: $R = (\rho/t) * (L/W)$, όπου ρ η ειδική αντίσταση του μετάλλου, t το πάχος του, που αποτελούν και τα χαρακτηριστικά της τεχνολογίας, L το μήκος του και W το πλάτος του. Το πηλίκο ρ/t μπορεί να αντικατασταθεί από το σύμβολο R_{sh} που ονομάζεται ειδική αντίσταση φύλλου μετάλλου και ο τύπος της αντίστασης να ξαναγραφεί ως εξής: $R = R_{sh} * (L/W)$. Με την ανάπτυξη της τεχνολογίας, το πλάτος των μετάλλων μικραίνει, ενώ τα σύγχρονα ΟΚ, τεχνολογίας βαθέως υπομικρού (submicron: 90nm, 65nm) περιέχουν τεράστια δίκτυα διανομής ισχύος με αποτέλεσμα το μήκος τους να αυξάνεται. Φυσικό επακόλουθο της μείωσης του πλάτους και της ταυτόχρονης αύξησης του μήκους όπως μαρτυρά και ο τύπος που την υπολογίζει είναι η αντίσταση που παρουσιάζουν τα μέταλλα αυτά να αυξάνεται. Η αντίσταση αυτή που παρουσιάζουν οι γραμμές τροφοδοσίας, είναι που ευθύνεται και για τον όρο R κατά τη μοντελοποίηση του δικτύου ως ένα γραμμικό δίκτυο RLC όπως αναφέρθηκε προηγουμένως.

Το IR-drop (πτώση τάσης) μπορεί να εμφανιστεί σε οποιοδήποτε επίπεδο της ιεραρχίας του δικτύου τροφοδοσίας.



Εικόνα 2. Ιεραρχία του δικτύου τροφοδοσίας (μείωση του πλάτους των μετάλλων καθώς πηγαίνουμε σε χαμηλότερα επίπεδα μετάλλου).

Αν παρουσιαστεί σε χαμηλό επίπεδο (πιο κοντά σε transistor level) το φαινόμενο θεωρείται τοπικό. Η αιτία που το προκαλεί σε αυτή την περίπτωση είναι η ταυτόχρονη αλλαγή κατάστασης σημαντικού αριθμού πυλών εξαιτίας κάποιου συγκεκριμένου συνδυασμού διανυσμάτων εισόδου που δόθηκαν στο ολοκληρωμένο. Αποτέλεσμα της ταυτόχρονης αλλαγής κατάστασης είναι να τραβάνε περισσότερο ρεύμα τα τρανζίστορ των πυλών τη συγκεκριμένη χρονική στιγμή(για το συγκεκριμένο διάνυσμα εισόδου). Λόγω του τύπου που μας δίνει τη τάση $V = I \cdot R$ (θεωρώντας το R σταθερό) υπάρχει αύξηση της πτώσης της τάσης στο επίπεδο μετάλλου (που μοντελοποιείται ως αντίσταση) της τροφοδοσίας που παρέχει το ρεύμα στο σύνολο των πυλών που υπέστησαν αλλαγή της κατάστασής τους. Αν το IR-drop παρουσιαστεί σε σχετικά υψηλό επίπεδο της ιεραρχίας του δικτύου τροφοδοσίας το φαινόμενο θεωρείται εκτεταμένο, το πρόβλημα στο ολοκληρωμένο είναι ιδιαίτερα σημαντικό και χρήζει άμεσης επίλυσης. Η αιτία που μπορεί να προκάλεσε το φαινόμενο σε μεγάλη έκταση είναι η μη ισορροπημένη κατανομή ισχύος στο δίκτυο τροφοδοσίας. Αποτέλεσμα αυτού είναι μεγάλα blocks πυλών να τραβάνε μεγάλη ποσότητα ρεύματος και να εμφανίζεται μεγάλη πτώση τάσης στον αγωγό που τα τροφοδοτεί με ρεύμα. Λογικό είναι ο αγωγός αυτός είναι να βρίσκεται σε υψηλά ιεραρχικό επίπεδο εφόσον τροφοδοτεί μεγάλα blocks πυλών. Το εκτεταμένο φαινόμενο μπορεί να θεωρηθεί μια κλιμάκωση του τοπικού. Ένα ποσοστό IR-drop είναι αναπόφευκτο εξαιτίας της αναγκαιότητας ύπαρξης κυκλωμάτων που να αλλάζουν ταυτόχρονα κατάσταση εντός του ολοκληρωμένου όπως αυτά του ρολογιού και των latches.

Ανίχνευση του φαινομένου της πτώσης τάσης στην έκταση του ολοκληρωμένου.

Η ανίχνευση των σημείων του δικτύου τροφοδοσίας που εμφανίζουν υψηλή πτώση τάσης ανιχνεύονται με δύο τρόπους, ανάλογα με την ανάλυση που επιλέγουμε να εφαρμόσουμε στο ολοκληρωμένο. Οι δύο δυνατές αναλύσεις που μπορούμε να εφαρμόσουμε είναι είτε η στατική είτε η δυναμική ανάλυση. Η ανάλυση και επαλήθευση ενός δικτύου διανομής ισχύος ανάγεται σε ένα ιδιαίτερα σημαντικό ζήτημα στα ολοκληρωμένα κυκλώματα τεχνολογικής σχεδίασης κλίμακας νανομέτρου.

Η στατική ανάλυση (dc analysis) κατά την οποία εφαρμόζονται στη σχεδίαση μόνο οι αμετάβλητες-σταθερές πηγές τάσης-ρεύματος στο ολοκληρωμένο, αποτελεί το

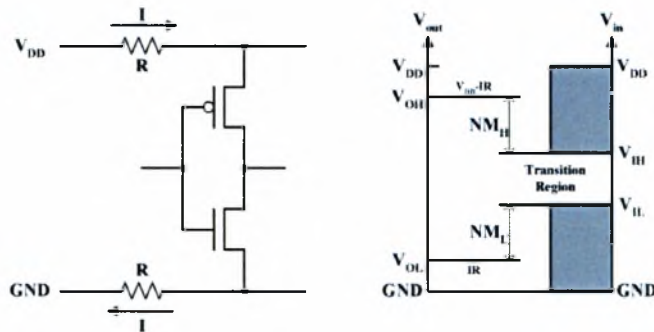
πρώτο και απλούστερο επίπεδο ελέγχου της σχεδίασης. Στο κομμάτι αυτό του ελέγχου της σχεδίασης ανιχνεύονται γρήγορα τα βασικά προβλήματα που ενδέχεται να έχει μια σχεδίαση, προβλήματα που ενδεχομένως να μην ανιχνεύονταν ακόμη και στη δυναμική ανάλυση. Αιτία ο τεράστιος όγκος των δυνατών διανυσμάτων εισόδου άρα και προσομοιώσεων που πρέπει να πραγματοποιηθούν.

Η δυναμική ανάλυση αντιμετωπίζει σημαντικά προβλήματα και αυτό διότι τα δίκτυα παροχής ρεύματος είναι δυνατό να περιέχουν δεκάδες ή εκατοντάδες χιλιάδες κόμβων. Η ανάλυση ενός τέτοιου δικτύου είναι υπολογιστικά ακριβή αλλά και αργή. Πρόσφατες προσεγγίσεις προτείνουν μεθόδους για την ανάλυση και επαλήθευση τεραστίων και πολύπλοκων πλεγμάτων (δικτύων διανομής ισχύος) χρησιμοποιώντας ιεραρχικές μεθόδους. Η επαλήθευση του πλέγματος τάσης πρέπει να βασιστεί σε κατάλληλες τιμές των μεγίστων ρευμάτων που εμφανίζονται κατά την λειτουργία του κυκλώματος και των υποσυστημάτων του, τα οποία σε όλες τις προηγούμενες περιπτώσεις θεωρούνταν ως δεδομένα. Παρ'όλα αυτά, τέτοιες τιμές ή εκτιμήσεις, είναι δύσκολο να ληφθούν εφόσον το στιγμιαίο ρεύμα είναι συνάρτηση των διανυσματικών ζευγών εισόδου, τα οποία επιβάλλουν μια μετάβαση λογικής κατάστασης του κυκλώματος, ο αριθμός των οποίων (μεταβάσεων) είναι εκθετικός ως προς τον αριθμό των «βασικών εισόδων» και απαγορευτικά μεγάλος για πλήρη έλεγχο. Αυτή η έλλειψη αξιόπιστων εκτιμήσεων των μεγίστων ρευμάτων έχει ως αποτέλεσμα όλες οι προηγούμενες μέθοδοι να μην μπορούν να εφαρμοστούν σε πραγματικά ολοκληρωμένα κυκλώματα παρά μόνο σε ορισμένα μικρής πολυπλοκότητας κυκλώματα που διαθέτουν σχετικά μικρό αριθμό διακλαδώσεων και στοιχείων. Οι ανεξάρτητες προσεγγίσεις για την εκτίμηση των μεγίστων ρευμάτων που εμφανίστηκαν με το πέρασμα των χρόνων ήταν κατά κύριο λόγο ευρηστικές ή υπεραπλουστευμένες και δεν μπορούσαν να παρέχουν την ακρίβεια που απαιτούνταν για τη σχεδίαση ολοκληρωμένων κυκλωμάτων βαθέως υπομικρού (submicron).

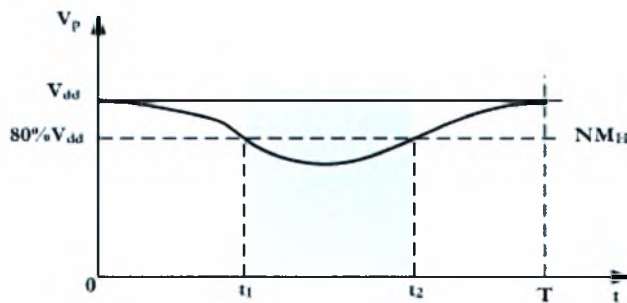
Επιπτώσεις εξαιτίας του φαινομένου της πτώσης τάσης στα ολοκληρωμένα κυκλώματα.

Η αδυναμία ορθού προσδιορισμού της πτώσης τάσης μπορεί να προκαλέσει προβλήματα στην ταχύτητα και το χρονισμό του κυκλώματος και να αυξήσει τα επίπεδα θορύβου προκαλώντας λανθασμένα λογικά σήματα. Επιπλέον μπορεί να έχει

δυσμενή επίπτωση στην ταχύτητα του κυκλώματος και τα περιθώρια θορύβου, υποβιβάζοντας την απόδοση ή προκαλώντας λανθασμένα λογικά σήματα και δυσλειτουργία του κυκλώματος.



Εικόνα 3. Η πτώση τάσης IR κατά μήκος των αγωγών τροφοδοσίας και η επίδραση του στα επίπεδα θορύβου.



Εικόνα 4. Το φαινόμενο της πτώσης τάσης που παρατηρείται σε μια καταβόθρα τροφοδοσίας ισχύος στο δίκτυο διανομής της ισχύος στα σύγχρονα Ολοκληρωμένα Κυκλώματα.

Η πτώση τάσης έχει δύο πιθανές εκφάνσεις στη λειτουργία και κατά επέκταση στην απόδοση του ολοκληρωμένου. Οι επιπτώσεις ανάλογα με το μέγεθος της πτώσης της τάσης μπορεί να οδηγούν σε πρόβλημα που αφορά το χρονισμό του ολοκληρωμένου ή ακόμη και σε λογικά σφάλματα, τα οποία δεν θα μπορούσαν να είναι ανιχνεύσιμα κατά τη διάρκεια της προσομοίωσης.

Αν η πτώση τάσης στο δίκτυο διανομής ισχύος του ολοκληρωμένου είναι μεγάλη σε μέγεθος, είναι πιθανό να εμφανιστούν λογικά λάθη στο ολοκληρωμένο. Κάτι τέτοιο όπως έχει αναφερθεί μπορεί να είναι απόρροια, είτε εκτεταμένης πτώσης τάσης στην έκταση του ολοκληρωμένου ως ένα εγγενές πρόβλημα της σχεδίασης που αφορά τη πολυπλοκότητα αλλά και το μέγεθος της επομένως και του δικτύου διανομής ισχύος, είτε της ταυτόχρονης υψηλής κατανάλωσης ρεύματος από μεγάλο πλήθος πυλών εξαιτίας κάποιου συνδυασμού διανυσμάτων εισόδου του ολοκληρωμένου που

οδηγεί σε ταυτόχρονη αλλαγή κατάστασης των πυλών αυτών, με αποτέλεσμα η πτώση τάσης να κλιμακώνει. Σε αυτή τη περίπτωση στην είσοδο τροφοδοσίας των λογικών πυλών του κυκλώματος δεν φτάνει ικανοποιητικά υψηλό επίπεδο τάσης. Αποτέλεσμα αυτού είναι κάποια ή ορισμένες από τις εξόδους κάποιου υποκυκλώματος να μην καταφέρνει να δώσει είτε «καθαρό» είτε καθόλου '1', ή '0' αντίστοιχα για το δίκτυο της γείωσης, στα σήματα που θα έπρεπε, με αποτέλεσμα να παρουσιάζονται στο ολοκληρωμένο λογικά σφάλματα. Τα σφάλματα αυτά είναι αδύνατο να ανιχνευτούν στη λογική προσομοίωση του κυκλώματος αφού κατά τη διάρκεια αυτής τα επίπεδα τάσης που εφαρμόζονται στην είσοδο τροφοδοσίας των πυλών θεωρούνται ως τα ιδανικά. Για να αποφανθούμε ότι η πραγματική αιτία της λογικής αστοχίας του υλικού είναι όντως η πτώση τάσης στο δίκτυο διανομής της ισχύος, μπορούμε να αυξήσουμε την τάση τροφοδοσίας του κυκλώματος και να ελέγξουμε ξανά αν το κύκλωμα παρουσιάζει λογικές αστοχίες.

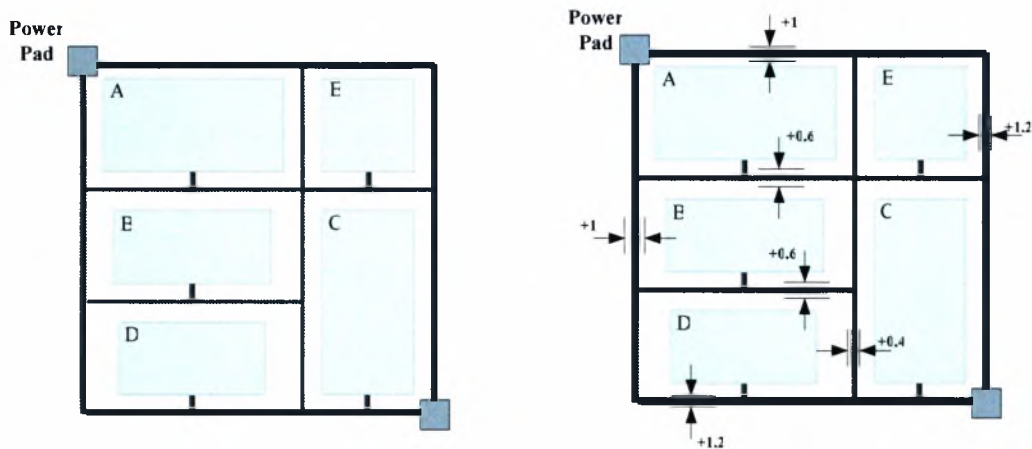
Ακόμη και αν η πτώση τάσης είναι σχετικά μικρή σε μέγεθος, είναι πιθανό να προκύψουν προβλήματα που αφορούν το χρονισμό του κυκλώματος. Πτώσεις τάσης μικρότερης κλίμακας στο δίκτυο διανομής ισχύος είναι απόρροια των προβλημάτων που αναφέρθηκαν και στη προηγούμενη παράγραφο, όπου η πτώση τάσης καταλήγει σε λογικά σφάλματα, με τη διαφορά ότι τα προβλήματα έχουν μικρότερη έκταση χωρίς να κλιμακώνουν και να οδηγούν σε υψηλής πτώση τάσης. Τα προβλήματα αυτά είναι λογικό να προκύψουν από τη στιγμή που η τάση η οποία φτάνει στην είσοδο τροφοδοσίας των πυλών είναι σχετικά χαμηλή οδηγώντας σε καθυστέρηση φόρτισης-αποφόρτισης των χωρητικότητων εξόδου της κάθε πύλης. Η καθυστέρηση αυτή όταν είναι εκτεταμένη, αναφορικά με το μέγεθος της σχεδίασης και επηρεάζει μεγάλο πλήθος πυλών ως προς τη ταχύτητα φόρτισης και αποφόρτισης των χωρητικότητων που οδηγούν(λειτουργία πύλης), οδηγεί σε κλιμάκωση του προβλήματος και επομένως σε μείωση της ταχύτητας λειτουργίας του ολοκληρωμένου.

Πολυεπίπεδη αντιμετώπιση του προβλήματος της πτώσης τάσης.

- A) Βελτιστοποίηση του πλάτους του μετάλλου του δικτύου.
- B) Προσθήκη επιπλέον πηγών τάσης τροφοδοσίας.
- Γ) Τεχνολογία solder-bump (C4).
- Δ) Προσθήκη ή αφαίρεση αγωγών τροφοδοσίας και γείωσης.
- E) Αποφυγή κλιμάκωσης της εναλλαγής κατάστασης των πυλών των υποκυκλωμάτων.

Προκειμένου να λυθεί το ζήτημα της πτώσης τάσης στο δίκτυο διανομής ισχύος καθώς και των προβλημάτων που αποτελούν απόρροια αυτού, έχουν προταθεί και χρησιμοποιούνται μια σειρά μεθόδων οι οποίες αντιμετωπίζουν σε διάφορα ιεραρχικά επίπεδα της σχεδίασης το πρόβλημα.

A) Αναφορικά με την πτώση τάσης κατά μήκος της γραμμής τροφοδοσίας εξαιτίας της πεπερασμένης αντίστασης που παρουσιάζουν οι αγωγοί τροφοδοσίας, η πλέον άμεση και προφανής λύση είναι η διαπλάτυνση των αγωγών τροφοδοσίας και γείωσης. Παρατηρώντας τον τύπο που μας δίνει την αντίσταση που εμφανίζει ένας αγωγός μετάλλου, $R = R_{sh} * (L/W)$, όπως ήδη έχει αναφερθεί βλέπουμε ότι η αντίσταση είναι αντιστρόφως ανάλογη του πλάτους του μετάλλου. Είναι λοιπόν προφανές πως με την αύξηση του παρανομαστή (πλάτους του μετάλλου) η τιμή της αντίστασης μειώνεται και μαζί της μειώνεται και η πτώση τάσης $V = I * R$, εφόσον η τάση είναι ανάλογη της αντίστασης, που εμφανίζει ο αγωγός σε απόσταση L από την πηγή τροφοδοσίας που ακουμπάει το δίκτυο διανομής ισχύος.

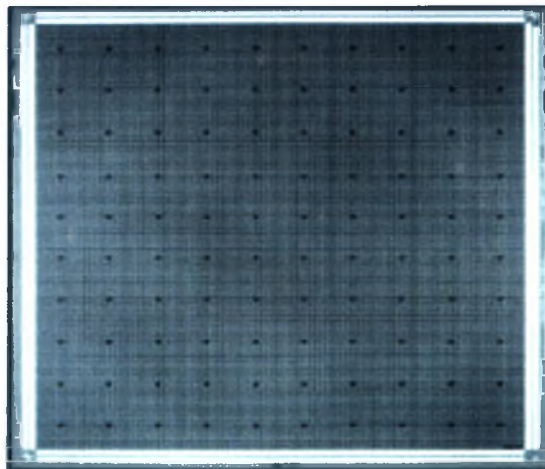


Εικόνα 5. Διαπλάτυνση των γραμμών μετάλλου του δικτύου τροφοδοσίας.

B) Ένας άλλος τρόπος για να μειωθεί η αντίσταση των καλωδίων του δικτύου διανομής ισχύος, που καταλήγουν σε υποκυκλώματα (blocks), επομένως και της πτώσης τάσης πάνω από τα υποκυκλώματα αυτά είναι να προσθέσουμε επιπλέον πηγές τάσης τροφοδοσίας. Είναι εύκολο να κατανοήσουμε και πάλι από μια απλή παρατήρηση του τύπου που μας δίνει την αντίσταση του καλωδίου $R = R_{sh} * (L/W)$, είναι ανάλογη του μήκους L του καλωδίου. Είναι λοιπόν προφανές ότι όσο πιο κοντά είναι οι εισοδοί τροφοδοσίας των υποκυκλωμάτων στους ακροδέκτες εξωτερικής

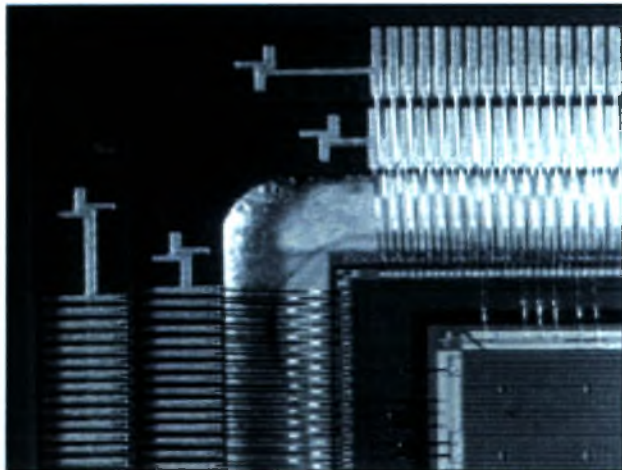
τροφοδοσίας (pads) του ολοκληρωμένου, τόσο μικρότερο είναι και το συνολικό μήκος(L) των καλωδίων που μεσολαβούν στο μονοπάτι του δικτύου από τα pads της εξωτερικής τροφοδοσίας, στις εισόδους τάσης των blocks. Αποτέλεσμα αυτής της μείωσης του συνολικού μήκους(L) είναι να μειωθεί και η συνολική ωμική αντίσταση(R) που παρουσιάζει το δίκτυο διανομής ισχύος στο μονοπάτι αυτό, εφόσον η αντίσταση των αγωγών τροφοδοσίας είναι ανάλογη του μήκους τους L.

Γ) Ένας ακόμη τρόπος αντιμετώπισης του προβλήματος της πτώσης τάσης είναι η χρήση της τεχνολογίας solder bump ή αλλιώς C4, η οποία χρησιμοποιείται κατά κόρον στη βιομηχανία. Με τη χρήση της τεχνολογίας αυτής, η παροχή τάσης από την εξωτερική τροφοδοσία του ολοκληρωμένου μπορεί να γίνει σε οποιοδήποτε σημείο του δικτύου (grid) αναφορικά με τη σχεδίαση. Τοποθετώντας τις παροχές τάσης πιο κοντά στα ζητούμενα υποκυκλώματα που καταναλώνουν το μεγαλύτερο ποσοστό ρεύματος στη σχεδίαση, το μήκος του μονοπατιού αγωγών, που συνδέει τη κοντινότερη παροχή εξωτερικής τάσης στη σχεδίαση με την είσοδο τροφοδοσίας του ζητούμενου υποκυκλώματος, μειώνεται και κατά επέκταση μειώνεται και η αντίσταση που εμφανίζεται μεταξύ τους. Με τη μείωση της αντίστασης είναι φυσιολογικό να επέρχεται και μείωση της πτώσης τάσης η οποία είναι ανάλογη της αντίστασης που εμφανίζουν οι αγωγοί τροφοδοσίας $V= I \cdot R$.



Εικόνα 6. Χρήση τεχνολογίας C4 για τοποθέτηση εξωτερικής τροφοδοσίας σε εσωτερικό κόμβο του δικτύου διανομής ισχύος.

Δ) Αφού παρουσιάσαμε μια λύση που αφορά στη πραγματικότητα τη μείωση της απόστασης μεταξύ της κοντινότερης παροχής εξωτερικής τροφοδοσίας, πάνω στο δίκτυο διανομής ισχύος, και του υποκυκλώματος με τα υψηλότερα επίπεδα κατανάλωσης ρεύματος, με τη μεταφορά της παροχής τάσης πλησιέστερα στο block που μας δημιουργεί πρόβλημα είναι εύκολο να κατανοήσουμε πως θα μπορούσαμε κυρίως αν χρησιμοποιούμε τεχνολογία wire bond να φέρουμε την είσοδο τροφοδοσίας του υποκυκλώματος πιο κοντά στην παροχή εξωτερικής τροφοδοσίας του δικτύου διανομής ισχύος. Αυτό μπορεί να πραγματοποιηθεί με προσθήκη ορισμένων αγωγών τροφοδοσίας στη σχεδίαση, οι οποίοι θα συνδέουν πιο άμεσα, δημιουργώντας μικρότερο μονοπάτι αναφορικά με το μήκος των αγωγών, την παροχή εξωτερικής τάσης στο δίκτυο και τις εισόδους τροφοδοσίας των υποκυκλωμάτων.



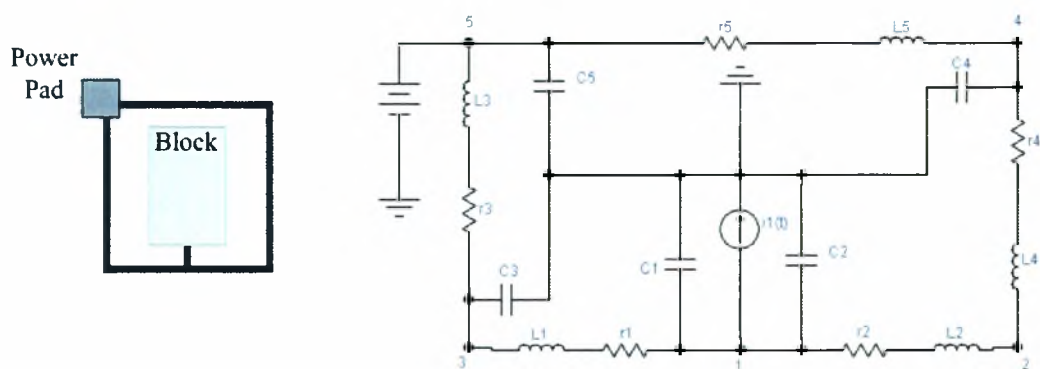
Εικόνα 7. Σύνδεση εξωτερικής τροφοδοσίας με chip με χρήση τεχνολογίας wire bond.

Βρίσκοντας τα υποκυκλώματα που εμφανίζουν τη μεγαλύτερη πτώση τάσης εξαιτίας του υψηλού επιπέδου ρεύματος που καταναλώνουν μπορούμε να αναρωτηθούμε μήπως η λύση δεν είναι απαραίτητο να βρίσκεται στον όρο R της εξίσωσης $V = I \cdot R$ που μας δίνει την τάση που φτάνει στην είσοδο τροφοδοσίας του υποκυκλώματος. Αν δεν βρίσκεται στον όρο R τότε θα βρίσκεται στον όρο I . Το βασικό ερώτημα τώρα είναι αν υπάρχει τρόπος να μειωθεί το ρεύμα που καταναλώνει κάποιο υποκύκλωμα που μας ενδιαφέρει. Όπως έχουμε ήδη αναφέρει, η βασική αιτία που τα υποκυκλώματα καταναλώνουν μεγάλη ποσότητα ρεύματος είναι η σχεδόν ταυτόχρονη αλλαγή κατάστασης, μεγάλου αριθμού πυλών του υποκυκλώματος. Όταν συμβαίνει κάτι τέτοιο απαιτείται μεγάλη παροχή ρεύματος από το δίκτυο διανομής

ισχύος. Προκειμένου να μη πραγματοποιείται ταυτόχρονη εναλλαγή κατάστασης από μεγάλο αριθμό πυλών του υποκυκλώματος μπορεί να γίνει κάποια εσωτερική αναδιάταξη τους ή προσθήκη ορισμένων buffer ώστε να επέλθει διαφοροποίηση στη στιγμή που αλλάζουν κατάσταση οι πύλες.

1. Η Διατύπωση του Προβλήματος

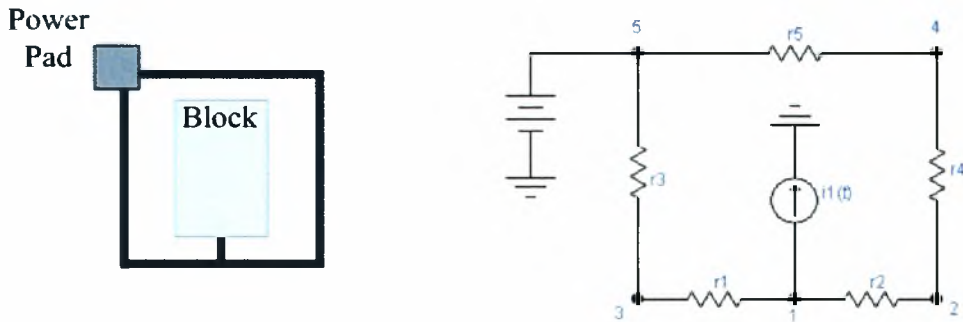
Στη πραγματικότητα ένα δίκτυο(πλέγμα) αγωγών τροφοδοσίας παρουσιάζει μια σύνθετη εμπέδηση που είναι απόρροια της ωμικής αντίστασης, της επαγωγής και της χωρητικότητας που παρουσιάζουν οι μεταλλικοί αγωγοί που το συνθέτουν. Τα υποκυκλώματα(blocks) του ολοκληρωμένου κατά τη διάρκεια της λειτουργίας τους καταναλώνουν ρεύμα, μέσω των ακροδεκτών τροφοδοσίας τους οι οποίοι συνδέονται σε κάποιο κόμβο του δικτύου διανομής ισχύος. Το ρεύμα που καταναλώνουν τα blocks, όπως έχουμε ήδη αναφέρει είναι αποτέλεσμα των συνεχόμενων αλλαγών κατάστασης των πυλών από τις οποίες αποτελούνται. Είναι λοιπόν προφανές πως η κατάλληλη ηλεκτρική αναπαράσταση των υποκυκλωμάτων του ολοκληρωμένου, είναι πηγές ρεύματος(καταβόθρες ρεύματος). Στη συνέχεια ακολουθεί ένα απλό παράδειγμα μοντελοποίησης μιας σχηματικής αναπαράστασης ενός block συνδεδεμένου με ένα στοιχειώδες τμήμα δικτύου διανομής ισχύος:



Εικόνα 8. Ένα απλό δίκτυο διανομής ισχύος συνδεδεμένο στον ακροδέκτη ενός block και η πλήρης ηλεκτρική τους αναπαράσταση.

Επειδή η πτώση τάσης στο πλέγμα τροφοδοσίας προκαλείται κατά κύριο λόγο εξαιτίας της ωμικής αντίστασης που παρουσιάζουν οι αγωγοί τροφοδοσίας κάνουμε την παρακάτω θεώρηση. Υποθέτουμε ότι το πλέγμα των αγωγών τροφοδοσίας έχει εξαχθεί ως ένα γραμμικό δίκτυο από κλάδους αντιστάσεων που συνδέονται σε $p+q$ κόμβους από τους οποίους p κόμβοι είναι συνδεδεμένοι στην εξωτερική τροφοδοσία τάσης μέσω ακροδεκτών τάσης (οι οποίοι είτε είναι τοποθετημένοι στην περιφέρεια του πλέγματος στην περίπτωση υλοποίησης με τεχνολογία wire bond είτε είναι διασκορπισμένες σε ολόκληρη την περιοχή του πλέγματος με την τεχνολογία C4 flip-

chip) και οι εναπομείναντες q κόμβοι διαιρούνται σε n κόμβους-καταβόθρες (με πηγές ρεύματος) και $q-n$ εσωτερικούς κόμβους (για τους οποίους συνήθως ισχύει $q \gg n$).



Εικόνα 9. Ένα απλό δίκτυο διανομής ισχύος συνδεδεμένο στον ακροδέκτη ενός block και η απλοποιημένη ηλεκτρική τους αναπαράσταση.

Σύμφωνα με τη τροποποιημένη ανάλυση κόμβων (MNA) [8] το διάνυσμα $q \times 1$ της στιγμιαίας τάσης $\underline{U}(t)$ (αναφορικά με την γείωση) σε όλους τους εσωτερικούς κόμβους-καταβόθρες καθορίζεται από το στιγμιαίο ρεύμα που καταναλώνεται από τις καταβόθρες καθώς και από τη δομή του εκάστοτε δικτύου και δίνεται από την ακόλουθη εξίσωση:

$$\underline{G} \cdot \underline{U}(t) = -\underline{I}(t) + \underline{G} \cdot \underline{V}_{DD} \quad (1)$$

όπου \underline{G} είναι ο πίνακας $q \times q$ αγωγιμοτήτων του δικτύου (διαμορφωμένος από τις αγωγιμότητες των κλάδων του δικτύου), $\underline{I}(t)$ είναι ένα διάνυσμα $q \times 1$ διέγερσης ρευμάτων στους κόμβους και \underline{V}_{DD} ένα άλλο διάνυσμα $q \times 1$ με όλες τις εισόδους ίσες με την παροχή τάσης V_{DD} .

Ο πίνακας \underline{G} μορφοποιείται από τις αγωγιμότητες g_j των κλάδων του δικτύου,

$$g_j = \frac{1}{r_j} = \frac{t_j \cdot w_j}{\rho \cdot l_j} = \frac{1}{r_{sh,j}} \cdot \frac{w_j}{l_j} \quad (2)$$

όπου l_j , w_j , t_j , και ρ είναι το μήκος, το πλάτος, το πάχος, και η ειδική αντίσταση του κλάδου j αντιστοίχως, ενώ το $r_{sh,j} = \rho/t_j$ αποτελεί την αντίσταση φύλλου του επιπέδου του μετάλλου.

Παραδείγματος χάρη, ο πίνακας αγωγιμοτήτων και το διάνυσμα ρευμάτων στην τοπολογία του απλού γράφου της Εικόνας 3 είναι:

$$\underline{G} = \begin{bmatrix} g_1 + g_2 & -g_2 & -g_1 & 0 \\ -g_2 & g_2 + g_4 & 0 & -g_4 \\ -g_1 & 0 & g_1 + g_3 & 0 \\ 0 & -g_4 & 0 & g_4 + g_5 \end{bmatrix}, \underline{I}(t) = \begin{bmatrix} -i_1(t) \\ 0 \\ g_3 V_{DD} \\ g_5 V_{DD} \end{bmatrix} \quad (3)$$

Ορίζοντας το $\underline{V}(t) = \underline{V}_{DD} - \underline{U}(t)$ ως την πτώση τάσης σε όλους τους κόμβους, μπορούμε να ξαναγράψουμε την εξίσωση (1) του δικτύου σε μια μορφή που μπορεί να επιλυθεί απευθείας για τις τιμές της πτώσης τάσης:

$$\underline{G} \cdot \underline{V}(t) = \underline{I}(t) . \quad (4)$$

Απαριθμώντας πρώτα τους κόμβους φύλλα του δικτύου έτσι ώστε η εξίσωση πινάκων να μπορεί να ξαναγραφεί στη μορφή

$$(5) \quad \begin{bmatrix} \underline{G}_{11} & -\underline{G}_{12} \\ \underline{G}_{21} & \underline{G}_{22} \end{bmatrix} \cdot \begin{bmatrix} \underline{V}_1 \\ \underline{V}_2 \end{bmatrix} = \begin{bmatrix} \underline{I}_1 \\ \underline{0} \end{bmatrix}$$

\underline{G}_{11} , \underline{G}_{12} , \underline{G}_{21} , και \underline{G}_{22} είναι υποπίνακες του \underline{G} (όλοι συναρτήσεις του ω) με μεγέθη $q_1 \times q_1$, $q_1 \times (q - q_1)$, $(q - q_1) \times q_1$, και $(q - q_1) \times (q - q_1)$ αντίστοιχα, ενώ τα \underline{V}_1 και \underline{I}_1 είναι διανύσματα μεγέθους $q_1 \times 1$ (το πρώτο αποτελεί το επιθυμητό διάνυσμα τάσεων στους κόμβους-φύλλα) και τα \underline{V}_2 και \underline{I}_2 είναι διανύσματα μεγέθους $(q - q_1) \times 1$. Η τελευταία εξίσωση μπορεί να λυθεί ως προς \underline{V}_1 παράγοντας στη συνέχεια ορισμένους υπολογισμούς:

$$(6) \quad \underline{V}_1(\omega) = (\underline{G}_{11} - \underline{G}_{12} \underline{G}_{22}^{-1} \underline{G}_{21})^{-1} \cdot \underline{I}_1$$

Είναι μια γραμμική συνάρτηση των πτώσεων τάσης ως προς το διάνυσμα ρευμάτων I_1 των υποκυκλωμάτων η οποία στο χώρο των n διαστάσεων που ανήκει το διάνυσμα αυτό αποδεικνύεται [1] ότι μεγιστοποιείται στα επονομαζόμενα «μεγιστικά» (maximal) σημεία.

Ορισμός1: Ένα σημείο \underline{I} καλείται «μεγιστικό» (maximal) σημείο του μερικώς διατεταγμένου συνόλου $\mathbf{D} \subset \mathbf{R}^n$ [4] εάν για κάθε $\underline{I}' \in \mathbf{D}$ η σχέση $\underline{I}' > \underline{I}$ συνεπάγεται $\underline{I}' = \underline{I}$, ή ισοδύναμα εάν δεν υπάρχει $\underline{I}' \in \mathbf{D}$ τέτοιο ώστε $\underline{I}' > \underline{I}$ συνιστώσα προς συνιστώσα (component-wise) με τουλάχιστον μια συνιστώσα $1 \leq k \leq n$ να είναι $I_k' > I_k$.

Επειδή τα δίκτυα παροχής είναι δυνατό να περιέχουν δεκάδες ή εκατοντάδες χιλιάδες κόμβων η ανάλυση ενός τέτοιου δικτύου είναι υπολογιστικά ακριβή αλλά και αργή. Πρόσφατες προσεγγίσεις προτείνουν μεθόδους για την ανάλυση και επαλήθευση τεραστίων και πολύπλοκων πλεγμάτων (δικτύων διανομής ισχύος) χρησιμοποιώντας ιεραρχικές μεθόδους [3].

Η επαλήθευση του πλέγματος τάσης πρέπει να βασιστεί σε κατάλληλες τιμές των μεγίστων ρευμάτων που εμφανίζονται κατά την λειτουργία του κυκλώματος και των υποσυστημάτων του, τα οποία σε όλες τις προηγούμενες περιπτώσεις θεωρούνταν ως δεδομένα. Παρά όλα αυτά, τέτοιες τιμές ή εκτιμήσεις, είναι δύσκολο να ληφθούν εφόσον το στιγμιαίο ρεύμα είναι συνάρτηση των διανυσματικών ζευγών εισόδου, τα οποία επιβάλλουν μια μετάβαση λογικής κατάστασης του κυκλώματος, ο αριθμός των οποίων (μεταβάσεων) είναι εκθετικός ως προς τον αριθμό των «βασικών εισόδων» και απαγορευτικά μεγάλος για πλήρη έλεγχο. Αυτή η έλλειψη αξιόπιστων εκτιμήσεων των μεγίστων ρευμάτων έχει ως αποτέλεσμα όλες οι προηγούμενες μέθοδοι να μην μπορούν να εφαρμοστούν σε πραγματικά ολοκληρωμένα κυκλώματα παρά μόνο σε ορισμένα μικρής πολυπλοκότητας κυκλώματα που διαθέτουν σχετικά μικρό αριθμό διακλαδώσεων και στοιχείων. Οι ανεξάρτητες προσεγγίσεις για την εκτίμηση των μεγίστων ρευμάτων που εμφανίστηκαν με το πέρασμα των χρόνων ήταν κατά κύριο λόγο ευρηστικές ή υπεραπλουστευμένες και δεν μπορούσαν να παρέχουν την ακρίβεια που απαιτούνταν για τη σχεδίαση ολοκληρωμένων κυκλωμάτων βαθέως υπομικρού.

Τα τελευταία χρόνια η έρευνα έχει επικεντρωθεί στην ακριβή προσομοίωση του κυκλώματος για ένα επαρκές δείγμα διανυσμάτων εισόδου, το οποίο είναι διαδοχικά ακολουθούμενο από στατιστική επεξεργασία προκειμένου να εξάγει τα αποτελέσματα για ολόκληρο το πληθυσμό διανυσμάτων. Οι τελευταίες εξελίξεις στην επιστημονική έρευνα, όσον αφορά τη στατιστική προσέγγιση των μεγίστων ρευμάτων προκύπτουν από την ασυμπτωτική θεωρία ακραίων τιμών (EVT - Extreme Value Theory) που

αποτελεί το σχετικό πεδίο της στατιστικής για τον υπολογισμό του αγνώστου μεγίστου ενός σχετικού πληθυσμού με χρήση ενός (ή περισσότερα) από τα δείγματά του [5].

Η μέθοδος που χρησιμοποιείται στην παρούσα διπλωματική εργασία, ως ένα τμήμα της σχεδιαστικής ροής που θα παρουσιαστεί σε επόμενα κεφάλαια αυτής, εκμεταλλεύεται τις τελευταίες έρευνες στον τομέα [6], οι οποίες υποσκελίζουν κάποιες προηγούμενες προσπάθειες βασισμένες στη στατιστική για βιομηχανική εκμετάλλευση των δεδομένων προσομοίωσης τα οποία όμως είτε δεν ήταν βασισμένα στην θεωρία EVT είτε δεν έκαναν αποτελεσματική χρήση της θεωρίας όπως παρουσιάζεται διαδοχικά στην αναφορά [6]. Η προσαρμογή της EVT προσέγγισης στο συγκεκριμένο πρόβλημα, σε συνδυασμό με την κυκλωματική διατύπωση η οποία παρουσιάστηκε προηγουμένως και τη σύνθετη προσέγγιση είναι άμεσα και εύκολα εφαρμοζόμενη σε οποιοδήποτε ολοκληρωμένο κύκλωμα.

Εκτενής αναφορά για τον τρόπο με τον οποίο πραγματοποιείται η στατιστική εκτίμηση των μεγίστων ρευμάτων στις ροές σχεδίασης που θα αναλυθούν στα επόμενα κεφάλαια υπάρχει στην αναφορά[1]. Στη συνέχεια θα γίνει μια περισσότερο ποιοτική περιγραφή σχετικά με στατιστική εκτίμηση των μεγίστων ρευμάτων (βασιζόμενοι πάντα στη κυκλωματική διατύπωση όπως αυτή έγινε στην αρχή του κεφαλαίου για τα δίκτυο τροφοδοσίας και τα blocks του ολοκληρωμένου κυκλώματος) προσομοιώνουμε το κύκλωμα που μας ενδιαφέρει με έναν αριθμό τυχαία παραγόμενων διανυσμάτων εισόδου. Έστω n τα υποκυκλώματα(πηγές ρεύματος κατά τη μοντελοποίηση τους) του ολοκληρωμένου και 5000 τα διανύσματα εισόδου. Η μέθοδος από το σημείο αυτό και μετά χωρίζεται σε δύο φάσεις.

Στη πρώτη φάση της μεθόδου, τοποθετούμε τις τιμές των ρευμάτων, οι οποίες προέκυψαν από τη προσομοίωση του κυκλώματος με τα 5000 τυχαία διανύσματα εισόδου, για κάθε ένα από τα n blocks σε n αντίστοιχες γραμμές ενός πίνακα διαστάσεων $n \times 5000$.

$$\mathbf{I} = \begin{bmatrix} \text{value_1.1, value_1.2, value_1.3, \dots, value_1.4999, value_1.5000} \\ \text{value_2.1, value_2.2, value_2.3, \dots, value_2.4999, value_2.5000} \\ \vdots \\ \vdots \\ \text{value_n.1, value_n.2, value_n.3, \dots, value_n.4999, value_n.5000} \end{bmatrix}$$

Κάθε γραμμή του πίνακα χωρίζεται σε δείγματα(samples) μεγέθους 50 τιμών το κάθε ένα, δημιουργούνται κατά αυτό το τρόπο 100 samples σε κάθε γραμμή.

$$\mathbf{I} = \begin{bmatrix} \overbrace{1.1\text{Sample}(50\text{values}), 1.2\text{Sample}(50\text{values}), \dots, 1.50\text{Sample}50(\text{values})}^{100\text{samples}(5000\text{values})} \\ 2.1\text{Sample}(50\text{values}), 2.2\text{Sample}(50\text{values}), \dots, 2.50\text{Sample}50(\text{values}) \\ \vdots \\ \vdots \\ n.1\text{Sample}(50\text{values}), n.2\text{Sample}(50\text{values}), \dots, n.50\text{Sample}50(\text{values}) \end{bmatrix}$$

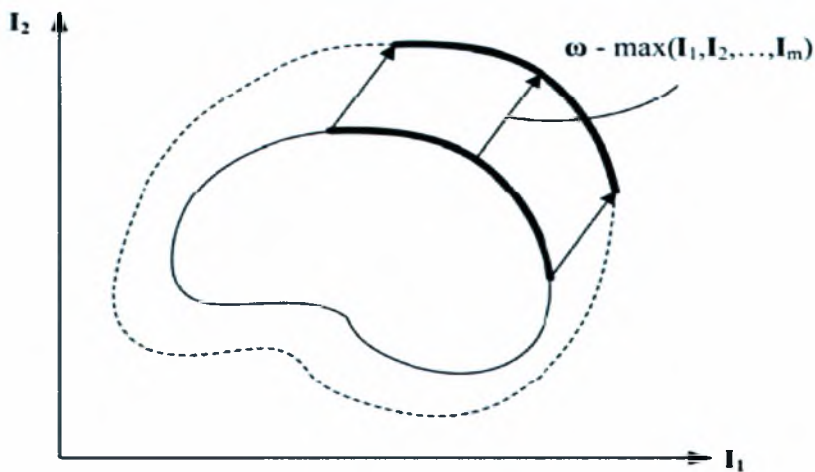
Για κάθε γραμμή κάνουμε την εξής διαδικασία, από κάθε sample τιμών παίρνουμε τη μέγιστη τιμή(max), δημιουργώντας έτσι ένα δείγμα z μεγέθους 100 τιμών. Το δείγμα αυτό ακολουθεί extreme value κατανομή. Στη συνέχεια υπολογίζονται οι παράμετροι \hat{a}_k και \hat{b}_k της κατανομής. Μετά τον υπολογισμό των παραμέτρων γίνεται η εκτίμηση του μεγίστου $\hat{\omega}_k$ για κάθε block επί όλων των δυνατών διανυσμάτων εισόδου, οι οποίες είναι 2^r όπου r ο αριθμός των εισόδων του κυκλώματος.

$$\hat{\omega}_k = \hat{a}_k + \frac{\hat{b}_k}{1 + \ell \sqrt{\pi \log(\ell)} (\text{erf}(\sqrt{\log(\ell)}) - 1)}$$

Όπου ℓ , είναι το πλήθος των υποδειγμάτων, στη προκειμένη περίπτωση είναι ίσος με 50, ενώ η τιμή του παρανομαστή έχει υπολογιστεί σε 10,384. Παράλληλα με τη στατιστική εκτίμηση των μεγίστων ρευμάτων που καταναλώνει κάθε block(πηγή ρεύματος) επί όλων των δυνατών διανυσμάτων εισόδου υπολογίζονται και τα δειγματικά μέγιστα των ρευμάτων κάθε block για τα 5000 τυχαία διανύσματα εισόδου για κάθε block από 1 έως n . Η διαφορά του δειγματικού μεγίστου από το εκτιμηθέν,

συνιστά ένα διάνυσμα μετακίνησης στο χώρο n διαστάσεων των ρευμάτων των blocks. Οπότε κατά αυτό το διάνυσμα μετακίνησης θα πρέπει να μετακινηθούν τα μεγιστικά σημεία αυτού του χώρου για να συμπέσουν με τα μεγιστικά σημεία του συνολικού χώρου.

Στην επόμενη φάση της μεθόδου, ο υπολογισμός των μεγιστικών σημείων στο δειγματικό χώρο σύμφωνα με τον **Ορισμό1** γίνεται με σύγκριση κάθε σημείου – διανύσματος με όλα τα υπόλοιπα προκειμένου να διαπιστώσουμε αν κάποιο από αυτά δεν κυριαρχείται σε όλες τις συνιστώσες του από κανένα άλλο. Μετά τον υπολογισμό των δειγματικών μεγιστικών τα μετακινούμε, σύμφωνα το διάνυσμα μετακίνησης που υπολογίσαμε πιο πριν, προς τα μεγιστικά σημεία του συνολικού χώρου των ρευμάτων.



Εικόνα 10. Ο χώρος των δειγμάτων ρευμάτων και η ολίσθηση των μεγιστικών του σημείων προς τα μεγιστικά σημεία του συνολικού χώρου των ρευμάτων .

Τα τελικά (μετακινηθέντα) σημεία αποτελούν τις χειρότερες διεγέρσεις ρευμάτων για το δίκτυο διανομής ισχύος(power grid).

Σε μια μελλοντική προσπάθεια επέκτασης της ροής σχεδίασης με σκοπό τη βελτιστοποίηση της επιφάνειας που καταλαμβάνει το ολοκληρωμένο, η συνάρτηση η οποία θα πρέπει να βελτιστοποιηθεί είναι η:

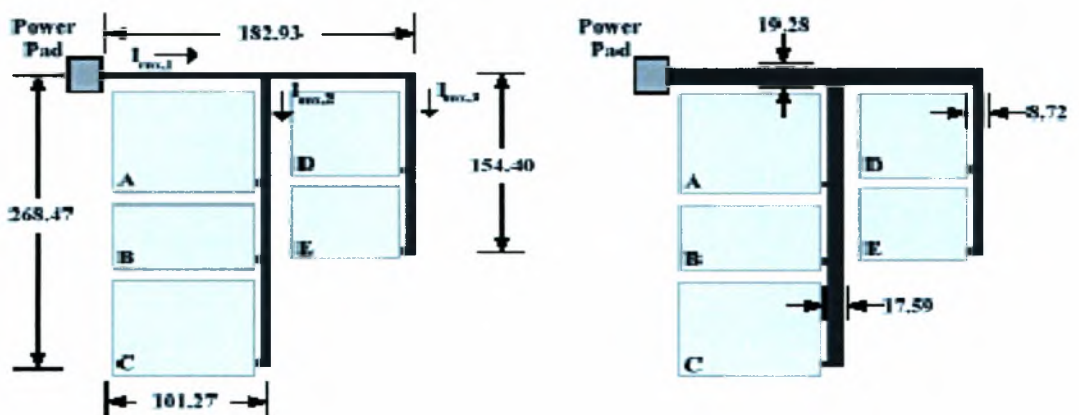
$$A(\underline{w}) = \underline{l}^T \cdot \underline{w} = \sum_{j=1}^p l_j w_j . \quad (7)$$

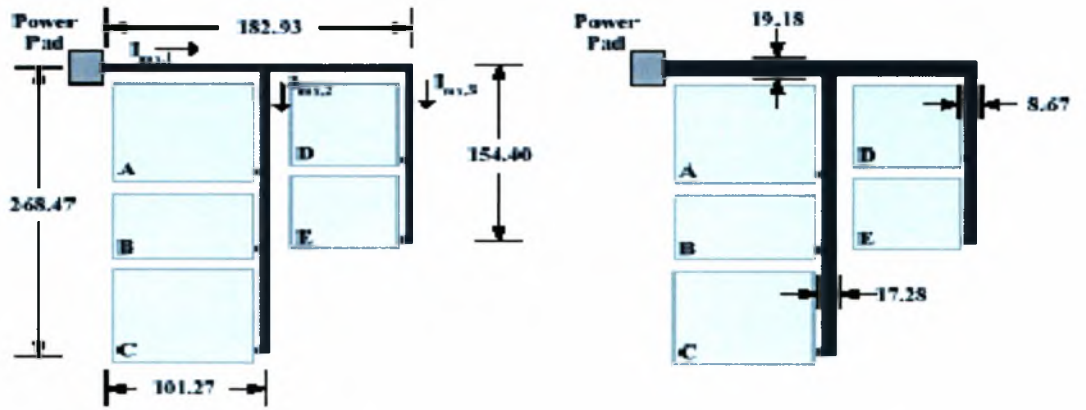
Όπου $\underline{l} = [l_1, l_2, \dots, l_p]^T$, $\underline{w} = [w_1, w_2, \dots, w_p]^T$ τα διανύσματα μήκους και πλάτους αντίστοιχα, των κλάδων του δικτύου ισχύος με το τελευταίο να αποτελεί το διάνυσμα προς βελτιστοποίηση (από τη στιγμή που το μήκος των μετάλλων θεωρείται σταθερό και δεδομένο). Οι περιορισμοί της πτώσης τάσης (IR drop) πρέπει να είναι τέτοιοι ώστε η διαφορά τάσης $V_{DD} - V_k(t)$ σε κάθε κόμβο φύλλο κ να παραμένει κάτω από ένα όριο (threshold) τάσης V_0 (τυπικά ορισμένο στο 10% της τάσης αναφοράς V_{DD}) σε κάθε χρονική στιγμή t .

Με αυτό το τρόπο ακριβής (ενδελεχής) διατύπωση του προβλήματος βελτιστοποίησης με περιορισμούς παίρνει τη τελική μορφή :

$$(8) \quad \begin{cases} \min A(\underline{w}) & \text{s.t.} \\ V_{DD} - \underline{V}_i(\underline{w}) \leq V_0 \end{cases}$$

Στη βιβλιογραφία συνηθίζεται να συμπεριλαμβάνονται και ορισμένοι επιπρόσθετοι περιορισμοί που αφορούν κλάδους (branches) του δικτύου που επιβάλλεται να έχουν κοινά πλάτη (αυτή είναι συγκεκριμένα η περίπτωση των κλάδων που βρίσκονται στην ίδια ευθεία γραμμή). Παρόλα αυτά, είναι χρήσιμο, αυτά τα όμοια πλάτη να αναπαριστώνται με μια κοινή μεταβλητή (π.χ. $w_1 = w_2 = w_{12}$) στη συνάρτηση (5) και στους περιορισμούς της (7) αποφεύγοντας τους σχετικούς περιορισμούς και μειώνοντας ταυτόχρονα το συνολικό αριθμό παραμέτρων.





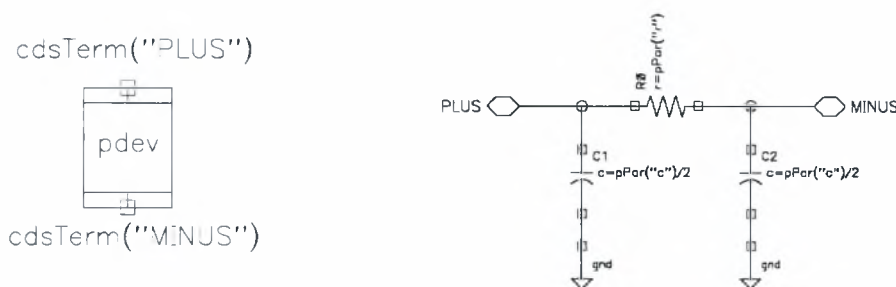
Εικόνα 11. Βελτιστοποίηση της επιφάνειας που καταλαμβάνει το ΟΚ με ταυτόχρονη βελτιστοποίηση του IR-drop.

2. Η Πρώτη Ροή Σχεδίασης

An RTL-to-GRID design flow

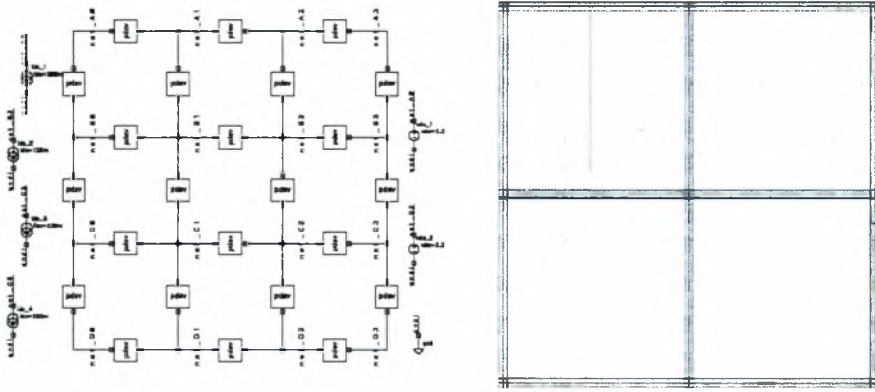
Στη παράγραφο αυτή θα παρουσιαστούν και θα αναλυθούν τα βασικά σημεία της αρχικής, RTL(Register Transfer Level)-to-GRID, ροής σχεδίασης για ανάλυση και επαλύθευση του δικτύου διανομής ισχύος, της οποίας βασικός στόχος είναι να γίνουν εμφανείς οι δυνατότητες της μηχανής IXtreme[8]. Η συγκεκριμένη ροή σχεδίασης βασίζεται σε εργαλεία σχεδίασης που συνήθως χρησιμοποιούνται από μηχανικούς που εργάζονται στην αναλογική σχεδίαση. Τα εργαλεία αυτά είναι βιομηχανικά εργαλεία της εταιρίας CADENCE καθώς και η interpretive scripting γλώσσας προγραμματισμού που έχει αναπτύξει, η SKILL. Η ροή αυτή είναι μια μεθοδολογία που αναλύει ψηφιακά κυκλώματα που έχουν σχεδιαστεί με την τεχνολογία GPDK.

Για να μοντελοποιήσουμε το δίκτυο διανομής ισχύος εισάγουμε μια παραμετρική συσκευή (“pdevice” ή “pdev”) η οποία διατηρεί όλες τις cdf ιδιότητες ενός “presistor” κελιού της βιβλιοθήκης analogLib.



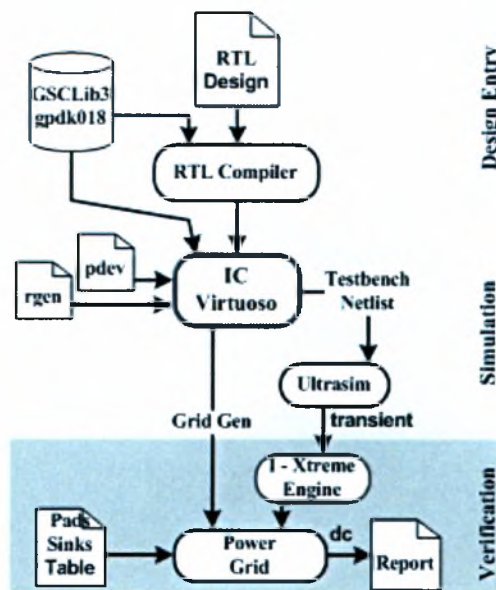
Εικόνα 12. Η συσκευή pdevice και η κυκλωματική της παρουσίαση.

Μια συσκευή “pdevice” διατηρεί δεδομένα για τη παρασιτική αντίσταση ενός κλάδου του πλέγματος. Μπορεί ακόμη να διατηρεί παρασιτικές χωρητικότητες και να είναι παραμετροποιήσιμη εύκολα στην προσθήκη πληροφορίας για επαγωγικά φαινόμενα. Χρησιμοποιούμε “pdevice” για την καταγραφή της κυματομορφής του ρεύματος μετά την ανάλυση ενός δοκιμαστικού κυκλώματος και για τη δημιουργία του δικτύου τροφοδοσίας. Το μοντέλο που θα χρησιμοποιήσουμε για το πλέγμα των αγωγών τροφοδοσίας (Εικόνα 7) είναι το μοντέλο γραμμικής αντίστασης (“pdev”) με dc πηγές ρεύματος από την analogLib (idc) σε κάθε καταβόθρα και dc πηγές τάσης για ακροδέκτες (pads) εφόσον επιθυμούμε στατικά διανύσματα ρεύματος για DC ανάλυση.



Εικόνα 13. Το πλέγμα διανομής της ισχύος στους αγωγούς τροφοδοσίας σε σχηματική (schematic) και φυσική (layout) παρουσίαση.

Στο παρακάτω σχήμα παρουσιάζεται η βασική ροή σχεδίασης χωρισμένη σε λογικά στάδια.



Εικόνα 14. Η πρώτη σχεδιαστική ροή για την ανάλυση αξιοπιστίας του δικτύου διανομής της ισχύος σε ένα OK.

Το πρώτο βήμα είναι η σύνθεση της RTL σχεδίασης (vhdl ή verilog) χρησιμοποιώντας την βιβλιοθήκη GSCLib3.0 (τεχνολογία GPDK018). Εκτελούμε μία δέσμη ενεργειών (script) για γρήγορη σύνθεση αφού είναι τυπικό για την δημιουργία testbench σχεδιάσεων. Μετά την σύνθεση του κυκλώματος αποθηκεύουμε την τεχνολογικά εξαρτημένη σχεδίαση σε verilog. Το δεύτερο βήμα είναι να εισάγουμε την σχεδίαση στο εργαλείο Cadence Virtuoso IC χρησιμοποιώντας την symbolPT προβολή

για τα πρότυπα κελιά της βιβλιοθήκης GSCLib3.0. Τα κελιά για το pdevice και για την γεννήτρια τυχαίων αριθμών (γραμμένα σε verilog) υπάρχουν επίσης στην βιβλιοθήκη.

Το επόμενο βήμα είναι να εκτελέσουμε την προσομοίωση στο πεδίο του χρόνου. Στην προσέγγιση αυτή χρησιμοποιούμε την γλώσσα SKILL για την αυτοματοποιημένη παραγωγή της testbench σχεδίασης. Κατά τη διάρκεια της πρώτης διεργασίας χωρίζουμε τυχαία τη σχεδίαση σε υποκυκλώματα επιλεγμένου αριθμού πυλών (π.χ. 50). Σε κάθε υποκύκλωμα αναθέτουμε ένα pdevice. Η δεύτερη διεργασία τοποθετεί γεννήτριες τυχαίων αριθμών σε κάθε είσοδο (ορίζοντας την περίοδο, τον τυχαίο σπόρο και τα χαρακτηριστικά του παλμού), τα φορτία εξόδου και την τάση αναφοράς (V_{DD}) του testbench. Η τελευταία διεργασία δημιουργεί μια εκτελέσιμη διεργασία σε ocean για την χρονική ανάλυση (καθορισμός της διάρκειας της προσομοίωσης, του προσομοιωτή και ρύθμιση του προσομοιωτή). Στο τέλος των ενεργειών ελέγχουμε τη σχεδίαση για την ορθότητα της.

Η διεργασία σε ocean εκκινεί και ελέγχει την προσομοίωση, αποθηκεύει και επεξεργάζεται τις κυματομορφές των ρευμάτων σε κάθε pdevice και τέλος αποθηκεύει σε ένα αρχείο τα μέγιστα ρεύματα για κάθε υποκύκλωμα και για κάθε κύκλο ρολογιού. Επίσης, ο σχεδιαστής μπορεί να εισάγει την κυματομορφή στο Matlab για να ελέγξει τις συναρτήσεις κατανομής και πυκνότητας των ρευμάτων. Για την προσομοίωση έχουμε επιλέξει έναν fast spice προσομοιωτή, τον Ultrasim της Cadence, ρυθμισμένο να δουλεύει σε digital fast mode για να μειώσουμε το χρόνο προσομοίωσης.

Αφού τα μέγιστα ρεύματα έχουν εξαχθεί από την προσομοίωση, μία εσωτερική διεργασία καλεί την στατιστική μηχανή IXtreme1 (δείτε αναφορά [7]) για να υπολογίσει τα μέγιστα ρεύματα χειρότερης περίπτωσης σε κάθε καταβόθρα. Η μηχανή είναι μια διεργασία σε C η οποία εκτελεί όλους τους στατιστικούς υπολογισμούς. Υποθέτουμε, ότι τα μέγιστα ρεύματα εμφανίζονται ταυτόχρονα σε κάθε καταβόθρα.

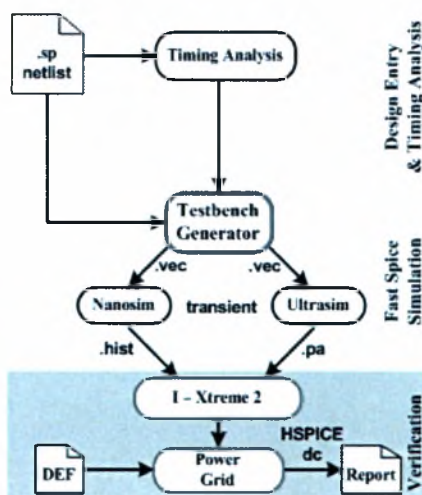
Επειδή, η μεθοδολογία δεν υποστηρίζει πληροφορία από την φυσική σχεδίαση, το δίκτυο διανομής ισχύος παράγεται από μία διεργασία SKILL. Η απεικόνιση του δικτύου διανομής έχει υλοποιηθεί σε σχηματικό, το μέγεθος είναι παραμετροποιήσιμο και χρησιμοποιούμε pdevice για να αναπαραστήσουμε τις αντιστάσεις σε κάθε

διακλάδωση. Σαν είσοδο στο δίκτυο διανομής χρησιμοποιούμε ένα πίνακα όπου δηλώνουμε την τοποθέτηση των πηγών ρεύματος και τάσεων σε αυτό.

Το τελικό βήμα είναι η dc ανάλυση του δικτύου διανομής της ισχύος (προσομοιωτής Spectre). Μία διεργασία γραμμένη σε ocean εκκινεί την ανάλυση και επίσης επιτελεί την επαλήθευση σε κάθε καταβόθρα. Στο τέλος της ανάλυσης δημιουργείται μία αναφορά όπου καταγράφονται όλες οι παραβιάσεις.

3. Η Δεύτερη Ροή Σχεδίασης

Η δεύτερη ροή σχεδίασης που προτείνουμε διαθέτει χαρακτηριστικά που την προσδιορίζουν σαν μια χαρακτηριστική ροή σχεδίασης ψηφιακών κυκλωμάτων. Βασίζεται σε βιομηχανικά εργαλεία των εταιρειών, SYNOPSIS και CADENCE και στις προγραμματιστικές γλώσσες TCL και C. Η ροή αυτή έχει προκύψει αργότερα χρονικά από αυτήν που ήδη έχουμε αναλύσει και διατηρεί την ίδια μεθοδολογία, τόσο όμως οι εσωτερικές διεργασίες που πραγματοποιούνται σε κάθε λογικό επίπεδο όσο και το επίπεδο της σχεδίασης στο οποίο εφαρμόζεται η μεθοδολογία διαφέρουν σημαντικά. Η συγκεκριμένη ροή στοχεύει σε μια ευρύτερη αντιμετώπιση του προβλήματος.



Εικόνα 15. Η δεύτερη σχεδιαστική ροή για την ανάλυση αξιοπιστίας του δικτύου διανομής της ισχύος σε ένα OK.

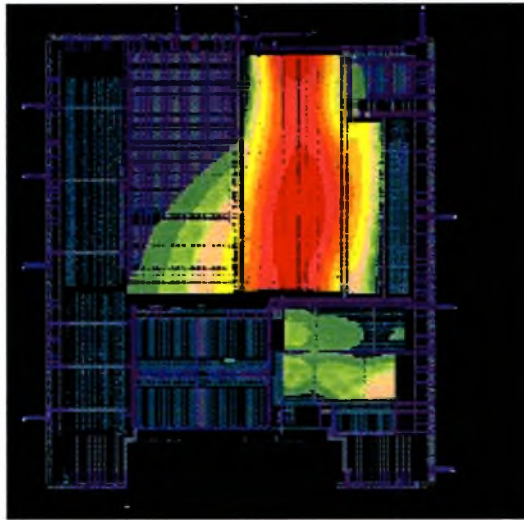
Στο πρώτο βήμα, έχουμε αναπτύξει μια διεργασία η οποία δημιουργεί μια δέσμη ενεργειών (script) για την ανάλυση χρονισμού του κυκλώματος. Τα απαραίτητα αρχεία και δεδομένα χρησιμοποιούνται για την εκκίνηση της διεργασίας ανάλυσης χρονισμού και στη συνέχεια μια δεύτερη διεργασία αναλύει την αναφορά του εργαλείου και προωθεί την μεγαλύτερη καθυστέρηση μονοπατιού στο επόμενο βήμα.

Στο δεύτερο βήμα της μεθοδολογίας εφαρμόζεται η διεργασία που επεξεργάζεται την δημιουργία του testbench. Στη περίπτωση αυτή η διεργασία είναι γραμμένη σε γλώσσα TCL και λαμβάνει ως εισόδους όλα τα απαραίτητα δεδομένα (σχεδίαση σε .sp, ανάλυση χρονισμού, μοντέλα τεχνολογίας τρανζίστορ, παραμέτρους για τους προσομοιωτές, χρόνος προσομοίωσης, πλήθος υποκυκλωμάτων). Στο ίδιο βήμα γίνεται και η παραγωγή του κατάλληλου αρχείου εισόδων για την προσομοίωση

των κυκλωμάτων στο πεδίο του χρόνου (transient analysis). Έχει υλοποιηθεί υπορουτίνα που διαθέτει τυχαία γεννήτρια αριθμών και με βάση την παραμετροποίηση παράγει το κατάλληλο αρχείο διανυσμάτων εισόδου σε μορφή .vec . Στη συνέχεια πραγματοποιούνται οι αναλύσεις των κυκλωμάτων στο πεδίο του χρόνου. Επειδή, το μέγεθος των ψηφιακών κυκλωμάτων είναι πολλές φορές απαγορευτικό για εκτενή προσομοίωση στο πεδίο του χρόνου χρησιμοποιούμε ταχύτερους προσομοιωτές, που διαθέτουν ακρίβεια πολύ κοντά σε αυτήν του SPICE (Fast Spice Simulators). Η δεύτερη αυτή ροή σχεδίασης έχει τη δυνατότητα να υποστηρίζει τη δημιουργία παραμετροποιημένων αρχείων για δύο βιομηχανικούς προσομοιωτές, τον Nanosim της SYNOSPYS και τον Ultrasim της CADENCE. Οι προσομοιωτές αυτοί εκτελούν αναλύσεις ισχύος και καταγράφουν για κάθε υποκύκλωμα τα μέγιστα και μέσα ρεύματα.

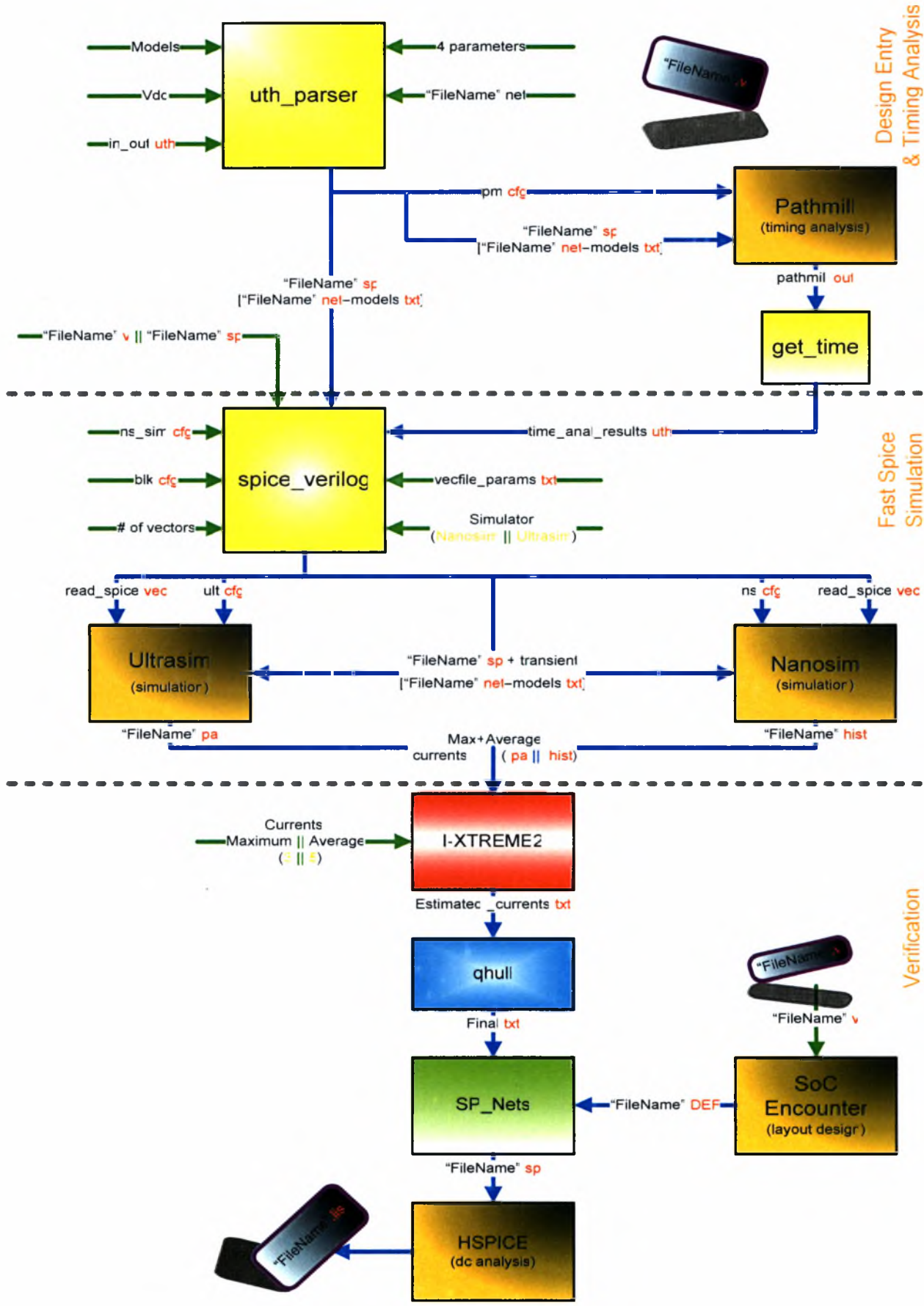
Τα αποτελέσματα της ανάλυσης επεξεργάζονται από τη στατιστική μηχανή I-XTREME2(δεύτερη έκδοση της I-XTREME μηχανής, της πρώτης ροής), η οποία είναι γραμμένη σε C και στο σημείο αυτό θα πρέπει να αναφέρουμε ότι η I-XTREME2 μπορεί να στηρίζει τα αποτελέσματα της και με μέσα ρεύματα, υπολογίζονται τα ρεύματα χειρότερης περίπτωσης(μέσα ή μέγιστα) για κάθε υποκύκλωμα. Μια ακόμη σημαντική διεργασία που πραγματοποιείται είναι η εξαγωγή (extract) της αντίστασης που παρουσιάζει το δίκτυο διανομής ισχύος, από αρχεία τύπου DEF(Design Exchange Format), τα οποία είναι αρχεία περιγραφής σχεδίασης σε φυσικό επίπεδο, σε μορφή δικτύου αντιστάσεων, σε αρχείο spice. Το αρχείο αυτό μαζί με τα ρεύματα χειρότερης περίπτωσης που υπολογίστηκαν από τη μηχανή I-XTREME2 διοχετεύονται σε ένα HSPICE προσομοιωτή για την dc ανάλυση. Μετά την dc ανάλυση έχουμε μια εικόνα της πτώσης τάσης στο δίκτυο διανομής της ισχύος πάνω στους κόμβους όπου ακουμπάνε οι εισοδοί τροφοδοσίας των υποκυκλωμάτων της σχεδίασης.

Στην **Εικόνα 16** που ακολουθεί, παρουσιάζεται ένα ολοκληρωμένο κύκλωμα πριν την επεξεργασία του από τη δεύτερη σχεδιαστική ροή. Το κόκκινο χρώμα, του οποίου η ένταση είναι ανάλογη του επιπέδου της τιμής της πτώσης τάσης πάνω στο δίκτυο διανομής ισχύος, παρατηρούμε ότι «ανοίγει» καθώς απομακρυνόμαστε από το σημείο του grid που παρουσιάζει τη μέγιστη πτώση τάσης.



Εικόνα 16. Chip πριν από τη βελτιστοποίησή των αγωγών του με βάση τα αποτελέσματα της δεύτερης ροής σχεδίασης.

Στη συνέχεια ακολουθεί ένα αναλυτικό διάγραμμα στο οποίο φαίνεται με λεπτομέρεια η ροή της πληροφορίας, μέσω αρχείων, ανάμεσα στα προγράμματα που αναπτύχθηκαν στα πλαίσια της διπλωματικής και στα βιομηχανικά εργαλεία που χρησιμοποιήθηκαν ώστε να υλοποιηθεί η επιθυμητή ροή σχεδίασης. Τα ορθογώνια με πορτοκαλί χρώμα στο φόντο αντιστοιχούν στα βιομηχανικά εργαλεία που χρησιμοποιήθηκαν. Το βασικό μαθηματικό εργαλείο της ροής, η στατιστική μηχανή I-EXTREME2 αναπαριστάται με χαρακτηριστικό κόκκινο χρώμα. Τα προγράμματα τα οποία έχουν γραφτεί σε γλώσσα μακροεντολών (scripting language) tcl, έχουν κίτρινο φόντο. Το ορθογώνιο με μπλε χρώμα αντιστοιχεί στη μαθηματική διεργασία Convex Hull. Το ορθογώνιο με πράσινο χρώμα αντιστοιχεί στο πρόγραμμα SP_Nets το οποίο είναι γραμμένο στη γλώσσα προγραμματισμού C++. Με βέλη χρώματος μπλε αναπαριστώνται οι έξοδοι(αρχεία) των προγραμμάτων οι οποίες χρησιμοποιούνται ως εισοδοί σε άλλο πρόγραμμα της ροής. Με βέλη χρώματος πράσινου αναπαριστώνται οι εισοδοί προγραμμάτων ή εργαλείων οι οποίες έχουν παραχθεί είτε από κάποιο βιομηχανικό εργαλείο σχεδίασης το οποίο δεν εμφανίζεται στο διάγραμμα είτε από τον ίδιο το σχεδιαστή. Οι λέξεις με πορτοκαλί γράμματα σε παρενθέσεις πάνω στα πράσινα βέλη αποτελούν τις δυνατές εισόδους του κάθε προγράμματος ολογράφως. Η κατάληξη κάθε αρχείου έχει χαρακτηριστικό κόκκινο χρώμα ενώ το σύμβολο || σηματοδοτεί τις εναλλακτικές επιλογές για ορισμένες εισόδους. Τέλος, μέσα σε αγκύλες περιέχονται τα αρχεία που γίνονται υποχρεωτικά include από το αρχείο έξω από τις αγκύλες.



Στη συνέχεια της εργασίας αναλύονται τόσο τα προγράμματα που αναπτύχθηκαν κατά τη διάρκεια της διπλωματικής εργασίας όσο και οι είσοδοι και έξοδοι αυτών.

Το πρόγραμμα `uth_parser` είναι ένα πρόγραμμα γραμμένο στη προγραμματιστική γλώσσα `tcl`. Το πρώτο όρισμα που δίνεται ως είσοδος το πρόγραμμα είναι το αρχείο `in_out.uth`, το οποίο περιέχει τις υψηλότερες ιεραρχικά εισόδους και εξόδους σχεδίασης ολοκληρωμένου τις οποίες δέχεται από αρχείο γραμμένο σε κάποια από τις γλώσσες περιγραφής σχεδίασης υλικού (`vhdl`, `verilog`) το οποίο περιγράφει τη σχεδίαση που μας ενδιαφέρει. Επιπλέον περιέχει το όνομα της υψηλότερης ιεραρχικά σχεδίασης καθώς και τις ονομασίες των δικτύων τροφοδοσίας και γείωσης. Το δεύτερο όρισμα του προγράμματος είναι το όνομα του αρχείου με την περιγραφή των τεχνολογικών μοντέλων που χρησιμοποιούνται στη σχεδίαση. Το όρισμα αυτό τοποθετείται ως `card` στο αρχείο τύπου `spice` που θα προκύψει με την ολοκλήρωση των διεργασιών που πραγματοποιεί το πρόγραμμα. Το τρίτο κατά σειρά όρισμα του προγράμματος, είναι το όνομα ενός αρχείου, το οποίο περιέχει τη σχεδίαση σε χαμηλότερο σχεδιαστικό επίπεδο, αυτό του τρόπου σύνδεσης μεταξύ των υποκυκλωμάτων. Το όρισμα αυτό δίνεται στη μορφή που ακολουθεί, `"FileName".net` και τοποθετείται και αυτό ως `card` στο αρχείο που προκύπτει. Το τέταρτο όρισμα είναι η τιμή της τάσης τροφοδοσίας του κυκλώματος που μας ενδιαφέρει και δίνεται και αυτό ως ένα `card` στο αρχείο `spice` που θα προκύψει. Τα τέσσερα τελευταία ορίσματα του προγράμματος αφορούν το `configuration` αρχείο για το `Pathmill` που παράγεται από το πρόγραμμα `uth_parser` και στο οποίο παρέχονται ως παράμετροι μιας από τις εντολές που βρίσκονται στο `configuration` αρχείο.

Οι έξοδοι του αρχείου `uth_parser` είναι δύο αρχεία το `pm.cfg` και το `"FileName".sp`. Το πρώτο σύμφωνα με τη σειρά παρουσίασης αρχείο, το `pm.cfg` είναι το `configuration` αρχείο του βιομηχανικού εργαλείου `pathmill` το οποίο χρησιμοποιείται για τη εκτέλεση της ανάλυσης χρονισμού(`timing analysis`) και στο οποίο δίνεται ως παράμετρος κατά τη εκτέλεση του. Η δεύτερη έξοδος, το αρχείο `"FileName".sp` είναι ένα αρχείο τύπου `spice` το οποίο χρησιμοποιείται και αυτό ως μια παράμετρος εισόδου στο πρόγραμμα `pathmill`. Το αρχείο αυτό χρησιμοποιείται, με μια προσθήκη ενός

ακόμη card μετά την ανάλυση χρονισμού, από επόμενο χρονικά πρόγραμμα στη ροή σχεδίασης και στη συνέχεια αυτής ως παράμετρος για επόμενη λειτουργία.

Στο βιομηχανικό εργαλείο Pathmill, το οποίο είναι ένα προϊόν της εταιρίας Synopsys και πραγματοποιεί την ανάλυση χρονισμού της σχεδίασης του ολοκληρωμένου δίνονται ως είσοδοι, όπως έχει ήδη αναφερθεί, τα αρχεία που δημιουργούνται από το πρόγραμμα uth_parser. Το pm.cfg αποτελεί το configuration file του εργαλείου, δηλαδή το αρχείο που ρυθμίζει τις παραμέτρους λειτουργίας του εργαλείου. Το αρχείο αυτό περιέχει, τα source και sink nodes του ολοκληρωμένου, τέσσερις τιμές τάσης οι οποίες αποτελούν οι οποίες αποτελούν τις παραμέτρους της εντολής **set_voltage** του εργαλείου Pathmill και δίνονται ως ορίσματα στην εντολή set_voltage του Pathmill. Τέλος το αρχείο περιέχει την εντολή report_paths max του Pathmill με παράμετρο 1. Με τη χρήση της προαναφερθείσας εντολής ζητείται η εξαγωγή του μεγαλύτερου μονοπατιού (critical path).

Το πρόγραμμα get_time είναι γραμμένο σε scripting γλώσσα tcl. Η διεργασία η οποία επιτελεί το πρόγραμμα αυτό είναι η διαπέραση του αρχείου εξόδου του εργαλείου Pathmill, το οποίο ονομάζεται pathmill.out και η εξαγωγή των αποτελεσμάτων χρονισμού από αυτό. Πιο συγκεκριμένα, βρίσκει μέσα στο αρχείο pathmill.out και αποθηκεύει σε μεταβλητές, την τιμή της καθυστέρησης που αντιστοιχεί στο μεγαλύτερο μονοπάτι της σχεδίασης του κυκλώματος που επεξεργαζόμαστε, καθώς και τη μονάδα χρόνου που αντιστοιχεί στην τιμή της καθυστέρησης αυτής. Στη συνέχεια δημιουργεί ένα αρχείο, το time_anal_results.uth στο οποίο τοποθετεί με συγκεκριμένη διάταξη της δύο τιμές των μεταβλητών αυτών, ώστε να είναι εφικτή η διαπέραση του στη συνέχεια του flow από άλλο πρόγραμμα.

Το πρόγραμμα spice_verilog είναι και αυτό γραμμένο στη scripting γλώσσα tcl. Το πρόγραμμα δημιουργεί τα κατάλληλα αρχεία εισόδου για τους προσομοιωτές, Nanosim της εταιρίας Synopsys και Ultrasim της εταιρίας Cadence. Η παράμετρος εισόδου "FileName".sp του προγράμματος είναι ένα αρχείο τύπου spice(.sp , .spi). Το αρχείο αυτό θα αποτελεί το αρχείο περιγραφής του κυκλώματος που μελετάμε και επιθυμούμε να εισάγουμε στο ένα από τα δύο εργαλεία προσομοίωσης της επιλογής μας. Αυτό που ουσιαστικά κάνει το πρόγραμμα spice_verilog με αυτή του την είσοδο,

είναι αφού πρώτα υπολογίσει το συνολικό χρόνο που χρειάζεται η προσομοίωση σε επίπεδο χρόνου(transient simulation), η οποία θα πραγματοποιηθεί από τα εργαλεία που προαναφέραμε, για να ολοκληρωθεί να εισάγει την απαραίτητη εντολή για transient analysis, με τον αντίστοιχο χρόνο που υπολόγισε ως παράμετρο της. Η εντολή εισάγεται στη κατάλληλη γραμμή του αρχείου που περιγράφει τη σχεδίαση μας. Ο υπολογισμός του χρόνου προσομοίωσης γίνεται με τη χρήση δύο τύπων δεδομένων που αντλεί το πρόγραμμα από άλλες παραμέτρους εισόδου του.

Η μια από αυτές τις δύο παραμέτρους είναι το αρχείο time_anal_results.uth το οποίο περιέχει τα αποτελέσματα που μας ενδιαφέρουν από το output αρχείο που προέκυψε μετά την ανάλυση χρονισμού την οποία πραγματοποίησε το εργαλείο Pathmill.

Η δεύτερη παράμετρος την οποία χρησιμοποιεί το πρόγραμμα για τον υπολογισμό του συνολικού χρόνου προσομοίωσης της σχεδίασης είναι ο αριθμός των διανυσμάτων εισόδου(# of vectors), με τα οποία ο σχεδιαστής επιθυμεί να προσομοιώσει το κύκλωμα του.

Η είσοδος αυτή χρησιμοποιείται επίσης σε συνδυασμό με την είσοδο του δεύτερου αρχείου τύπου, είτε spice είτε verilog, με σκοπό την παραγωγή ενός νέου αρχείου που θα περιέχει τα τυχαία διανύσματα εισόδου τα οποία θα χρησιμοποιηθούν για τη προσομοίωση της σχεδίασης που μελετάμε. Πιο αναλυτικά, το πρόγραμμα βρίσκει τα σήματα εισόδου της σχεδίασης είτε από αρχείο τύπου spice είτε από αρχείο τύπου verilog, ανάλογα με το ποιος τύπος αρχείου θα επιλεχτεί να δοθεί ως είσοδος στο πρόγραμμα από το σχεδιαστή. Στη συνέχεια, από τη στιγμή που το πρόγραμμα γνωρίζει τις εισόδους του κυκλώματος επομένως και τον αριθμό τους, δημιουργεί ένα αρχείο τύπου .vec το οποίο χρησιμοποιείται ως είσοδος στα εργαλεία προσομοίωσης.

Το αρχείο αυτό περιέχει κάποιες χαρακτηριστικές τιμές, για κάθε καλώδιο της σχεδίασης που επεξεργαζόμαστε, σε πέντε βασικά πεδία του. Στο πρώτο πεδίο του αρχείου και μέσα σε μια γραμμή περιλαμβάνονται για κάθε ένα σήμα της σχεδίασης, εδώ είναι όλα είσοδοι, το radix του(η βάση απεικόνισης π.χ. οκταδικό, δεκαεξαδικό, δυαδικό). Στο δεύτερο πεδίο και πάλι μέσα σε μια γραμμή του αρχείου

περιλαμβάνονται οι χαρακτηρισμοί των σημάτων του κυκλώματος(ιο), που στη προκειμένη περίπτωση θα είναι *i* αφού όλα τα σήματα όπως ήδη αναφέραμε είναι εισοδοί. Το τρίτο από τα πεδία περιλαμβάνει σε μια γραμμή το όνομά του κάθε σήματος εισόδου του κυκλώματος. Στο τέταρτο πεδίο του αρχείου περιλαμβάνεται το *slope*(κλίση του σήματος εισόδου) της προσομοίωσης, και αυτό σε μια ακριβώς γραμμή. Στο πέμπτο και τελευταίο πεδίο του αρχείου περιλαμβάνονται ο χρόνος στον οποίο εισάγεται(με βάση τη περίοδο) κάθε διάνυσμα εισόδου καθώς και η τιμή του διανύσματος, ενώ κάθε ζεύγος των προαναφερθέντων τιμών πρέπει να περιλαμβάνεται σε μια ακριβώς γραμμή του αρχείου.

Στο σημείο αυτό θα πρέπει να κάνουμε δύο πολύ σημαντικές διευκρινίσεις. Η πρώτη διευκρίνιση είναι, πως εάν οι εισοδοί της σχεδίασης παρέχονται στο πρόγραμμα μέσω αρχείου τύπου *spice*, τότε τα διανύσματα εισόδου που θα παραχθούν θα είναι σε δυαδική μορφή, δηλαδή ένα *bit* για κάθε σήμα εισόδου του κυκλώματος. Εάν όμως οι εισοδοί παρέχονται μέσω αρχείου τύπου *verilog*, τα διανύσματα εισόδου που θα παραχθούν θα έχουν δεκαεξαδική μορφή, δηλαδή πολύ πιο συμπυκνωμένη μορφή, κάτι το οποίο συνεπάγεται και αισθητά μικρότερα σε μέγεθος παραγόμενα αρχεία. Η δεύτερη διευκρίνιση που πρέπει να γίνει, είναι πως οι γραμμές στα αρχεία τύπου *.vec* που δημιουργούνται από το πρόγραμμα έχουν περιορισμό στο μέγιστο αριθμό χαρακτήρων από τους οποίους μπορούν να αποτελούνται. Το άνω αυτό όριο είναι ίσο με 1020 χαρακτήρες. Αυτό όμως δημιουργεί κάποιες εύλογες απορίες, όπως το τι γίνεται εάν οι εισοδοί του κυκλώματος είναι τόσες πολλές ώστε κατά τη συμπλήρωση κάθε ενός από τα τέσσερα πεδία να είμαστε αναγκασμένοι να ξεπερνάμε το άνω αυτό όριο. Στη περίπτωση αυτή προβλέπεται από το *format* του συγκεκριμένου τύπου αρχείων να τοποθετείται ο ειδικός χαρακτήρας *backslash(\)* στη γραμμή που συμπληρώνουμε την εκάστοτε δήλωση στο αρχείο και μετά να συνεχίζουμε τη δήλωση σε νέα γραμμή. Με αυτό το τρόπο το εργαλείο που διαβάζει το αρχείο τύπου *.vec*, όταν θα διαβάσει τον ειδικό χαρακτήρα *backslash(\)* θα καταλάβει ότι η νέα γραμμή που θα διαβάσει αμέσως μετά, θα ανήκει είτε στο ίδιο πεδίο, είτε στο ίδιο διάνυσμα εισόδου, ανάλογα με το σημείο στο αρχείο όπου διάβασε τον ειδικό αυτό χαρακτήρα.

Το τελευταίο από τα αρχεία που παράγει ως έξοδο του το πρόγραμμα *spice_verilog*, είναι το *configuration* αρχείο(*ult.cfg* , *ns.cfg*) για το εκάστοτε εργαλείο

προσομοίωσης που θα επιλέξει ο σχεδιαστής. Το configuration αρχείο αποτελεί, ένα αρχείο ειδικού τύπου το οποίο περιλαμβάνει δηλώσεις ανάθεσης τιμών σε μεταβλητές που αφορούν τόσο τη προσομοίωση, όσο και το περιεχόμενο αλλά και τη διαμόρφωση του αρχείου εξόδου (“FileName”.hist, “FileName”.pa) του εκάστοτε εργαλείου. Τέλος το αρχείο αυτό περιέχει την εντολή που δίνει την έναρξη, τη λήξη και την διάρκεια της περιόδου, καθώς και την ανάθεση στα blocks των εισόδων τροφοδοσίας τους.

Οι εισόδοι οι οποίες χρησιμοποιούνται από το πρόγραμμα για την παραγωγή της συγκεκριμένης εξόδου είναι τα αρχεία ns_sim.cfg, blk.cfg καθώς και το εργαλείο προσομοίωσης(Nanosim/Ultrasim) στο οποίο επιθυμεί ο σχεδιαστής να πραγματοποιηθεί η προσομοίωση. Το πρώτο από τα αρχεία αυτά, το ns_sim.cfg περιέχει τις μεταβλητές προσομοίωσης καθώς και τις τιμές τους, ενώ το δεύτερο αρχείο το blk.cfg περιέχει κάποια χαρακτηριστικά της σχεδίασης, όπως τα blocks(υποκυκλώματα) από τα οποία αποτελείται το κύκλωμα αλλά και το όνομα του δικτύου τροφοδοσίας. Η επιλογή ενός από τους δύο προσομοιωτές πραγματοποιείται μέσω του αντίστοιχου στο διάγραμμα ροής, ορίσματος του προγράμματος, το Simulator όπου ο σχεδιαστής δίνει ολογράφως το όνομα του προσομοιωτή που επιθυμεί. Το ίδιο όρισμα χρησιμοποιείται όπως έγινε φανερό και προηγουμένως για τη παραγωγή του κατάλληλου configuration αρχείου για τον προσομοιωτή που επιλέγεται αλλά και για τη μορφή των διανυσμάτων εισόδου στο αρχείο .vec που χρησιμοποιείται επίσης στη προσομοίωση.

Τα δύο εργαλεία με το πέρας της προσομοίωσης δίνουν το κάθε ένα από ένα αρχείο αναφοράς (output file), το εργαλείο Ultrasim της εταιρίας Cadence παράγει ένα αρχείο τύπου .pa ενώ το εργαλείο Nanosim της εταιρίας Synopsys παράγει αρχείο τύπου .hist.

Τα δύο αρχεία εξόδου των εργαλείων περιλαμβάνουν διάφορα δεδομένα, αυτά όμως τα οποία μας απασχολούν πραγματικά είναι οι τιμές των ρευμάτων που κατανάλωσαν τα blocks της σχεδίασης, τα οποία αναγράφονταν στα configuration αρχεία, για κάθε ένα από τα τυχαία διανύσματα εισόδου της προσομοίωσης. Τα ρεύματα που καταναλώθηκαν από τα blocks είναι απόρροια, όπως έχει αναλυθεί και στην εισαγωγή της παρούσης διπλωματικής εργασίας, της αλλαγής κατάστασης των

πυλών εξαιτίας των διαφορετικών και πάντα τυχαίων διανυσμάτων εισόδου της προσομοίωσης.

Το εκάστοτε αρχείο εξόδου της προσομοίωσης (.pa , .hist) δίνεται στη συνέχεια ως είσοδο στο βασικό μαθηματικό εργαλείο της ροής σχεδίασης, τη στατιστική μηχανή IEXTREME η οποία όπως έχουμε ήδη αναφέρει μπορεί να στηρίξει τα αποτελέσματα της και με μέσα ρεύματα. Η στατιστική μηχανή πραγματοποιεί τις μαθηματικές πράξεις που απαιτούνται σύμφωνα με τη θεωρία που βασίζεται στην EVT και παρουσιάστηκε συνοπτικά στο Κεφάλαιο 1 ενώ αναλύεται εκτενώς στη δημοσίευση [1]. Το πρόγραμμα που αποτελεί τη στατιστική μηχανή IXTREME δέχεται ως όρισμα και έναν ακέραιο που μπορεί να είναι είτε 3 είτε 5 όπου ο αριθμός 3 είναι για να διαβάσει και να χρησιμοποιήσει στους υπολογισμούς τις τιμές της τρίτης στήλης του αρχείου εισόδου, την οποία βρίσκονται τα μέσα ρεύματα, ενώ ο 5 για να διαβάσει και να χρησιμοποιήσει τα μέγιστα ρεύματα τα οποία βρίσκονται στη πέμπτη στήλη του αρχείου εισόδου.

Στη συνέχεια η έξοδος της στατιστικής μηχανής γίνεται είσοδος στο πρόγραμμα qhull, το οποίο χρησιμοποιείται στη ροή σχεδίασης για τη βελτιστοποίησης της και δεν αποτελεί ένα υποχρεωτικό βήμα στην υλοποίηση της. Το πρόγραμμα αυτό υλοποιεί την αντίστοιχη μαθηματική θεωρία, Convex Hull με σκοπό τη μείωση του αριθμού των ρευμάτων που προκύπτουν από τη στατιστική μηχανή IEXTREME. Η μείωση αυτή δεν επηρεάζει ποιοτικά τα αποτελέσματα της στατιστικής μηχανής.

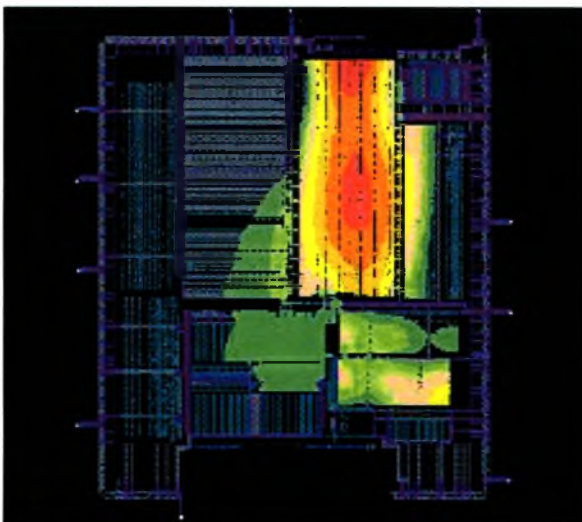
Στο σημείο αυτό της ροής σχεδίασης πραγματοποιείται μια παράλληλη διεργασία με τη χρήση του βιομηχανικού εργαλείου SocEncounter. Το εργαλείο αυτό χρησιμοποιείται με σκοπό τη σχεδίαση του δικτύου διανομής ισχύος σε περιγραφή φυσικού επιπέδου. Στο εργαλείο, εισάγουμε τη σχεδίαση (αρχεία τύπου verilog) που επεξεργαζόμαστε, επιλέγουμε την τεχνολογία και τους κανόνες σχεδίασης στη συνέχεια «τρέχουμε» ένα script που περιγράφει(μέταλλα, πλάτη, spacing, αριθμός γραμμών μετάλλου) τη σχεδίαση του power grid που ζητάμε. Το επόμενο βήμα, αφού το εργαλείο δημιουργήσει και αναπαραστήσει γραφικά το grid είναι να «σώσουμε» τη σχεδίαση σε ένα αρχείο τύπου .DEF(Design Exchange Format) το οποίο περιγράφει με συγκεκριμένο format σε φυσικό επίπεδο το δίκτυο διανομής ισχύος.

Το πρόγραμμα SP_Nets της ροής σχεδίασης είναι γραμμένο σε γλώσσα C++ και πραγματοποιεί, τρεις βασικές διεργασίες. Η πρώτη από τις διεργασίες αυτές είναι η διαπέραση και αναγνώριση των πεδίων, του αρχείου .DEF, τα οποία περιγράφουν το δίκτυο διανομής ισχύος σε φυσικό επίπεδο. Το δίκτυο διανομής ισχύος περιγράφεται στο τμήμα SPECIALNETS του αρχείου .DEF. το οποίο έχει καθορισμένη δομή και περιλαμβάνει συγκεκριμένα πεδία που αφορούν τόσο τα χαρακτηριστικά μεγέθη(πλάτος, τύπος μετάλλου κ.ά) όσο και τα γεωμετρικά χαρακτηριστικά(συντεταγμένες στο επίπεδο, γωνία μετάλλου κ.ά) αλλά και το τρόπο σύνδεση των μετάλλων του. Αφού αναγνωρίσει τα πεδία του τμήματος SPECIALNETS το πρόγραμμα δημιουργεί στη μνήμη τις κατάλληλες δυναμικές δομές με τα χαρακτηριστικά του δικτύου. Η δεύτερη διεργασία που πραγματοποιεί το πρόγραμμα είναι μετά την επεξεργασία των δομών που δημιουργήθηκαν, να εκτελέσει μια ρουτίνα η οποία μετατρέπει τη περιγραφή, φυσικού επιπέδου, του δικτύου διανομής ισχύος που αποτελεί ένα πλέγμα μετάλλων, κατά βάση δύο επιπέδων, σε μια περιγραφή πλέγματος από γραμμικές (ωμικές) αντιστάσεις. Αυτό που κάνει στην πραγματικότητα το πρόγραμμα είναι η εξαγωγή(extraction) των αντιστάσεων που παρουσιάζουν τα μέταλλα τα οποία συνθέτουν το δίκτυο διανομής ισχύος. Για την εξαγωγή των αντιστάσεων υπολογίζεται το μήκος(length) κάθε αγωγού, ενώ το πλάτος(width) του θεωρείται γνωστό από τη στιγμή που δίνεται από το αρχείο τύπου .DEF ως ένα από τα χαρακτηριστικά του στοιχείου. Τέλος η ειδική αντίσταση φύλλου R_{sh} των αγωγών θεωρείται δεδομένη από τη τεχνολογία στην οποία έχει υλοποιηθεί η σχεδίαση. Η μοντελοποίηση αυτή του δικτύου διανομής ισχύος ως ένα πλέγμα από γραμμικές αντιστάσεις, για να μπορέσει να χρησιμοποιηθεί στο επόμενο βήμα της σχεδιαστικής ροής μετατρέπεται σε ένα αρχείο τύπου spice. Η τελευταία διεργασία την οποία πραγματοποιεί το πρόγραμμα SP_Nets είναι η εισαγωγή των ρευμάτων εξόδου του προγράμματος qhull ή απευθείας των ρευμάτων εξόδου της στατιστικής μηχανής IXTREME, αφού όπως αναφέραμε η χρήση του προγράμματος qhull στο flow είναι προαιρετική, στο spice αρχείο που δημιουργεί. Η είσοδος των ρευμάτων στο αρχείο αυτό πραγματοποιείται με τη χρήση ενός πίνακα, κατάλληλης μορφής για το συγκεκριμένο τύπο αρχείων, ώστε να επιτευχθεί με είσοδο ενός μόνο αρχείου στο εργαλείο, η πολλαπλή προσομοίωση του κυκλώματος. Για τη σωστή προσομοίωση του κυκλώματος, το πρόγραμμα μοντελοποιεί τα blocks ως καταβόθρες ρεύματος(πηγές ρεύματος συνδεδεμένες στη γείωση) με τιμές για κάθε προσομοίωση τις αντίστοιχες

τιμές του πίνακα ρευμάτων που αναφέραμε προηγουμένως. Οι πηγές ρεύματος επομένως είναι ίσες σε αριθμό με τον αριθμό των blocks του κυκλώματος. Οι πηγές ρεύματος συνδέονται σε τυχαίους κόμβους πάνω στο πλέγμα του δικτύου διανομής ισχύος. Για να είναι το τελικό κύκλωμα που δημιουργείται στο αρχείο spice πλήρες, θα πρέπει σε κάποιους κόμβους του πλέγματος αντιστάσεων να εφαρμοστούν πηγές τάσης. Οι πηγές αυτές στη πραγματικότητα θα μοντελοποιούν τα σημεία στο πραγματικό δίκτυο διανομής ισχύος όπου εφαρμόζουν οι εξωτερικές τροφοδοσίες του ολοκληρωμένου κυκλώματος, με βάση τη τεχνολογία C4, δηλαδή σε οποιοδήποτε κόμβο(και εσωτερικό) του δικτύου. Η επιλογή των κόμβων που θα συνδεθούν και αυτές οι πηγές γίνεται με τυχαίο τρόπο.

Το τελικό βήμα πριν την ολοκλήρωση της ροής σχεδίασης είναι η είσοδος του αρχείου spice στο εργαλείο HSPICE, το οποίο αποτελεί ένα προσομοιωτή, με σκοπό να πάρουμε τα τελικά αποτελέσματα τα οποία θα περιλαμβάνονται στο αρχείο εξόδου του εργαλείου. Το αρχείο εξόδου του εργαλείου HSPICE αναφέρει τη τάση πάνω σε κάθε κόμβο στον οποίο εφαρμόζει η αντίστοιχη πηγή ρεύματος στο spice αρχείο για κάθε set τιμών των πηγών ρευμάτων.

Στη συνέχεια ακολουθεί η Εικόνα 11 η οποία εμφανίζει το chip της Εικόνας 10 μετά τη διαπλάτυνση των αγωγών του δικτύου τροφοδοσίας με βάση τα αποτελέσματα της δεύτερης ροής σχεδίασης για τη πτώση τάσης πάνω στο δίκτυο διανομής ισχύος του.



Εικόνα 17. Chip μετά από τη βελτιστοποίησή των αγωγών του με βάση τα αποτελέσματα της 2^{ης} ροής.

4. Ποιοτική Σύγκριση των δύο Ροών Σχεδίασης και Πειραματικά Αποτελέσματα

Τόσο η πρώτη όσο και η δεύτερη ροή σχεδίασης ακολουθούν σε γενικές γραμμές τον ίδιο βασικό κορμό μεθοδολογίας. Η μεθοδολογία αυτή όπως έχει ξαναπαρουσιαστεί, είναι χωρισμένη σε τρία επίπεδα. Στο πρώτο επίπεδο πραγματοποιείται η είσοδος της RTL σχεδίασης που επιθυμούμε να επεξεργαστούμε, σε μια από τις γλώσσες περιγραφής υλικού(π.χ. vhdl, verilog). Στο δεύτερο επίπεδο πραγματοποιείται η προσομοίωση της σχεδίασης ενώ στο τελευταίο από τα επίπεδα πραγματοποιείται η επαλήθευση του κυκλώματος. Παρά τις ομοιότητες τους, η δύο ροές σχεδίασης έχουν αρκετές ουσιαστικές διαφορές και στα τρία λογικά επίπεδα της σχεδιαστικής ροής.

Στο πρώτο επίπεδο, η δεύτερη ροή σχεδίασης περιλαμβάνει την ανάλυση χρονισμού της σχεδίασης μέσω της χρήσης του βιομηχανικού εργαλείου Pathmill. Με τα δεδομένα της ανάλυσης χρονισμού(περίοδος και μονάδα χρόνου) του κυκλώματος μπορεί γίνει αυτόματα η προετοιμασία των εισόδων στα εργαλεία προσομοίωσης.

Στο δεύτερο επίπεδο, η δεύτερη ροή σχεδίασης υποστηρίζει δύο προσομοιωτές, τον Ultrasim της εταιρίας Cadence ο οποίος χρησιμοποιείται και στο πρώτο flow και επιπλέον τον Nanosim της εταιρίας Synopsys. Επιπλέον η προσομοίωση του κυκλώματος πραγματοποιείται σε transistor level αντίθετα με τη πρώτη ροή σχεδίασης που πραγματοποιεί τη προσομοίωση σε επίπεδο σχηματικού(schematic).

Στο τρίτο επίπεδο, η δεύτερη ροή έχει και τις πλέον σημαντικές καινοτομίες σε σχέση με το παλιό flow. Η πρώτη από τις καινοτομίες είναι η βελτιστοποιημένη στατιστική μηχανή IXTRME2 η οποία προέκυψε μετά από ορισμένες αλλαγές στη πρώτη μηχανή την IXTRME. Η IXTRME αποτελεί μια αρχική έκδοση, η οποία δεν εκμεταλλευόταν το γεγονός ότι η συνάρτηση της πτώσης τάσης ως προς το διάνυσμα ρευμάτων μεγιστοποιείται στα maximal «μεγιστικά» σημεία του χώρου των ρευμάτων οπότε έπαιρνε για διεγέρσεις στο δίκτυο ισχύος απευθείας τις μέγιστες εκτιμήσεις των ρευμάτων της EVT και παρήγαγε απλά ένα (αρκετά χαλαρό) άνω φράγμα. Επιπλέον η

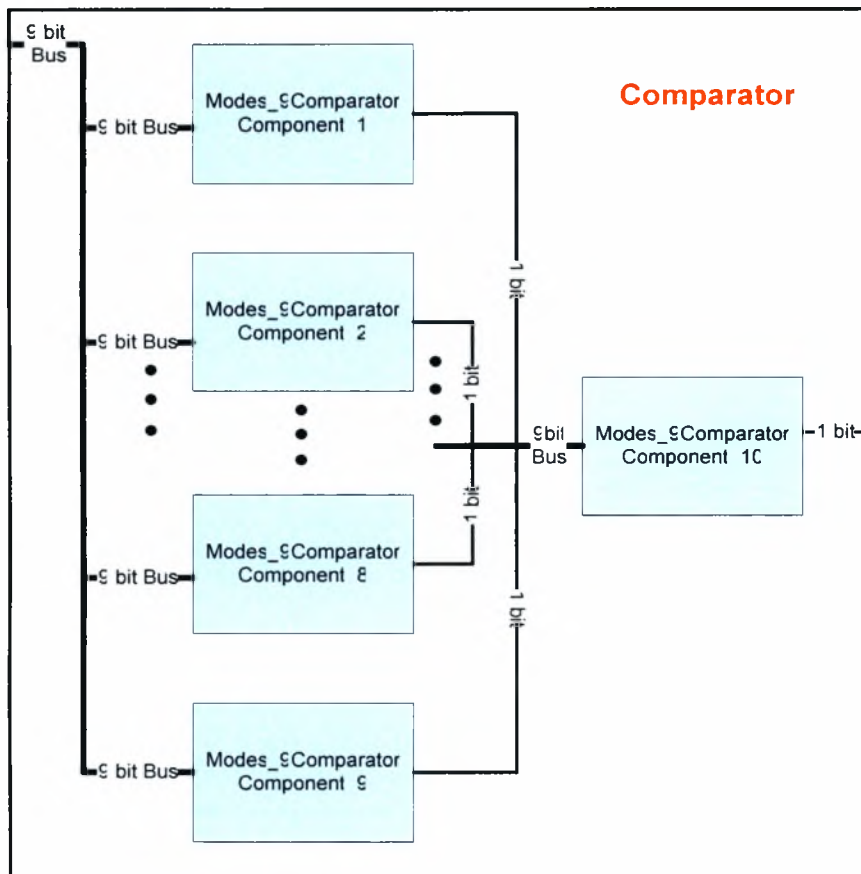
δεύτερη έκδοση της στατιστικής μηχανής υποστηρίζει τη χρήση και μέσω ρευμάτων για την υλοποίηση της θεωρίας που στηρίζεται στην EVT, αντίθετα με τη πρώτη η οποία υποστήριζε μόνο μέγιστα ρεύματα. Η δεύτερη καινοτομία είναι η χρήση της θεωρίας Convex Hull μέσα από τη χρήση του αντίστοιχου προγράμματος, προκειμένου να μειωθούν τα ρεύματα που θα χρησιμοποιηθούν στη dc προσομοίωση του δικτύου διανομής ισχύος που ακολουθεί. Η τρίτη καινοτομία είναι πως για τον ακριβέστερο υπολογισμό της αντίστασης που εμφανίζουν οι μεταλλικοί αγωγοί του δικτύου διανομής ισχύος πραγματοποιήθηκε η εξαγωγή των ωμικών αντιστάσεων αυτού, σε μορφή πλέγματος γραμμικών αντιστάσεων. Χαρακτηριστικό της αισθητά καλύτερης ακρίβειας του νέου flow, είναι πως το extraction γίνεται από περιγραφή φυσικής σχεδίασης του δικτύου, η οποία προέκυψε από βιομηχανικό εργαλείο, για τη συγκεκριμένη σχεδίαση που του δόθηκε ως είσοδος. Αντίθετα, στη πρώτη ροή σχεδίασης η αντίσταση που παρουσιάζεται από το δίκτυο διανομής ισχύος προσεγγίζεται μέσω της εισόδου, σε επίπεδο σχηματικού, της παραμετρικής συσκευής pden στη σχεδίαση πάνω από κάθε block πυλών. Η τέταρτη καινοτομία είναι οι πολλαπλές προσομοιώσεις που πραγματοποιούνται από το εργαλείο HSPICE στη δεύτερη σχεδιαστική ροή για την εύρεση της τάσης πάνω από κάθε block του κυκλώματος, αντίθετα με την πρώτη ροή που πραγματοποιείται μια dc προσομοίωση.

Μπορούμε λοιπόν να συμπεράνουμε, αφού εντοπίσαμε αρχικά τις διαφορές των δύο flows, ότι το δεύτερο flow έχει μεγαλύτερη ακρίβεια από ότι το πρώτο, τόσο από πλευράς ακρίβειας των προσομοιώσεων όσο και από πλευράς μοντελοποίησης και extraction του δικτύου διανομής ισχύος. Η βασικότερη όμως αλλαγή που επηρεάζει την ακρίβεια της δεύτερης ροής σχεδίασης είναι η βελτιστοποίησης της στατιστικής μηχανής IXTREME. Επιπλέον, η δεύτερη ροή σχεδίασης είναι πιο αυτοματοποιημένη εφόσον παράγει σχεδόν όλες τις εισόδους για όλα τα βιομηχανικά εργαλεία μέσω των προγραμμάτων που αναπτύχθηκαν στα πλαίσια της διπλωματικής εργασίας. Κάτι τέτοιο μετριάξει τις ενέργειες που απαιτούνται από το σχεδιαστή, με όλες τις απόρροιας που αυτό συνεπάγεται, όπως η μείωση των λαθών εξαιτίας του ανθρώπινου παράγοντα αλλά και η μείωση του χρόνου ολοκλήρωσης των διεργασιών κατά τη διάρκεια επεξεργασίας κάποιας σχεδίασης με χρήση της ροής σχεδίασης που παρουσιάστηκε.

Το κύκλωμα το οποίο δόθηκε ως είσοδος στη δεύτερη ροή σχεδίασης προκειμένου να πραγματοποιηθούν οι μετρήσεις ονομάστηκε **Comparator** και η συνδεσμολογία των υποκυκλωμάτων του είναι αυτή που φαίνεται στο Σχήμα 1. Το κάθε ένα από τα υποκυκλώματα Modes_9Comparator αποτελεί μια Hardware implementation του SAD, ενός συνδυαστικού κυκλώματος. Το κάθε ένα από τα υποκυκλώματα καταλαμβάνει έκταση 50.000 μm^2 , ενώ η σχεδίαση έχει υλοποιηθεί με χρήση της βιβλιοθήκης GSCLib3.0 σε τεχνολογία 90nm. Οι τεχνολογία σχεδίασης περιελάμβανε εννέα επίπεδα μετάλλου με την αντίσταση φύλλου των αγωγών, του δικτύου ισχύος, οι οποίοι έγιναν extract από τα αρχεία DEF έχει τιμή $R_{sh} = 0,02 \Omega/\text{sq}$. Οι πηγές τάσης που μοντελοποίησαν την τάση τροφοδοσίας στους κόμβους του πλέγματος ισχύος, στους οποίους ακουμπά η εξωτερική τροφοδοσία του ολοκληρωμένου ήταν σε αριθμό τρεις και είχαν τιμή 1.2 volts η κάθε μια. Η προσομοίωση πραγματοποιήθηκε σε grids(πλέγματα) τεσσάρων διαφορετικών τύπων, 3×3 , 4×4 , 5×5 και 10×10 . Οι πηγές τοποθετήθηκαν πάνω στο grid τυχαία και με βάση τη τεχνολογία C4 (και σε εσωτερικούς κόμβους του δικτύου). Τα ρεύματα τα οποία χρησιμοποιήθηκαν για την λήψη των αποτελεσμάτων που φαίνονται στο **Πίνακα 1** είναι τα μέσα ρεύματα που δίνει ο προσομοιωτής Nanosim για κάθε Block.

Comparator	Pin Voltage(volts)	Grid Dimension			
		3x3	4x4	5x5	10x10
Blocks (B _i)	B ₁	1.0499	1.1484	946.5920m	1.0840
	B ₂	1.0354	1.0193	1.1364	1.0961
	B ₃	995.7665m	1.0792	916.8668m	1.1424
	B ₄	1.1729	1.0706	1.1387	1.0909
	B ₅	1.1047	1.1597	1.0164	1.1518
	B ₆	1.0970	1.1008	1.1633	1.1715
	B ₇	1.2000	1.1439	918.8831m	1.0906
	B ₈	995.7665m	1.1334	924.2176m	1.1485
	B ₉	1.2000	984.1938m	850.3161m	1.0841
	B ₁₀	1.0970	1.0113	1.1292	1.0840

Πίνακας 1. Τελικά αποτελέσματα ,της ροής σχεδίασης που αναπτύχθηκε, για το κύκλωμα **Comparator**.



Σχήμα 1. Τα components του κυκλώματος Comparator, που χρησιμοποιήθηκε στις μετρήσεις, και η μεταξύ τους σύνδεση.

Παράρτημα 1

in_out.uth :

```
.ckt
modes9_Comparator

.power_net
vdd! gnd!

.in_cir
mode0_127 mode0_126 mode0_125 mode0_124 mode0_123 mode0_122
+mode0_20 mode0_19 mode0_18 mode0_17 mode0_16 mode0_15 mode0_14
.
.
.
+mode3_71 mode3_70 mode3_69 mode3_68 mode3_67 mode3_66 mode3_65

.out_cir
mode0_out_99 mode0_out_98 mode0_out_97 mode0_out_96 mode0_out_95
+mode7_25 mode7_24 mode7_23 mode7_22 mode7_21 mode7_20 mode7_19
.
.
.
+mode0_out_80 mode0_out_79 mode0_out_78 mode0_out_77 mode0_out_76 +mode0_out_1
mode0_out_0
```

pm.cfg :

```
source_node mode0_127 mode0_126 mode0_125 mode0_124 mode0_21 \
mode1_46 mode1_45 mode1_44 mode1_43 mode1_42 mode1_39 mode1_38 \
.
.
.
mode8_49 mode8_48 mode8_47 mode8_46 mode8_45 mode8_44 mode8_43 \
mode8_7 mode8_6 mode8_5 mode8_4 mode8_3 mode8_2 mode8_1 mode8_0

sink_node mode0_out_127 mode0_out_126 mode0_out_125 mode0_out_124 \ mode0_out_80
mode0_out_79 mode0_out_78 mode0_out_77 mode0_out_76 \
.
.
.
mode0_out_80 mode0_out_5 mode0_out_4 mode0_out_3 mode0_out_2 \
mode0_out_1 mode0_out_0

set_voltage 1.0 : 1.0 : 1.0 : 1.0

report_paths max 1
```

time_anal_results.uth :

```
period = 11.8  
tunit = ns
```

ns_sim.cfg :

```
set_sim_esv 0.12v  
set_sim_spd 0.12v  
set_sim_tres 0.1ns  
set_sim_ires 0.1nA  
set_print_tres 0.1ns  
set_print_ires 1uA  
set_print_vres 10mV  
set_acc_limit 1ns  
set_pwl_limit 1ns  
set_sim_ssc 1nA
```

blk.uth :

```
.power_net  
vdd!
```

```
.blocks  
X1.xm3.*  
X1.xm2.*  
X1.xm1.*  
X1.xm0.*
```

vec_file.txt :

```
slope 0.1
```

Estimated_currents.txt :

1.247905e+04 1.762538e+04 2.304429e+04 4.192426e+03
1.643435e+04 1.453238e+04 1.823629e+04 3.420426e+03
1.250615e+04 1.800538e+04 2.361229e+04 4.012626e+03
1.649235e+04 1.115238e+04 2.067329e+04 3.379326e+03
.
.
.
1.319805e+04 1.348998e+04 1.917229e+04 4.207026e+03

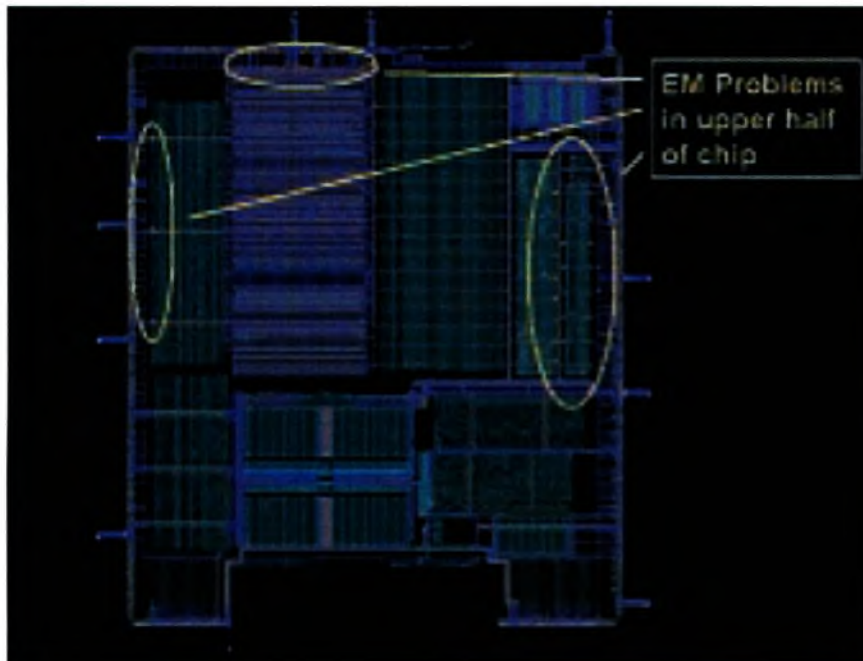
Final.txt :

6
0
3
7
12
14
20
4
6
16953.619739 109011.000013 29235.189738 29124.440141
29428.619946 112489.000272 22643.190261 22538.440196
21562.620241 134357.000106 22704.190176 22570.440023
23406.619912 134042.999781 20817.189774 20665.440010
25613.620110 116936.999733 22717.189827 22598.440095
24691.620048 126226.999813 26929.189735 26782.440106

Παράρτημα 2

Τι είναι η Ηλεκτρομετανάστευση.

Ο όρος χρησιμοποιείται για την περιγραφή της αστοχίας του υλικού. Είναι αποτέλεσμα της υψηλής πυκνότητας ρεύματος στους αγωγούς τροφοδοσίας και σήματος. Στην πραγματικότητα είναι το σπάσιμο μεταλλικού καλωδίου το οποίο προκαλείται από την σύγκρουση των ελεύθερων ηλεκτρονίων του μετάλλου στα τοιχώματα αυτού. Με το σπάσιμο του αγωγού είναι πολύ πιθανό να δημιουργηθούν βραχυκυκλώματα.



Παράρτημα 3

An RTL-to-Grid Design Flow for Power Grid Verification Based on a Statistical Estimation Engine

D. P. Karampatzakis, N. E. Evmorfopoulos, M. K. Tsiampas and G. I. Stamoulis
Dept. of Computer and Communication Engineering
University of Thessaly
Volos, 38221, GREECE
E-mail: ofni@uth.gr

Abstract — The most important reliability problem of modern power distribution networks is the voltage drop or IR-drop problem. In this paper we present a design flow based on industrial tools for power grid verification, where the grid is modeled as a linear resistive network and the necessary maximum current estimates are statistically obtained by recent advances in the field of extreme value theory. Experimental results include the verification of power grid for a choice of different real designs.

I. INTRODUCTION

The modern deep-submicron integrated circuits contain massive power distribution networks which are particularly susceptible to a number of reliability problems. Some of them are the ground bounce due to inductive effects and electromigration effects due to excessive current densities. The biggest is the well-known voltage drop or IR-drop problem [1]. This effect characterizes the lowering of the effective voltage level supplied on the circuit's active devices due to the finite resistance of the p/g wires, and can have an adverse impact on circuit speed and noise margins, degrading performance (at best) or causing faulty logic signals and circuit malfunction (see Figure 1).

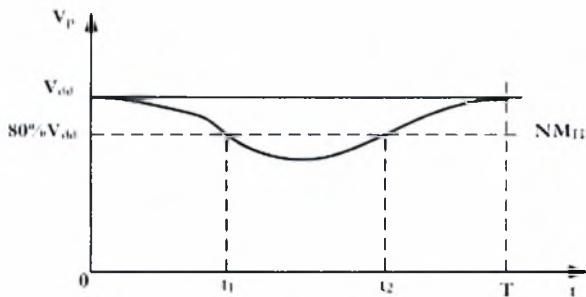


Figure 1. Illustration of the voltage drop at a given sink in the power

This work is supported by GSRT- Greek Ministry of Development supply network.

The analysis and verification of a power grid is becoming an important issue in nanometer-scale generation of VLSI circuits. In

such an endeavor, the power grid is modeled in its highest detail as a linear inductance-resistance-capacitance (RLC) network. The supply networks can contain tens or hundreds of millions of nodes. The analysis of such networks is computationally expensive and slow. Recent approaches propose methods for the analysis and verification of huge and complex grids using hierarchical methods [2].

The verification of the power grid has to be based on appropriate values of maximum currents drawn over time from the circuit and its subsystems, which in all prior cases were considered as given. However, such values or estimates are hard to obtain since the instantaneous current is a function of the pair of input vectors inflicting a transition at the circuit's logic state, the number of which is (as is well known) exponential to the number of primary inputs and prohibitively large to examine exhaustively. This lack of reliable maximum current estimates meant that all previous methods could not be applied in a real integrated circuit design but only to some conceptual circuits with a relatively small number of branches and elements. The independent approaches for the estimation of maximum currents which have appeared over the years were mostly heuristic or over-simplified and could not provide the accuracy needed for the design of deep-submicron ICs. In the recent years the focus has been shifted on precise simulation of the circuit for an adequate sample of input vectors, which is subsequently followed by statistical processing to extrapolate the results to the entire population. The state-of-the-art in statistical maximum current estimation comes from the discipline of *extreme value theory* (EVT), which is the pertinent field of statistics for the estimation of the unknown maximum of a related population from one (or more) of its samples [3]. The method being proposed in the current paper takes advantage of the latest research in this area [4], which overcomes some previous attempts based on statistical exploitation of simulation data [5]-[6] that were either not based on EVT or did not make efficient use of the theory as was subsequently demonstrated in [4]. The adaptation of the EVT approach to the specific problem in hand is combined with an elegant circuit-theoretic formulation, and the composite approach is readily and easily applicable to any real IC design.

The rest of the paper is organized as follows. The next section describes a rigorous formulation of power grid verification.

Section III gives the basic statistical results for the estimation of maximum currents using EVT. Section IV describes the RTL-to-Grid design flow that uses IXtreme Engine and the implementation on a real industrial flow. Section V presents experimental results of the application of our flow to real designs and the last section summarizes our work and sets a starting point for future work.

II. PROBLEM FORMULATION

We assume that the power grid (or the portion of the power grid that needs verification) has been extracted as a linear network of resistive branches that meet at $q + p$ nodes, of which p nodes are connected to the external power supply via power pads (which are either located at the periphery of the grid in the case of a wire-bond package, or are scattered across the entire grid area in a C4 methodology), and the remaining q nodes are divided to n sink nodes (with current sources to an external ground node) and $q - n$ internal nodes (for which usually $q \gg n$).

According to the *modified nodal analysis* (MNA) [7], the $q \times 1$ vector of instantaneous voltages $\underline{U}(t)$ (relative to ground) at all internal and sink nodes is determined by the instantaneous currents drawn by the sinks and the specific network structure, and is given by the following matrix equation:

$$\underline{G} \cdot \underline{U}(t) = -\underline{I}(t) + \underline{G} \cdot \underline{V}_{dd} \quad 1$$

where \underline{G} is the $q \times q$ *conductance* matrix of the network (formed by the conductances of the network branches), $\underline{I}(t)$ is a $q \times 1$ vector of current excitations at the nodes (with positive currents to the ground at sink nodes and zero entries at all internal nodes), and \underline{V}_{dd} is another $q \times 1$ vector with all entries equal to the supply voltage V_{dd} . By defining $\underline{V}(t) = \underline{V}_{dd} - \underline{U}(t)$ as the voltage drop at all nodes we can rewrite the above network equation in a form which can be solved directly for the voltage drop values:

$$\underline{G} \cdot \underline{V}(t) = \underline{I}(t) \quad \square$$

III. STATISTICAL MAXIMUM CURRENT ESTIMATION THAT USES EVT

The design method being proposed in the current paper takes advantage of the most recent research in statistical maximum current estimation from the discipline of *extreme value theory* (EVT), which is the pertinent field of statistics for the estimation of the unknown maximum of a related population from one (or more) of its samples. A few previous techniques based on statistical exploitation of simulation data did appear, but they were either not based on EVT or they did not make efficient use of the theory as was subsequently demonstrated in [4]. The inherent difficulty in obtaining the maximum currents $i_{m,k}$ is that the current waveform $i_k(t)$ drawn from each block k is dependent on the vector pair $(\underline{v}_1, \underline{v}_2)$ being applied on the circuit at the boundaries of a clock edge (to inflict a logic state transition). If the peak value $i_{p,k}$ of $i_k(t)$ is taken over one clock cycle as a function of $(\underline{v}_1, \underline{v}_2)$, then

$i_{m,k}$ is equal to the maximum value of this *cycle-accurate peak* current among all possible pairs $(\underline{v}_1, \underline{v}_2)$.

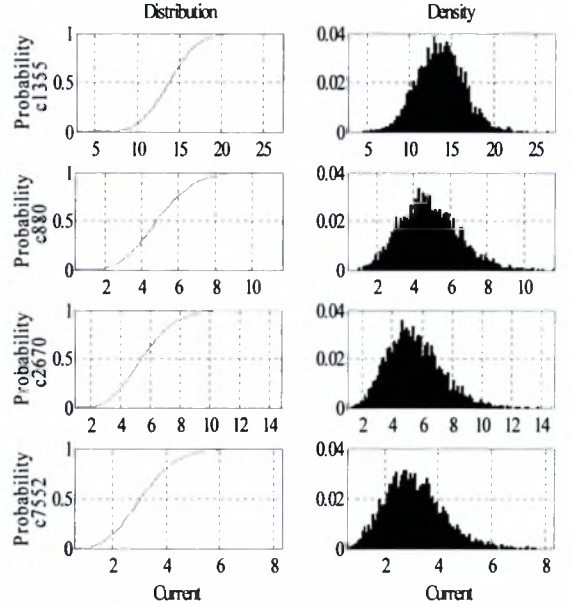


Figure 2. Empirical distribution function and density function of the cycle-accurate peak current drawn from several blocks of benchmark circuits.

From a statistical viewpoint, the entire set of vector pairs can establish an initial population of size 4^r (where r is the number of primary inputs - or the number of bits in each input vector) in which the quantity of the cycle-accurate peak current is regarded as a random variable X . Supposing that X is characterized by a cumulative distribution function (cdf) $F(x)$ (and associated density function $f(x) = dF(x)/dx$) which is assumed to be continuous and differentiable (see Figure 2), then the problem of determining the overall maximum current can be cast as a problem of estimating the unknown maximum of a given statistical population with cdf $F(x)$. The appropriate estimation of the latter quantity, known formally as the *upper endpoint* ω_F , has been performed in [4].

IV. RTL-TO-GRID DESIGN FLOW

The proposed industry based RTL-to-Grid design flow for power grid analysis and verification is part of our internal design flow and demonstrates the capabilities of our IXtreme Engine [8].

For the modeling of the grid we introduce a parametric device ("pdevice" or "pdev") which holds all cdf properties of a "resistor" cell from analogLib (for "pdevice" views see Figure 3). A "pdevice" holds data for the parasitic resistance of a grid branch. It can also hold parasitic capacitance and it is flexible to add information about inductive effects. We use "pdevice" for capturing the current waveform after the analysis of a testbench netlist and for generating the power grid.

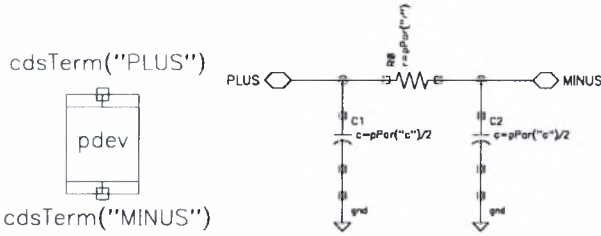


Figure 3. Parametric device symbol and schematic cell view.

The model that we will assume for the power grid for our design flow (see Figure 4) is the resistive linear model (pdev) with analogLib current dc sources (idc) at each sink and voltage dc sources (vdc) for pads, since we are seeking static current vectors for DC analysis.

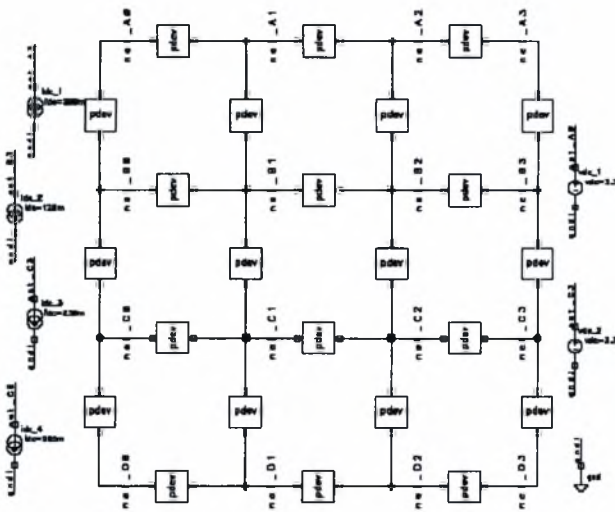


Figure 4. A sample schematic Grid (4x4 nodes) with four current sources (sinks) and two voltage sources (pads).

Our RTL-to-Grid design flow consists from the following steps (see Figure 5):

The first step is the synthesis of the RTL Design (vhdl or verilog) using the technology library file GSCLib3.0 (gpd018 technology). We perform a fast synthesis script since it is typical for generation of testbench netlists. After the synthesis we save the flat technology-dependent netlist of the design (verilog).

The second step is to import the flat netlist into the Cadence Virtuoso IC using the symbolPT (Power and ground pins) view for the GSCLib3.0 standard cells. The cells of pdevice and the random generator (written in verilog) also exist in the working library. It is also possible to handle hierarchical designs but the designer must declare in isolation the multiple voltages of the circuit. We check the design for consistency.

The next step is to perform the transient simulation of the design. In our flow we use SKILL scripting for the automate preparation of the testbench netlist. During the first procedure we partition randomly the design in blocks of a selected number of gates (e.g. 50). At each block we assign a pdevice. The second procedure puts the random generators at each input (setting period time, random seed and pulse characteristics), the output loads and the voltage reference (V_{dd}) of the testbench. Finally, the last procedure creates

the ocean script for the transient analysis (setup simulation duration, simulator, simulator setup). We check the design for consistency.

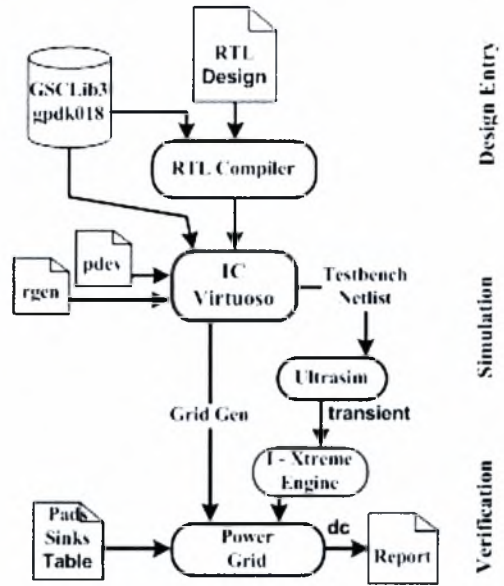


Figure 5. RTL-to-Grid design flow based on Cadence design flow tools.

The ocean simulation script controls the simulation and saves the current's waveform at each pdevice port, and finally the cycle-accurate peak currents of each period are manipulated by another script. In our methodology we save the whole current waveform in order to use it for future extension of the flow (RLC networks). The designer can also import the waveform in Matlab to check the distribution and density functions of the currents. The chosen fast spice simulator is the Ultrasim from Cadence, settled to work with digital fast mode to short the simulation time.

After the peak currents are obtained from the simulation, an inter-process function calls our IXtreme Engine to estimate the worst case maximum currents at each sink. The engine is a C procedure which performs all the statistical computations (the engine also supports optimization of the line widths, but we do not demonstrate this capability in this work because the layout data are missing). Finally, we assume that the maximum currents appear simultaneously at each sink.

Because, our methodology does not support information from layout views the power grid is generated from a SKILL procedure. The cell view of the grid is "schematic", the size is parameterized and we use pdevices to represent the branch resistance. As input to the grid we use a sinks-and-pads allocation table to declare the placement of current and voltages sources on the grid.

The final step is the dc analysis of the grid (Spectre simulator). An ocean procedure starts the analysis and also performs the verification at each sink. The designer can also set a voltage drop tolerance at each sink (20% of V_{dd} , i.e. $V_o=0.66V$ for $V_{dd}=3.3V$). At the end a report is generated and all the violations are reported.

V. EXPERIMENTAL RESULTS

The circuits selected for the experimental validation of the method are from the ISCAS85 benchmark suite. The circuit was implemented in GPDK 0.18 um process with 6 copper metal layers, sheet resistance 0.1 ohm/square and supply voltage

$V_{dd}=3.3V-2.7V$. The circuits were broken up in a random number of functional blocks containing fifty standard cells each, and were arranged in different floorplanning schemes. The estimation of maximum currents at each block was performed first and the derived results are reported in Table I. The main information includes the circuit name in column 1, the number of blocks in column 2, number of vector pairs used for estimation in column 3, the block current identifier in column 4, the maximum current in the sample used for estimation (useful to assess the potential of the statistical method) in column 5, the actual maximum current estimate in column 6. After dc analysis the results for IR-drop at each sink (A:net_A3, B:net_B2, C:net_C2, D:net_C1 and E:net_D0, see Figure 4) of circuit c1355 are reported in Table II. We demonstrate two topologies with two power supply pads (located for wire bond [net_A0 net_D3] and for C4 [net_B1 net_D3], see Figure 4) with different voltage supply references V_{dd} .

VI. CONCLUSION

An RTL-to-Grid design flow for power grid verification has been developed, which relies on accurate construction of the current sinks by simulation and statistical extrapolation using results from extreme value theory. The flow is based on industrial EDA tools and exposes the accuracy and flexibility of IXtreme Engine. The flow is open for further extension to import extracted data from a layout tool. It may be used in conjunction with a power grid routing tool in order to prevent grid overdesign and point towards efficient use of routing resources, which will constitute an essential design need for the nanometer-scale generation of VLSI circuits.

ACKNOWLEDGMENT

Our laboratory (ELAB/UTH) students would like to thank Ms. K. Damalou, Mr. A. Liapis and Dr. S. Bantas from HELIC S.A. – Athens, for their contribution to become more familiar with the Cadence design flow and SKILL programming.

TABLE I. RESULTS FOR THE ESTIMATED VALUES OF MAXIMUM CURRENT

Circuit	# blocks	# vectors	I_{max}	Sample maximum (mA)	Estimated maximum (mA)
c1355 3.3V	5	5000	I_{max_A}	27.24	34.73
			I_{max_B}	24.85	32.69
			I_{max_C}	28.58	36.81
			I_{max_D}	12.31	16.15
			I_{max_E}	20.37	28.06
c1355 2.7V	5	5000	I_{max_A}	18.51	23.42
			I_{max_B}	15.55	21.61
			I_{max_C}	17.27	22.39
			I_{max_D}	8.34	10.99
			I_{max_E}	11.46	16.85
c880 3.3V	8	4000	I_{max}	11.66	18.08
c2670 3.3V	13	4000	I_{max}	14.82	21.4
c7552 3.3V	42	4000	I_{max}	8.32	13.02

TABLE II. RESULTS FOR THE IR-DROP AT EACH SINK NODE

Topology	Circuit c1355	V_{dd}	Maximum IR-drop				
			A	B	C	D	E
			Wire Bond	3.3V	27.8m	22.9m	20.6m
C4	c1355	2.7V	17.7m	14.3m	12.5m	12.2m	14.4m
		3.3V	18.8m	11.3m	11.9m	8.4m	14.8m
		2.7V	11.9m	6.8m	6.9m	4.7m	8.5m

REFERENCES

- [1] D. Blaauw, R. Panda, and R. Chaudhry, "Design and analysis of power distribution networks", in A. Chandrakasan, W. Bowhill, and F. Fox (eds.), *Design of High-Performance Microprocessor Circuits*, IEEE Press, 2001.
- [2] S. S. Sapatnekar, Haihua Su, "Analysis and optimization of power grids", *IEEE Design & Test of Computers*, 2003.
- [3] J. Galambos, "The asymptotic theory of extreme order statistics", 2nd ed, Krieger, 1987.
- [4] N. Evmorfopoulos, G. Stamoulis, and J. Avaritsiotis, "A Monte Carlo approach for maximum power estimation based on extreme value theory", *IEEE Trans. Computer-Aided Design*, vol. 21, pp. 415-432, 2002.
- [5] A. Hill, C. Teng, and S. Kang, "Simulation-based maximum power estimation", *IEEE Int. Symp. Circuits and Systems*, 1996.
- [6] Q. Wu, Q. Qiu, and M. Pedram, "Estimation of peak power dissipation in VLSI circuits using the limiting distributions of extreme order statistics", *IEEE Trans. Computer-Aided Design*, vol. 20, pp. 942-956, 2001.
- [7] L. Pillage, R. Rohrer, and C. Visweswariah, "Electronic and system simulation methods", McGraw-Hill, 1995.
- [8] D. P. Karampatzakis, N. E. Evmorfopoulos and G. I. Stamoulis, "A statistically-based engine for p/g network optimization", *IEEE/PRIME*, 2005.

Βιβλιογραφία

Papers

- [1]. Nestoras Evmorfopoulos, Dimitris Karampatzakis and Georgios Stamoulis, “Precise Identification of the Worst-Case Voltage Drop Conditions in Power Grid Verification”.
- [2]. D. Blaauw, R. Panda, and R. Chaudhry, “Design and analysis of power distribution networks”, in A. Chandrakasan, W. Bowhill, and F. Fox (eds.), *Design of High-Performance Microprocessor Circuits*, IEEE Press, 2001.
- [3]. S. S. Sapatnekar, Haihua Su, “Analysis and optimization of power grids”, *IEEE Design & Test of Computers*, 2003.
- [4]. H. Royden, *Real Analysis, 3rd ed.*, Prentice-Hall, 1988.
- [5]. J. Galambos, “The asymptotic theory of extreme order statistics”, 2nd ed, Krieger, 1987.
- [6]. N. Evmorfopoulos, G. Stamoulis, and J. Avaritsiotis, “A Monte Carlo approach for maximum power estimation based on extreme value theory”, *IEEE Trans. Computer-Aided Design*, vol. 21, pp. 415-432, 2002.
- [7]. A. Hill, C. Teng, and S. Kang, “Simulation-based maximum power estimation”, *IEEE Int. Symp. Circuits and Systems*, 1996.
- [8]. Q. Wu, Q. Qiu, and M. Pedram, “Estimation of peak power dissipation in VLSI circuits using the limiting distributions of extreme order statistics”, *IEEE Trans. Computer-Aided Design*, vol. 20, pp. 942-956, 2001.
- [9]. L. Pillage, R. Rohrer, and C. Visweswariah, “Electronic and system simulation methods”, McGraw-Hill, 1995.
- [10]. D. P. Karampatzakis, N. E. Evmorfopoulos and G. I. Stamoulis, “A statistically-based engine for p/g network optimization”, *IEEE/PRIME*, 2005.

Βιβλία / Εγχειρίδια

- [11]. Synopsys Insight : “A practical Methodology Calculates IR Drop Targets for SoCs”.
- [12]. Synopsys : “Encounter User Guide”.
- [13]. Synopsys : “Nanosim User Guide”.

- [14]. Synopsys : “Pathmill User Guide”.
- [15]. Cadence : “Ultrasim User Guide”.
- [16]. Cadence : “SKILL Language User Guide”.
- [17]. Cadence : “OCEAN Reference”.
- [18]. Cadence : Virtuoso® Parameterized Cell Reference.
- [19]. Cadence® Design Framework Functions Reference.
- [20]. Cadence : “SKILL Language Reference”.
- [21]. Cadence : “Custom Layout SKILL Functions Reference”.
- [22]. Cadence : “Technology File and Display Resource File SKILL Reference Manual”.
- [23]. John K. Ousterhout Computer Science Division Department of Electrical Engineering and Computer Sciences University of California Berkeley, CA 94720 : “Tcl and the Tk Toolkit”.
- [24]. Charles Todd : “”Tcl/Tk Electronic Reference”.
- [25]. N. H. WESTE , K. ESHRAGHIAN : “Design of Integrated Circuits CMOS VLSI”.
- [26]. BJARNE STROUSTRUP : “The C++ Programming Language”.
- [27]. Walter Savitch : “Absolute C++”.

Ηλεκτρονική Βιβλιογραφία

- [28]. <http://www.sunlabs.com/~bwelch/book/index.html>
- [29]. <http://www.pythonware.com/library/tkinder/introduction/index.html>
- [30]. http://www.cs.utah.edu/dept/old/texinfo/bison/bison_toc.html
- [31]. <http://www.delorie.com/gnu/docs/bison/bison.1.html>
- [32]. <http://www.cppreference.com/>
- [33]. <http://www.cplusplus.com/reference/>





ΠΑΝΕΠΙΣΤΗΜΙΟ
ΘΕΣΣΑΛΙΑΣ



004000085986