

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ – ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

Χατζηπαρασκευάς Γεώργιος

**Μία path-based προσέγγιση στατιστικής
ανάλυσης καθυστέρησης ψηφιακών
κυκλωμάτων**

Εκπονήθηκε υπό την επίβλεψη των:

Ευμορφόπουλου Νέστορα
Σταμούλη Γεώργιου

Βόλος Σεπτέμβριος 2007



**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΒΙΒΛΙΟΘΗΚΗ & ΚΕΝΤΡΟ ΠΛΗΡΟΦΟΡΗΣΗΣ
ΕΙΔΙΚΗ ΣΥΛΛΟΓΗ «ΓΚΡΙΖΑ ΒΙΒΛΙΟΓΡΑΦΙΑ»**

Αριθ. Εισ.: 5976/1
Ημερ. Εισ.: 23-10-2007
Δωρεά: Συγγραφέα
Ταξιθετικός Κωδικός: ΠΤ – ΜΗΥΤΔ
2007
ΧΑΤ

*Στην οικογένειά μου
και στους καθηγητές
που με βοήθησαν*

Πρόλογος

“A model should be as simple as possible, but not simpler.”

Albert Einstein

“There are lies, damned lies, and statistics.”

Benjamin Disraeli

“Statistical theory has changed practice in almost every discipline”

Edward Deming

Οι σχεδιαστές ψηφιακών κυκλωμάτων προσπαθούν συνεχώς να βελτιστοποιήσουν τα ψηφιακά κυκλώματα όσον αφορά το μέγεθος, την καθυστέρηση και την κατανάλωση ενέργειας. Και τα τρία κριτήρια είναι σημαντικά αλλά η απόδοση των ψηφιακών κυκλωμάτων σχετίζεται κυρίως με τη μέγιστη καθυστέρηση τους. Παρόλη την έμφαση που δίνεται στο στάδιο του σχεδιασμού, η παραγωγή του τελικού κυκλώματος μπορεί να καθυστερήσει λόγω της μεταβλητότητας των διαφόρων παραμέτρων κατασκευής. Στα ψηφιακά κυκλώματα τεχνολογίας βαθέος υπομικρού (deep submicron technology - DSM) η μεταβλητότητα των τιμών των παραμέτρων αυτών είναι μία από τις κύριες αιτίες αποτυχίας και καθυστερήσεων στην παραγωγή. Ωστόσο επικρατεί μεγάλη σύγχυση σχετικά με τον όρο «μεταβλητότητα» στην κοινότητα των σχεδιαστών ψηφιακών κυκλωμάτων: Ο όρος «μεταβλητότητα» αναφέρεται στην αδυναμία πρόβλεψης, την ασυνέπεια και την αστάθεια μιας ποσότητας που μπορεί να μετρηθεί.

Η στατιστική καλείται να δώσει απαντήσεις στην αυξανόμενη αβεβαιότητα που δημιουργείται στην απόδοση των ψηφιακών κυκλωμάτων. Θεωρεί την απόδοση ως κατανομή, την οποία καλείται να υπολογίσει. Γνωρίζοντας την κατανομή της απόδοσης μπορούν να γίνουν προβλέψεις για το ποσοστό των κυκλωμάτων που αφήνουν τη γραμμή παραγωγής και λειτουργούν σύμφωνα με τις σχεδιαστικές απαιτήσεις (Parametric yield). Στόχος είναι το ποσοστό αυτό να γίνει όσο το δυνατόν μεγαλύτερο.

Συγκεκριμένα η πρόβλεψη της μέγιστης καθυστέρησης ενός κυκλώματος δεδομένης τη ύπαρξης διακυμάνσεων αποτελεί πρόκληση. Στην παρούσα εργασία παρουσιάζεται και υλοποιείται μια νέα στατιστική μέθοδος εκτίμησης της κατανομής της μέγιστης καθυστέρησης. Οι βασικές αρχές της μεθόδου είναι απλές και μπορούν να επεκταθούν εύκολα για την περιγραφή πολυπλοκότερων καταστάσεων. Η εκπόνηση της εργασίας αυτής δε θα ήταν δυνατή χωρίς τη συμβολή και βοήθεια του επιβλέποντα καθηγητή κ.Ευμορφόπουλου Νέστορα και του καθηγητή κ. Σταμούλη Γεώργιου τους οποίους και θα ήθελα να ευχαριστήσω.

1. Εισαγωγή	4
1.1 Υπόβαθρο	4
1.2 Διάρθρωση της εργασίας	5
2. Στοιχεία πιθανοτήτων	6
2.1 Γενικά	6
2.2 Τυχαία μεταβλητή που ακολουθεί κανονική κατανομή	7
2.3 Διανύσματα τυχαίων μεταβλητών	8
2.4 Πολλές τυχαίες μεταβλητές που ακολουθούν από κοινού κανονική κατανομή	10
2.5 Η μέθοδος PCA (Principal Component Analysis)	11
3. Διακυμάνσεις παραμέτρων που επηρεάζουν τη συμπεριφορά των ψηφιακών κυκλωμάτων	13
3.1 Διακυμάνσεις επεξεργασίας (Process variations)	13
3.2 Κατηγοριοποίηση διακυμάνσεων επεξεργασίας	17
4. Ανάλυση καθυστέρησης	20
4.1 Ντετερμινιστική στατική ανάλυση καθυστέρησης (Deterministic Static Timing Analysis)	20
4.2 Στατιστική στατική ανάλυση καθυστέρησης (Statistical Static Timing Analysis - SSTA)	21
4.3 Είδη στατιστικής στατικής ανάλυσης καθυστέρησης	22
5. Ανάλυση της μεθόδου	24
5.1 Διατύπωση του προβλήματος	24
5.2 Μοντελοποίηση παραμέτρων	25
5.3 Μοντελοποίηση καθυστερήσεων πυλών και μονοπατιών	28
5.4 Μέση τιμή και πίνακας συνδιακύμανσης καθυστερήσεων μονοπατιών	30
5.5 Η κατανομή της μέγιστης καθυστέρησης μονοπατιού	32
5.6 Στοιχεία υλοποίησης της μεθόδου στο MATLAB	33
6. Μοντέλο καθυστέρησης λογικών πυλών MOS	35
6.1 Καθυστέρηση διάδοσης αντιστροφεία	35
6.2 Παρασιτικές χωρητικότητες τρανζίστορ MOS	40
6.3 Καθυστέρηση γενικών πυλών MOS	43
6.4 Καθορισμός του πλάτους (sizing) των τρανζίστορ πύλης NAND N εισόδων	45
6.5 Προσεγγιστικός υπολογισμός καθυστέρησης πύλης NAND N εισόδων	46
6.6 Καθορισμός του πλάτους (sizing) των τρανζίστορ πύλης NOR N εισόδων	49
6.7 Προσεγγιστικός υπολογισμός καθυστέρησης πύλης NOR N εισόδων	50
6.8 Υπολογισμός fan-out χωρητικότητας	52
6.9 Υπολογισμός καθυστέρησης μονοπατιού	53
6.10 Γραμμική προσέγγιση καθυστέρησης πύλης	55

7. Πειραματικά αποτελέσματα	56
7.1 Προτεινόμενη μέθοδος εναντίον “monte-carlo” ανάλυσης	56
7.2 Ανάλυση “monte-carlo” με Pathmill	59
8. Συμπεράσματα και μελλοντική εργασία	61
8.1 Παρατηρήσεις πάνω στις μετρήσεις	61
8.2 Μελλοντικές βελτιώσεις – προσεγγίσεις	62
9. Παράρτημα: Κώδικες MATLAB	63
9.1 Το κυρίως πρόγραμμα	63
9.2 Η συνάρτηση υπολογισμού της καθυστέρησης μιας πύλης	67
9.3 Η συνάρτηση υπολογισμού του διανύσματος των μερικών παραγώγων της καθυστέρησης μιας πύλης ως προς τις παραμέτρους όλων των πυλών του κυκλώματος	69
10. Βιβλιογραφία	73

1. Εισαγωγή

1.1 Υπόβαθρο

Οι ντετερμινιστικές τεχνικές υπολογισμού της καθυστέρησης αδυνατούν να προβλέψουν το ποσοστό των κατασκευασμένων κυκλωμάτων που πληρούν τις προδιαγραφές που τέθηκαν κατά το στάδιο του σχεδιασμού όσον αφορά διάφορες παραμέτρους (π.χ. κατανάλωση ισχύος, καθυστέρηση κτλ.).

Λόγω της συνεχούς σμίκρυνσης των κυκλωμάτων μεγάλης κλίμακας ολοκλήρωσης η πρόβλεψη της απόδοσης τους γίνεται δυσκολότερη. Η διαδικασία της κατασκευής ολοκληρωμένων δεν παράγει πανομοιότυπα αντίγραφα κυκλωμάτων. Αυτό συμβαίνει γιατί υπεισέρχονται διάφοροι παράγοντες (process variations) οι οποίοι προκαλούν διακυμάνσεις στις τιμές των διαφόρων παραμέτρων των διατάξεων των ολοκληρωμένων. Οι διακυμάνσεις αυτές οδηγούν με τη σειρά τους σε διακυμάνσεις στην απόδοση. Αν αυτοί οι παράγοντες έχουν σαν αποτέλεσμα ένα ολοκληρωμένο να μην ικανοποιεί τους περιορισμούς που τέθηκαν στο στάδιο του σχεδιασμού τότε το κύκλωμα θεωρείται ελαττωματικό.

Οι παράγοντες που προκαλούν τις διακυμάνσεις στις τιμές των παραμέτρων των τρανζίστορ είναι πολλές και συνήθως πλημμελώς μελετημένες. Αυτό έχει σαν συνέπεια να μην είναι σε όλους αποδεκτό ότι οι διακυμάνσεις μπορούν να μοντελοποιηθούν σαν τυχαίες μεταβλητές. Ενώ όταν συμβαίνει κάτι τέτοιο δεν υπάρχει κάποια συμφωνία για τον τύπο της κατανομής που ακολουθούν. Παρόλαυτα ένα μεγάλο μέρος της βιβλιογραφίας θεωρεί ότι οι διακυμάνσεις είναι τυχαίες και μοντελοποιούνται ως τυχαίες μεταβλητές που ακολουθούν κανονική κατανομή. Η παρούσα εργασία στηρίζεται στην ίδια υπόθεση.

Το πρόβλημα για ένα σχεδιαστή κυκλωμάτων είναι να εξασφαλίσει ότι οι διακυμάνσεις των παραμέτρων δεν οδηγούν σε υπερβολικές διακυμάνσεις στην απόδοση. Είναι χρήσιμο να φέρουμε στο μυαλό μας την εικόνα δύο χώρων. Ο ένας είναι ο χώρος των παραμέτρων που έχει διάσταση όση και ο αριθμός των παραμέτρων που παρουσιάζουν διακυμάνσεις και άλλος είναι ο χώρος των μετρικών της απόδοσης ο οποίος μπορεί και αυτός να είναι πολυδιάστατος (π.χ. θεωρώντας πολλές μετρικές απόδοσης: μέγιστη συχνότητα λειτουργίας του κυκλώματος, κατανάλωση ισχύος κτλ.). Στο χώρο των μετρικών απόδοσης υπάρχουν περιορισμοί

που καθορίζουν μια περιοχή αποδοχής, η οποία οριοθετεί τα κυκλώματα που θεωρούνται λειτουργικά από αυτά που θεωρούνται ελαττωματικά.

Θεωρητικά δεν υπάρχει αρκετή πληροφορία για να μπορεί να υπολογιστεί ακριβώς η κατανομή της τυχαίας μεταβλητής που περιγράφει την απόδοση του κυκλώματος στο στάδιο του σχεδιασμού. Για να εξασφαλιστεί ένα καλό ποσοστό κυκλωμάτων που είναι λειτουργικά μπορεί να ακολουθηθεί η παραδοσιακή ντετερμινιστική προσέγγιση ή η στατιστική η οποία δίνει πιο ακριβή αποτελέσματα.

Η προτεινόμενη μέθοδος ανάλυσης καθυστέρησης είναι στατιστική και εντάσσεται στην κατηγορία των path-based μεθόδων. Οι μέθοδοι αυτού του τύπου θεωρούν τις καθυστερήσεις των μονοπατιών του κυκλώματος ως τυχαίες μεταβλητές που εξαρτώνται από τις τυχαίες παραμέτρους. Στόχος είναι ο υπολογισμός της κατανομής της μέγιστης αυτών.

1.2 Διάρθρωση της εργασίας

Η διάρθρωση της εργασίας έχει ως εξής: Αρχικά αναφέρονται κάποια βασικά στοιχεία της θεωρίας πιθανοτήτων τα οποία εφαρμόζονται στην προτεινόμενη μέθοδο και είναι απαραίτητα για την κατανόηση της. Έπειτα αναλύεται το μοντέλο καθυστέρησης των λογικών πυλών που χρησιμοποιείται. Θεωρήθηκε αναγκαίο να γίνει αναφορά και στον τρόπο με τον οποίο το μοντέλο αυτό προκύπτει. Έπειτα αναλύεται το πρόβλημα της διακύμανσης των τιμών των διαφόρων κατασκευαστικών παραμέτρων των τρανζίστορ. Κατόπιν παρατίθεται η προτεινόμενη μέθοδος βήμα προς βήμα. Στη συνέχεια υπάρχουν κάποιες μετρήσεις που έγιναν σε διάφορα ψηφιακά κυκλώματα στις οποίες γίνεται σύγκριση των αποτελεσμάτων της προτεινόμενης μεθόδου με αυτά της μεθόδου “Monte Carlo” και προσομοιώσεων στο εργαλείο Pathmill. Τέλος παρατίθεται ο κώδικας MATLAB που υλοποιεί τη μέθοδο.

2. Στοιχεία πιθανοτήτων

2.1 Γενικά

Η συνάρτηση αθροιστικής κατανομής πιθανότητας (cumulative distribution function - CDF) μοναδικής τυχαίας μεταβλητής X ορίζεται ως εξής:

$$F_X(x) = P[X \leq x]$$

Η συνάρτηση πυκνότητας πιθανότητας (probability density function - PDF) θα είναι η παρακάτω:

$$f_X(x) = \frac{dF_X(x)}{dx}$$

Μέση τιμή μ τυχαίας μεταβλητής X :

$$\mu = EX = \int_{-\infty}^{+\infty} x f_X(x) dx$$

Διακύμανση σ^2 :

$$\sigma^2 = VarX = E(X - \mu)^2 = \int_{-\infty}^{+\infty} (x - \mu)^2 f_X(x) dx$$

Η θετική ρίζα της διακύμανσης σ ονομάζεται τυπική απόκλιση.

Για τη μέση τιμή και τη διακύμανση ισχύουν οι παρακάτω σημαντικές ιδιότητες:

$$E[cX + d] = cE[X] + d$$

$$Var[cX + d] = c^2 Var[X]$$

με $c, d \in \mathfrak{R}$

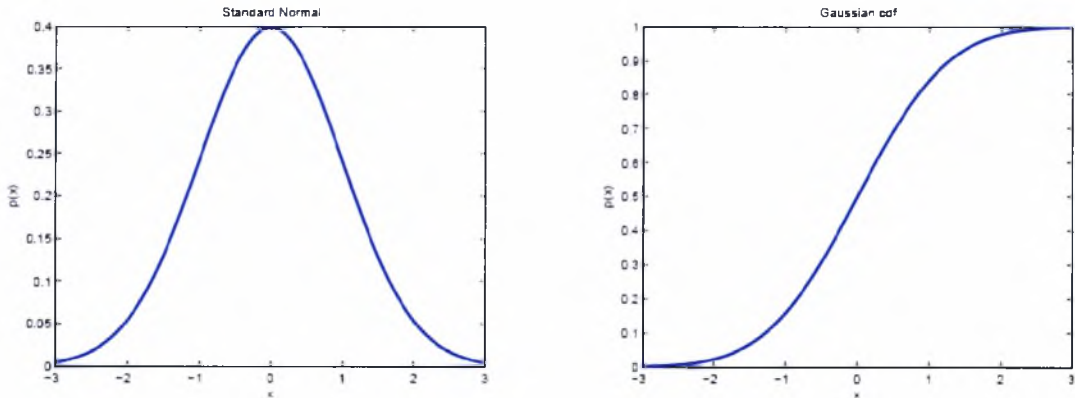
2.2 Τυχαία μεταβλητή που ακολουθεί κανονική κατανομή

Συνάρτηση αθροιστικής κατανομής πιθανότητας κανονικής τυχαίας μεταβλητής με μέση τιμή μ και τυπική απόκλιση σ ($X \sim N(\mu, \sigma)$):

$$F_X(x) = N_X(x | \mu, \sigma) \equiv \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left(-\frac{1}{2\sigma^2}(x-\mu)^2\right)$$

Όταν $Z \sim N(0,1)$ λέμε ότι η Z ακολουθεί ‘standard’ κανονική (standard normal) κατανομή.

Αν $X \sim N(\mu, \sigma)$, τότε: $F_Z(z) = F_X\left(\frac{x-\mu}{\sigma}\right)$.



ΣΧΗΜΑ 2.1 Γραφική παράσταση των PDF και CDF μιας ‘standard normal’ τυχαίας μεταβλητής

2.3 Διανύσματα τυχαίων μεταβλητών

Έστω $\underline{X} = \begin{bmatrix} X_1 \\ X_2 \\ \vdots \\ X_n \end{bmatrix} \in \mathfrak{R}^n$ ένα διάνυσμα τυχαίων μεταβλητών.

Συνάρτηση αθροιστικής κατανομής διανύσματος \underline{X} n τυχαίων μεταβλητών:

$$F_{\underline{X}}(\underline{x}) = F_{\underline{X}}(x_1, x_2, \dots, x_n) = P(X_1 \leq x_1, X_2 \leq x_2, \dots, X_n \leq x_n)$$

Από κοινού συνάρτηση πυκνότητας πιθανότητας:

$$f_{\underline{X}}(\underline{x}) = f_{\underline{X}}(x_1, x_2, \dots, x_n) = \frac{\partial^n}{\partial x_1 \partial x_2 \cdots \partial x_n} F_{\underline{X}}(x_1, x_2, \dots, x_n)$$

Εκτός από την από κοινού συνάρτηση πυκνότητας πιθανότητας ενός διανύσματος τυχαίων μεταβλητών μπορεί να ορισθεί και οι συναρτήσεις πυκνότητας πιθανότητας για καθεμιά από τις τυχαίες μεταβλητές ξεχωριστά. Οι συναρτήσεις αυτές μπορούν να προκύψουν ως περιθώριες (marginal) των αντίστοιχων πολυμεταβλητών ως εξής:

$$F_{X_i}(x_i) = \int_{-\infty}^{+\infty} \cdots \int_{-\infty}^{+\infty} \int_{-\infty}^{+\infty} \int_{-\infty}^{+\infty} \cdots \int_{-\infty}^{+\infty} f_{\underline{X}}(x_1, \dots, x_{i-1}, t_i, x_{i+1}, \dots, x_n) dx_1 \cdots dx_{i-1} dt_i dx_{i+1} \cdots dx_n$$

Ονομάζουμε $\underline{\mu} = \begin{bmatrix} \mu_1 \\ \mu_2 \\ \vdots \\ \mu_n \end{bmatrix} \in \mathfrak{R}^n$ το διάνυσμα που έχει σαν στοιχεία του τις μέσες τιμές

καθεμιάς από τις τυχαίες μεταβλητές.

Η συνδιακύμανση σ_{ij} δύο τυχαίων μεταβλητών x_i και x_j ορίζεται ως:

$\sigma_{ij} = E[(x_i - \mu_i)(x_j - \mu_j)]$ και θα είναι: $\sigma_{ii} = \sigma_i^2$ όπου σ_i η τυπική απόκλιση της μεταβλητής x_i

Ο πίνακας $\underline{\Sigma} = \begin{bmatrix} \sigma_1^2 & \sigma_{12} & \cdots & \sigma_{1n} \\ \sigma_{21} & \sigma_2^2 & \cdots & \sigma_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ \sigma_{n1} & \sigma_{n2} & \cdots & \sigma_n^2 \end{bmatrix} \in \mathfrak{R}^{n \times n}$ είναι συμμετρικός (symmetric) και

θετικά

ορισμένος (positive definite) και ονομάζεται πίνακας συνδιακύμανσης.

Οι ιδιότητες που παρατέθηκαν προηγουμένως για τη μέση τιμή και τη διακύμανση μιας τυχαίας μεταβλητής ισχύουν και για πολλές μεταβλητές:

$$E\left[\sum_{i=1}^n c_i X_i\right] = \sum_{i=1}^n c_i E[X_i]$$

$$\text{var}\left[\sum_{i=1}^n c_i X_i\right] = \sum_{i=1}^n \sum_{j=1}^n c_i c_j \text{cov}[X_i, X_j]$$

$$c_i \in \mathfrak{R},$$

$$i = 1, \dots, n$$

Ανεξαρτησία τυχαίων μεταβλητών

Οι τυχαίες μεταβλητές X_1, X_2, \dots, X_n με συναρτήσεις αθροιστικής κατανομής πιθανότητας $F_{X_1}(x_1), \dots, F_{X_n}(x_n)$ ονομάζονται ανεξάρτητες αν και μόνο αν έχουν από κοινού συνάρτηση αθροιστικής κατανομής πιθανότητας:

$$F_{X_1, \dots, X_n}(x_1, \dots, x_n) = F_{X_1}(x_1) F_{X_2}(x_2) \cdots F_{X_n}(x_n)$$

ή ισοδύναμα από κοινού συνάρτηση πυκνότητας πιθανότητας:

$$f_{X_1, \dots, X_n}(x_1, \dots, x_n) = f_{X_1}(x_1) f_{X_2}(x_2) \cdots f_{X_n}(x_n)$$

2.4 Πολλές τυχαίες μεταβλητές που ακολουθούν από κοινού κανονική κατανομή

Ένα διάνυσμα n τυχαίων μεταβλητών ακολουθεί πολυμεταβλητή κανονική (multivariate normal) κατανομή $N(\underline{\mu}, \Sigma)$ όπου

$$\underline{\mu} = \begin{bmatrix} \mu_1 \\ \mu_2 \\ \vdots \\ \mu_n \end{bmatrix} \in \mathfrak{R}^n \text{ και } \Sigma = \begin{bmatrix} \sigma_1^2 & \sigma_{12} & \cdots & \sigma_{1n} \\ \sigma_{21} & \sigma_2^2 & \cdots & \sigma_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ \sigma_{n1} & \sigma_{n2} & \cdots & \sigma_n^2 \end{bmatrix} \in \mathfrak{R}^{n \times n}$$

όταν έχει τις εξής συναρτήσεις αθροιστικής κατανομής και πυκνότητας πιθανότητας:

$$F_{\underline{X}}(\underline{x}; \underline{\mu}, \Sigma) = \int_{-\infty}^{x_1} \int_{-\infty}^{x_2} \cdots \int_{-\infty}^{x_n} (2\pi)^{-n/2} |\Sigma|^{-1/2} \exp\left(-\frac{1}{2}(\underline{t} - \underline{\mu})^T \Sigma^{-1}(\underline{t} - \underline{\mu})\right) d\underline{t},$$

$$\underline{x} = \begin{bmatrix} x_1 \\ \vdots \\ x_n \end{bmatrix} \in \mathfrak{R}^n$$

$$f_{\underline{X}}(\underline{x}; \underline{\mu}, \Sigma) = (2\pi)^{-n/2} |\Sigma|^{-1/2} \exp\left(-\frac{1}{2}(\underline{x} - \underline{\mu})^T \Sigma^{-1}(\underline{x} - \underline{\mu})\right)$$

Έστω $\underline{X}^T = [x_1 \ \cdots \ x_n]$ διάνυσμα n τυχαίων μεταβλητών που ακολουθούν από κοινού κανονική κατανομή $\underline{X} \sim N(\underline{\mu}, \Sigma)$. Κάθε γραμμικός συνδυασμός του \underline{AX} ακολουθεί κανονική κατανομή $\underline{AX} \sim N(\underline{A}\underline{\mu}, \underline{A}\Sigma\underline{A}^T)$.

2.5 Η μέθοδος PCA (Principal components analysis)

Θεωρούμε ένα διάνυσμα τυχαίων μεταβλητών $\underline{x} = [x_1 \ \dots \ x_p]$ με μηδενική μέση τιμή και πίνακα συνδιακύμανσης $\Sigma_{\underline{x}}$.

Ορίζουμε την τυχαία μεταβλητή z_1 που είναι γραμμική συνάρτηση του \underline{x} : $z_1 = \underline{a}_1^T \cdot \underline{x}$

Με τη μέθοδο PCA μεγιστοποιείται η διακύμανση της z_1 .

Ορίσουμε μια δεύτερη τυχαία μεταβλητή z_2 που είναι γραμμική συνάρτηση του \underline{x} :

$z_2 = \underline{a}_2^T \cdot \underline{x}$ η οποία είναι ανεξάρτητη από τη z_1 και έχει μέγιστη διακύμανση. Γενικά η τυχαία μεταβλητή z_k ορίζεται να είναι ανεξάρτητη από τις z_1, z_2, \dots, z_{k-1} και να έχει μέγιστη διακύμανση. Οι τυχαίες μεταβλητές $z_i, i = 1, 2, \dots, k$ ονομάζονται “principal components” του \underline{x} .

Στόχος της PCA είναι ο υπολογισμός του πίνακα συνδιακύμανσης των τυχαίων μεταβλητών z_i .

Αποδεικνύεται ότι για να είναι οι τυχαίες μεταβλητές z_i ανεξάρτητες πρέπει να ισχύει:

$z_i = \underline{a}_i^T \cdot \underline{x}$ με \underline{a}_i^T να είναι το i -οστό ιδιοδιάνυσμα του πίνακα συνδιακύμανσης $\Sigma_{\underline{x}}$ του διανύσματος \underline{x} .

Αν τα ιδιοδιανύσματα \underline{a}_i^T επιλεγούν ώστε να έχουν μοναδιαίο μήκος ($\underline{a}_i^T \cdot \underline{a}_i = 1$) θα ισχύει: $\text{var}[z_i] = \lambda_i$, όπου λ_i είναι η αντίστοιχη ιδιοτιμή του πίνακα συνδιακύμανσης.

Στην περίπτωση αυτή ο πίνακας συνδιακύμανσης του διανύσματος $\underline{z} = [z_1 \ \dots \ z_k]$ θα είναι ο διαγώνιος πίνακας $k \times k$ με μη μηδενικά στοιχεία τις ιδιοτιμές του πίνακα συνδιακύμανσης του διανύσματος \underline{x} :

$$\Sigma_{\underline{z}} = \begin{bmatrix} \lambda_1 & 0 & \dots & 0 \\ 0 & \lambda_2 & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & \lambda_k \end{bmatrix}$$

Μπορούμε να γράψουμε το διάνυσμα \underline{z} ως εξής: $\underline{z} = A^T \cdot \underline{x}$ όπου $A = \begin{bmatrix} \underline{a}_1 & \dots & \underline{a}_k \end{bmatrix}$ ο πίνακας με τα k πρώτα ιδιοδιανύσματα του Σ_x ($k \leq p$).

Η πληροφορία που περιέχεται στον πίνακα συνδιακύμανσης Σ_x μπορεί αποθηκευθεί στο διαγώνιο πίνακα Σ_z , κάτι που συνεπάγεται εξοικονόμηση μνήμης, αφού ο Σ_z είναι διαγώνιος και μπορούν να αποθηκευτούν μόνο τα στοιχεία της κυρίας διαγωνίου. Όσο μικρότερο είναι το πλήθος των “principal components” τόσο περισσότερη πληροφορία χάνεται.

Για να πάρουμε τον πίνακα συνδιακύμανσης του \underline{x} από αυτόν του \underline{z} εργαζόμαστε ως εξής:

$$\underline{z} = A^T \cdot \underline{x} \Rightarrow \underline{x} = (A^T)^{-1} \underline{z}$$

και από προηγούμενη ιδιότητα προκύπτει ότι:

$$\Sigma_x = \left((A^T)^{-1} \right)^T \cdot \Sigma_z \cdot (A^T)^{-1} \Rightarrow \Sigma_x = A^{-1} \cdot \Sigma_z \cdot (A^{-1})^T$$

3. Διακυμάνσεις παραμέτρων που επηρεάζουν τη συμπεριφορά των ψηφιακών κυκλωμάτων

Η απόδοση των ολοκληρωμένων κυκλωμάτων παρουσιάζει διακυμάνσεις που οφείλονται σε δύο είδη παραγόντων:

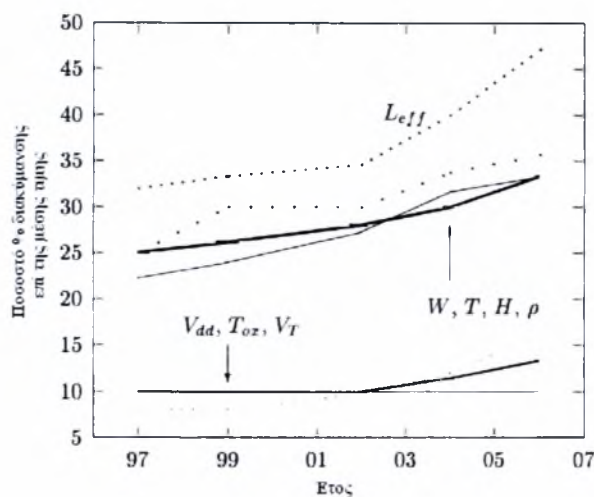
- Παράγοντες που αφορούν στο περιβάλλον στο οποίο λειτουργούν τα ολοκληρωμένα: διακυμάνσεις της τάσης τροφοδοσίας ή της θερμοκρασίας κτλ.
- Παράγοντες που αφορούν στη διαδικασία κατασκευής των ολοκληρωμένων όπως ατέλειες στην εφαρμογή των μασκών. Οι παράγοντες αυτοί προκαλούν τις λεγόμενες διακυμάνσεις επεξεργασίας (process variations), οι οποίες αναλύονται παρακάτω.

3.1 Διακυμάνσεις επεξεργασίας (process variations)

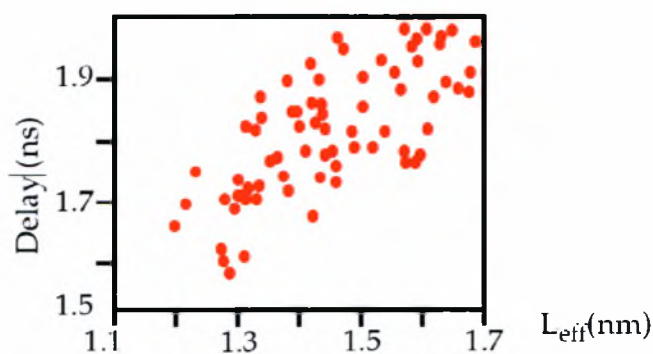
Οι διακυμάνσεις επεξεργασίας αποτελούν αποκλίσεις της τιμής των παραμέτρων επεξεργασίας των κατασκευασμένων τρανζίστορ από τις ονομαστικές τιμές που έχουν καθοριστεί στο στάδιο της σχεδίασης. Οι διακυμάνσεις αυτές είναι αποτέλεσμα πολλών παραγόντων στα διάφορα στάδια κατασκευής των ολοκληρωμένων. Είναι προφανές ότι μεγάλες διακυμάνσεις επεξεργασίας οδηγούν σε ολοκληρωμένα που αποκλίνουν από τις σχεδιαστικές προδιαγραφές τους.

Σε γενικές γραμμές τις διακυμάνσεις αυτές μπορούμε να τις χειριστούμε με πιθανοτικές μεθόδους με σκοπό την πρόβλεψη της πιθανότητας ένα ολοκληρωμένο κύκλωμα που βγαίνει από τη γραμμή παραγωγής να λειτουργεί σωστά. Απώτερος σκοπός είναι η αύξηση της απόδοσης της κατασκευαστικής διαδικασίας, δηλαδή αύξηση του ποσοστού του συνολικού αριθμού των αντιγράφων του κυκλώματος τα οποία λειτουργούν σωστά. Θα πρέπει να σημειώσουμε εδώ ότι οι συνθήκες του περιβάλλοντος λειτουργίας λαμβάνονται στη χειρότερη περίπτωση και δεν αναλύονται πιθανοτικά. Αυτό γιατί ο κατασκευαστής πρέπει να εγγυάται ότι ένα κύκλωμα λειτουργεί σωστά στο 100% του χρόνου λειτουργίας του.

Ο αριθμός των παραμέτρων κατασκευής που παρουσιάζουν σημαντικές διακυμάνσεις αυξάνεται όσο μειώνονται τα μεγέθη των διατάξεων από τις οποίες αποτελούνται τα ολοκληρωμένα. Σε κυκλώματα παλιότερης γενιάς για παράδειγμα, μόνο οι λογικές πύλες και τα τρανζίστορ παρουσίαζαν σημαντικές διακυμάνσεις στα χαρακτηριστικά τους, τώρα όμως το ίδιο συμβαίνει και με τις διασυνδέσεις μεταξύ των πυλών.

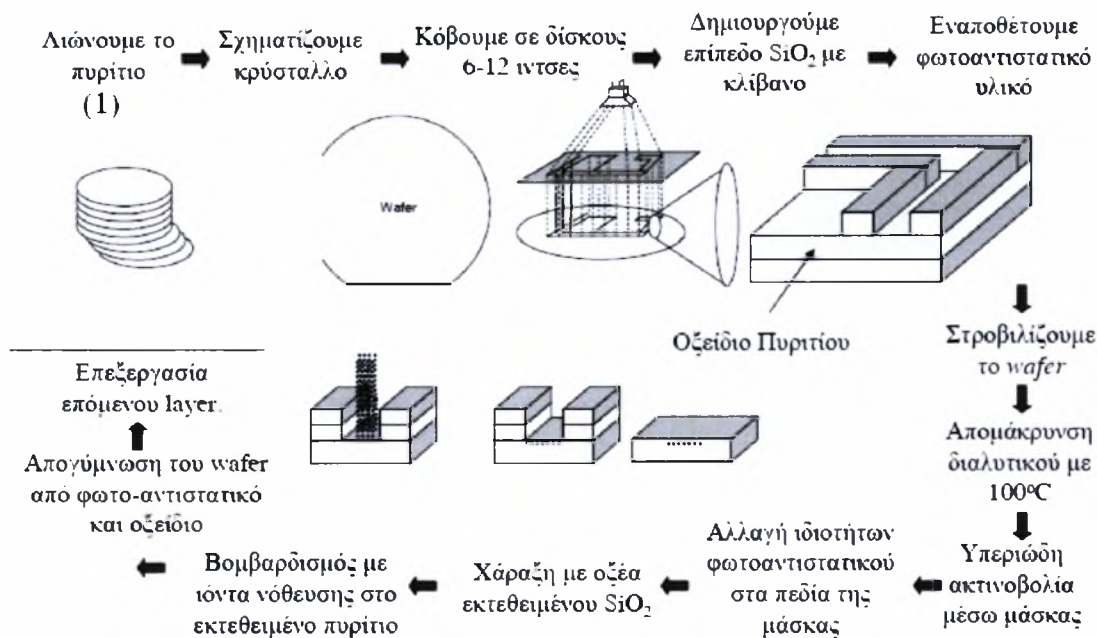


ΣΧΗΜΑ 3.1 Τάση της διακύμανσης των κυριότερων παραμέτρων κατασκευής των τρανζίστορ σε σχέση με την κλιμάκωση της τεχνολογίας. Ο άξονας των x αντιπροσωπεύει το έτος αναφοράς και ο y τη διακύμανση των παραμέτρων.



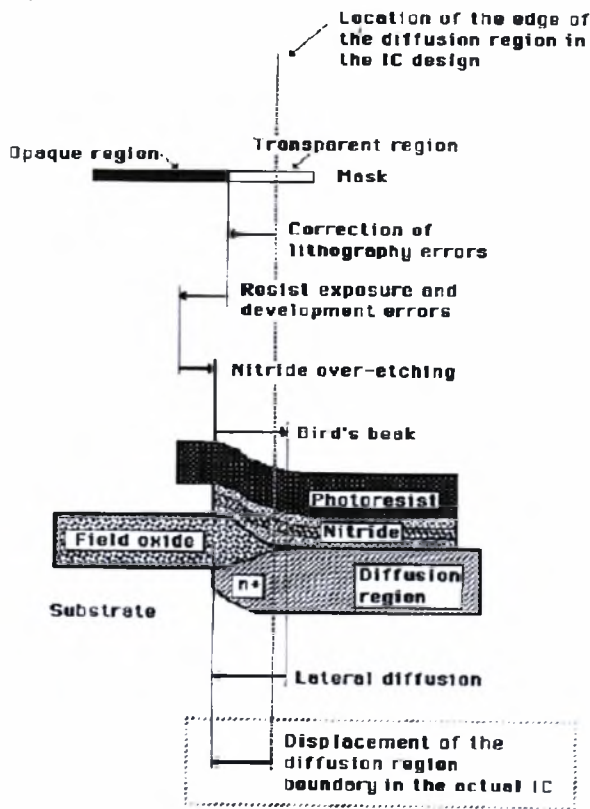
ΣΧΗΜΑ 3.2 Επίδραση του ενεργού μήκους καναλιού τρανζίστορ MOS στην καθυστέρηση ενός κυκλώματος αθροιστή.

Για την καλύτερη κατανόηση της φύσης των διακυμάνσεων επεξεργασίας παρατίθενται τα βασικότερα στάδια κατασκευής ενός ολοκληρωμένου:

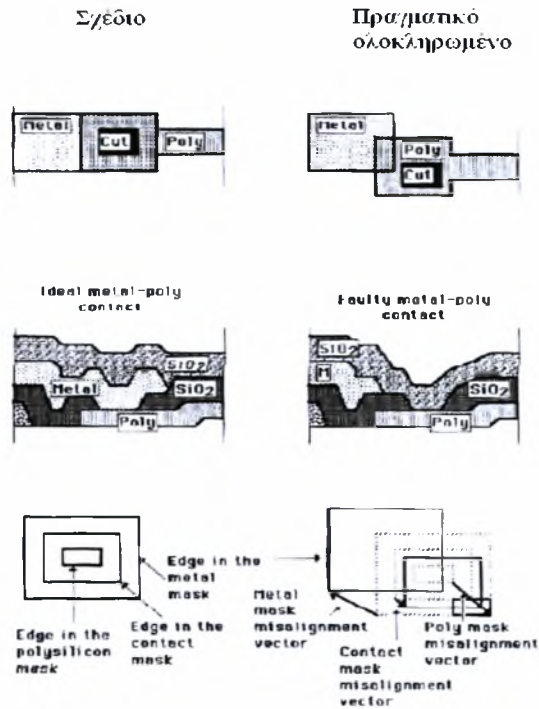


ΣΧΗΜΑ 3.3 Βασικά στάδια κατασκευής ολοκληρωμένων κυκλωμάτων.

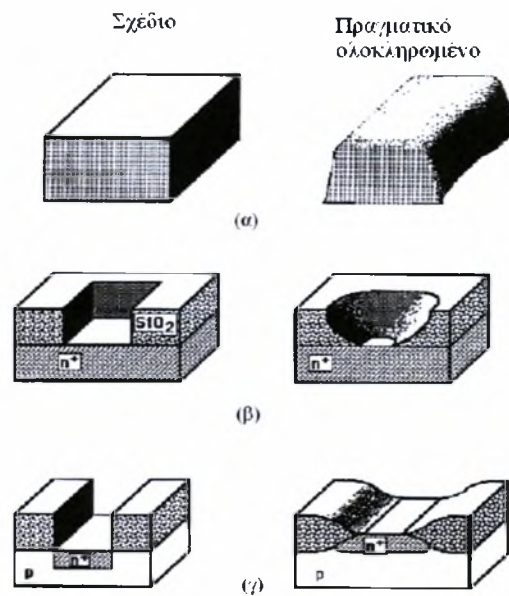
Ακολουθούν κάποια σχήματα που απεικονίζουν ατέλειες στην κατασκευαστική διαδικασία που προκαλούν διακυμάνσεις επεξεργασίας (τα σχήματα προέρχονται από το βιβλίο του W. Maly, “An introduction to VLSI Process”).



ΣΧΗΜΑ 3.4 Λάθη στην τοποθέτηση του ορίου της περιοχής διάχυσης (diffusion region).



ΣΧΗΜΑ 3.5 Λάθη στην ευθυγράμμιση της μάσκας.



ΣΧΗΜΑ 3.6 Σχέση σχεδιασμού – κατασκευαστικής διαδικασίας. Διαφορές μεταξύ σχεδίου και κατασκευασμένου ολοκληρωμένου:

α) μεταλλικός αγωγός (metal line)

β) τομή επαφής (contact cut)

γ) περιοχή διάχυσης (diffusion region)

3.2 Κατηγοριοποίηση διακυμάνσεων επεξεργασίας

Υπάρχουν δύο κύριες κατηγορίες διακυμάνσεων επεξεργασίας:

- διακυμάνσεις στο ίδιο αντίγραφο του ολοκληρωμένου κυκλώματος (intra-die).
- διακυμάνσεις από αντίγραφο σε αντίγραφο (inter-die).

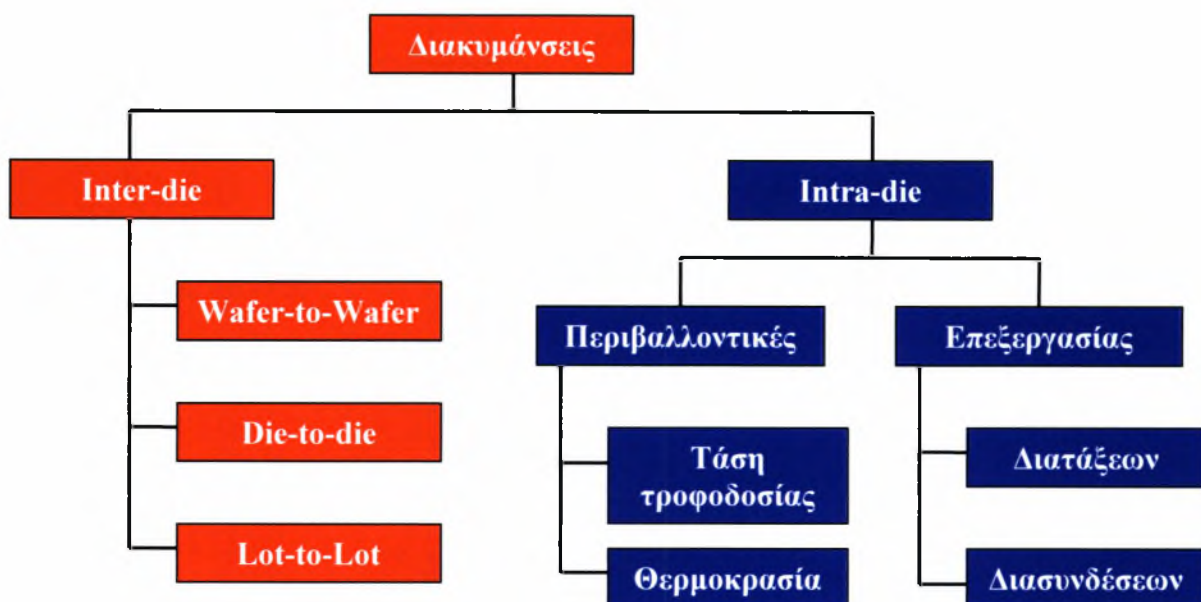
“Intra-die” διακυμάνσεις

Είναι διακυμάνσεις από συσκευή σε συσκευή εντός του ίδιου ολοκληρωμένου κυκλώματος. Τα χαρακτηριστικά των διαφόρων διατάξεων (λογικές πύλες, flip-flop, διασυνδέσεις κτλ.) διαφέρουν μεταξύ τους. Συχνά οι διακυμάνσεις αυτές παρουσιάζουν χωρικούς συσχετισμούς, δηλαδή διατάξεις που βρίσκονται κοντά η μία με την άλλη έχουν μεγαλύτερη πιθανότητα να έχουν παρόμοια χαρακτηριστικά απ’ότι διατάξεις που είναι τοποθετημένες σε απόσταση μέσα στο κύκλωμα.

“Inter-die” διακυμάνσεις

Είναι διακυμάνσεις παραμέτρων μεταξύ διαφορετικών ολοκληρωμένων (dies) που κατασκευάζονται με πανομοιότυπο τρόπο στον ίδιο ή σε διαφορετικούς δίσκους (wafers) πυριτίου ή σε διαφορετικές στήλες (lots) πυριτίου, οπότε μιλάμε για “die-to-die”, “wafer-to-wafer” και “lot-to-lot” διακυμάνσεις αντίστοιχα (Σχήμα 3.9).

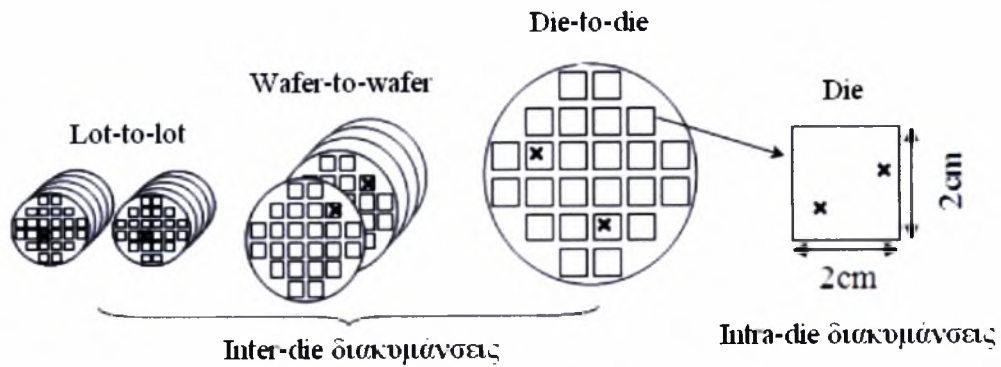
Οι “Inter-die” διακυμάνσεις επιδρούν καθολικά στις παραμέτρους κατασκευής των ολοκληρωμένων όλων των διατάξεων στο ίδιο chip. Επίσης μπορούν να αναλυθούν σε δύο συνιστώσες, τη συστηματική “systematic” και την τυχαία “random”. Οι συστηματικές ‘inter-die’ διακυμάνσεις αποτελούν σταθερές αποκλίσεις των παραμέτρων από την ονομαστική τιμή τους ενώ οι τυχαίες δεν έχουν μοντελοποιηθεί και τα αίτια που τις προκαλούν είναι άγνωστα.



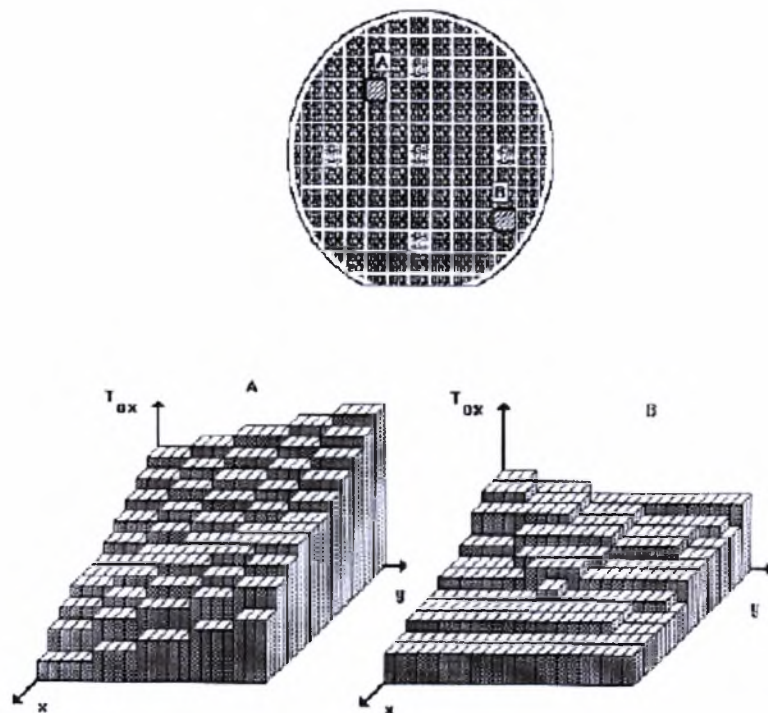
ΣΧΗΜΑ 3.7 Κατηγοριοποίηση διακυμάνσεων.



ΣΧΗΜΑ 3.8 Ολοκληρωμένος δίσκος (wafer). Κάθε τετραγωνάκι αποτελεί ένα "die" – σε αυτή την περίπτωση ο επεξεργαστής AMD Duron™.



ΣΧΗΜΑ 3.9 'Inter-die' έναντι 'intra-die' διακυμάνσεων



ΣΧΗΜΑ 3.10 Διακυμάνσεις του πάχους του οξειδίου μεταξύ διαφορετικών και εντός του ίδιου ολοκληρωμένου.

Παλιότερα οι 'inter-die' διακυμάνσεις ήταν πολύ ισχυρότερες από τις 'intra-die' και ήταν αρκετό να λαμβάνονται μόνο αυτές υπόψη για την επίδρασή τους στην απόδοση των ολοκληρωμένων. Αυτό δεν ισχύει για κυκλώματα που χρησιμοποιούν τρανζίστορ με μήκος καναλιού μικρότερο από 100nm. Στο επίπεδο αυτό αυξάνεται τόσο η συνολική επίδραση και των δύο ειδών διακυμάνσεων όσο και το ποσοστό αυτής που προέρχεται από τις "intra-die" διακυμάνσεις.

4. Ανάλυση καθυστέρησης

Στατική ανάλυση καθυστέρησης (Static timing analysis –STA)

Το πρόβλημα που αποτελεί αντικείμενο της στατικής ανάλυσης καθυστέρησης είναι ο υπολογισμός του χρόνου που απαιτείται έτσι ώστε ένα οποιοδήποτε σήμα εισόδου να διαμορφώσει το σήμα εξόδου ενός κυκλώματος και συγκεκριμένα ο υπολογισμός του μεγίστου των χρόνων αυτών.

4.1 Ντετερμινιστική στατική ανάλυση καθυστέρησης (Deterministic static timing analysis)

Η στατική ανάλυση καθυστέρησης παραδοσιακά γίνεται με ντετερμινιστικές μεθόδους χειρότερης περίπτωσης. Το κυρίως πρόβλημα είναι ότι οι παραδοσιακές τεχνικές δεν μπορούν να προβλέψουν το ποσοστό των κατασκευασμένων ολοκληρωμένων που πληρούν τις προδιαγραφές σχεδίασης. Οι τεχνικές αυτές θεωρούν ότι κάθε πύλη έχει τη χειρότερη δυνατή καθυστέρηση και υπολογίζουν το πιο αργό μονοπάτι το οποίο θα είναι το κρίσιμο μονοπάτι (critical path) χειρότερης περίπτωσης. Οι παραδοσιακές τεχνικές είναι μη πιθανοτικές: Οι καθυστερήσεις των πυλών και των μονοπατιών είναι σταθεροί αριθμοί και όχι τυχαίες μεταβλητές.

Η παραδοσιακή ντετερμινιστική προσέγγιση γνωστή και ως “corner analysis” συνοψίζεται ως εξής: Για κάθε παράμετρο X_i , θεωρείται μια μέγιστη και μια ελάχιστη επιτρεπτή τιμή (X_{\max} , X_{\min} αντίστοιχα). Όταν η τιμή μιας παραμέτρου βρίσκεται ανάμεσα στις τιμές αυτές, η αντίστοιχη συσκευή του ολοκληρωμένου θεωρείται ότι λειτουργεί σωστά. Αν X_i^* είναι μια μεταβλητή που μπορεί να πάρει μόνο τις τιμές X_{\max} , X_{\min} τότε το διάνυσμα $[X_1^* \ X_2^* \ \dots \ X_n^*]$ αποτελεί μία γωνία (corner) του χώρου των παραμέτρων. Αν το κύκλωμα ικανοποιεί τους περιορισμούς για όλες τις δυνατές «γωνίες» τότε το υπό σχεδιασμό κύκλωμα θεωρείται αποδεκτό. Η απευθείας εφαρμογή της μεθόδου αυτής είναι πολύ χρονοβόρα γιατί ο αριθμός των «γωνιών» αυξάνεται εκθετικά σε σχέση με τον αριθμό των παραμέτρων. Το πρόβλημα μπορεί να απλοποιηθεί με τον αποκλεισμό κάποιων «γωνιών», ανάλογα με

τον τρόπο με τον οποίο οι διάφορες παράμετροι επηρεάζουν την καθυστέρηση του κυκλώματος.

Τα μειονεκτήματα της μεθόδου “corner analysis” συνοψίζονται στα εξής:

1. Μεγάλο πλήθος δυνατών γωνιών.
2. Δε μπορεί να χειριστεί “intra-die” διακυμάνσεις
3. Επειδή μία παράμετρος έχει πολύ μικρή πιθανότητα να πάρει τη μέγιστη ή την ελάχιστη τιμή της η μέθοδος είναι υπερβολικά απαισιόδοξη.

4.2 Στατιστική στατική ανάλυση καθυστέρησης (Statistical static timing analysis - SSTA)

Ο σχεδιασμός ψηφιακών κυκλωμάτων παραδοσιακά γίνεται θεωρώντας ότι οι τιμές όλων των παραμέτρων σχεδιασμού είναι οι χειρότερες δυνατές. Η μέθοδος αυτή όμως έχει νόημα όταν οι τιμές των παραμέτρων αυτών έχουν ισχυρό συσχετισμό μεταξύ τους. Όσο μικρότερα όμως γίνονται τα τρανζίστορ η τυχαιότητα αυξάνεται και ο συσχετισμός των παραμέτρων σχεδιασμού μειώνεται. Έτσι γίνεται δυσκολότερο όλοι οι παράμετροι να λάβουν τιμές χειρότερης περίπτωσης ταυτόχρονα.

Λόγω των διακυμάνσεων επεξεργασίας, οι τιμές παραμέτρων όπως το μήκος και το πλάτος της πύλης ενός CMOS τρανζίστορ, το πλάτος και το ύψος των μεταλλικών διασυνδέσεων μεταξύ πυλών κτλ. παρουσιάζουν αυξομειώσεις. Κάποιες από τις διακυμάνσεις οι οποίες παρουσιάζονται είναι ντετερμινιστικές, κάποιες άλλες όμως είναι τυχαίες. Η εργασία αυτή επικεντρώνεται στις επιδράσεις των τυχαίων διακυμάνσεων και μοντελοποιεί τις παραμέτρους επεξεργασίας ως τυχαίες μεταβλητές. Οι καθυστερήσεις των πυλών και των διασυνδέσεων ως συναρτήσεις τυχαίων μεταβλητών αποτελούν και οι ίδιες τυχαίες μεταβλητές. Ο στόχος της στατιστικής στατικής ανάλυσης καθυστέρησης είναι η εύρεση της συνάρτησης αθροιστικής πυκνότητας πιθανότητας (CDF) ή της συνάρτησης πυκνότητας πιθανότητας (PDF) της καθυστέρησης του κυκλώματος.

Στατιστικός γράφος χρονισμού κυκλώματος

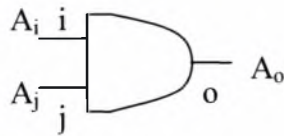
Ένα αφαιρετικό μοντέλο που χρησιμοποιείται για τη στατιστική ανάλυση καθυστέρησης ενός κυκλώματος είναι ο γράφος χρονισμού (timing graph). Έστω $G = (V, E)$ κατευθυνόμενο γράφημα με μοναδική πηγή (source node) και καταβόθρα (sink node), όπου V είναι το σύνολο των κόμβων και E το σύνολο των ακμών του. Το γράφημα G είναι γράφος χρονισμού όταν σε κάθε ακμή i αντιστοιχεί ένα βάρος d_i , όπου d_i είναι τυχαία μεταβλητή. Οι τυχαίες μεταβλητές d_i μπορεί να είναι εξαρτημένες ή ανεξάρτητες. Το βάρος της κάθε ακμής αντιπροσωπεύει την καθυστέρηση μιας πύλης ή μιας διασύνδεσης του κυκλώματος. Έστω p_i ένα μονοπάτι από την πηγή στην καταβόθρα. Το βάρος του D_i το οποίο υπολογίζεται ως το άθροισμα των βαρών d_k όλων των ακμών k που ανήκουν στο μονοπάτι αυτό αντιπροσωπεύει την καθυστέρηση του μονοπατιού. Η εύρεση της κατανομής της τυχαίας μεταβλητής $D_{\max} = \max(D_1, D_2, \dots, D_N)$ όπου N ο συνολικός αριθμός μονοπατιών από την πηγή στην καταβόθρα αναφέρεται ως πρόβλημα στατικής στατιστικής ανάλυσης καθυστέρησης.

4.3 Είδη στατικής στατιστικής ανάλυσης καθυστέρησης

Υπάρχουν δύο είδη στατικής στατιστικής ανάλυσης καθυστέρησης (SSTA):

1. Στατιστική στατική ανάλυση καθυστέρησης βασισμένη σε blocks (Block-based SSTA): Οι καθυστερήσεις των πυλών και οι χρόνοι άφιξης των σημάτων μοντελοποιούνται ως τυχαίες μεταβλητές. Η ανάλυση καθυστέρησης εφαρμόζεται χωρίζοντας το κύκλωμα σε επίπεδα λογικών πυλών. Ο χρόνος άφιξης ενός σήματος στην είσοδο μιας πύλης «μεταδίδεται» από επίπεδο σε επίπεδο μέχρι την έξοδο του κυκλώματος.

Παράδειγμα υπολογισμού χρόνου άφιξης εξόδου μιας πύλης AND δύο εισόδων:



D_{io} : Καθυστερήση από τον κόμβο εισόδου i
στον κόμβο εξόδου o
 D_{jo} : Καθυστερήση από τον κόμβο εισόδου j
στον κόμβο εξόδου o

ΣΧΗΜΑ 4.1 “Block-based” ανάλυση καθυστέρησης – πύλη με έξοδο o και εισόδους i, j .

Ο χρόνος άφιξης A_o θα ισούται με:

$$A_o = \max(A_i + D_{io}, A_j + D_{jo})$$

Στην περίπτωση που οι χρόνοι άφιξης και οι καθυστερήσεις των πυλών είναι κανονικές τυχαίες μεταβλητές το άθροισμα αυτών θα είναι και αυτό κανονική τυχαία μεταβλητή. Στην περίπτωση όμως του τελεστή $\max()$ γενικά δεν ισχύει αυτό. Για τον υπολογισμό ή την εύρεση ορίων για την κατανομή του στατιστικού μεγίστου έχουν προταθεί διάφορες μέθοδοι [3], [5].

2. Στατιστική στατική ανάλυση καθυστέρησης βασισμένη σε paths (Path-based SSTA): Η καθυστέρηση κάθε μονοπατιού μοντελοποιείται σαν άθροισμα ξεχωριστών καθυστερήσεων πυλών από τις οποίες αποτελείται, με την καθυστέρηση κάθε πύλης να αποτελεί συνάρτηση των τυχαίων μεταβλητών που μοντελοποιούν τις παραμέτρους που παρουσιάζουν διακυμάνσεις. Για την εύρεση της μέγιστης καθυστέρησης του κυκλώματος υπολογίζεται το στατιστικό μέγιστο των καθυστερήσεων των μονοπατιών που υπολογίστηκαν.

Οι “block-based” αναλύσεις καθυστέρησης μπορούν να θεωρηθούν “breadth-first” διαπεράσεις του γράφου χρονισμού ενός κυκλώματος, ενώ οι “path-based” μέθοδοι ως “depth-first” διαπεράσεις. Παρόλο που οι πρώτες είναι γρήγορες και αρκετά ακριβείς οι σχεδιαστές χρησιμοποιούν περισσότερο τις “path-based” μεθόδους γιατί ταυτοποιούν ολόκληρα μονοπάτια του κυκλώματος [16].

5. Ανάλυση της προτεινόμενης μεθόδου

5.1 Διατύπωση του προβλήματος

Το πρόβλημα που καλείται να επιλύσει η “path-based” στατιστική στατική ανάλυση καθυστέρησης είναι η εύρεση της συνάρτησης κατανομής πιθανότητας της τυχαίας μεταβλητής $\max(D_1, D_2, \dots, D_N)$ όπου D_i η καθυστέρηση του i -οστού μονοπατιού από τον κόμβο εισόδου ως τον κόμβο εξόδου και N ο συνολικός αριθμός μονοπατιών του κυκλώματος. Από τη CDF της μέγιστης καθυστέρησης του κυκλώματος μπορεί να υπολογιστεί η πιθανότητα το κύκλωμα να μη λειτουργεί σωστά.

Για ίδιες ονομαστικές τιμές παραμέτρων, το μονοπάτι με τη μεγαλύτερη καθυστέρηση μπορεί να είναι διαφορετικό σε διαφορετικά αντίγραφα του ίδιου κυκλώματος λόγω των διακυμάνσεων των τιμών των παραμέτρων σχεδιασμού. Η καθυστέρηση κάθε μονοπατιού του κυκλώματος θεωρείται τυχαία μεταβλητή. Το διάνυσμα $[D_1, D_2, \dots, D_N]$ που έχει σαν στοιχεία του τις καθυστερήσεις όλων των μονοπατιών του κυκλώματος αποτελεί επομένως ένα διάνυσμα τυχαίων μεταβλητών. Για τον υπολογισμό των στατιστικών ιδιοτήτων της μέγιστης καθυστέρησης του κυκλώματος θα πρέπει να υπολογιστεί η CDF της $\max(D_1, D_2, \dots, D_N)$.

Είναι:

$$F(x) = P[\max(D_1, \dots, D_N) \leq x]$$

ή ισοδύναμα

$$F(x) = P[D_1 \leq x, D_2 \leq x, \dots, D_N \leq x]$$

$$F(x) = \int_{-\infty}^x \int_{-\infty}^x \dots \int_{-\infty}^x f(D_1, D_2, \dots, D_N) dD_1 dD_2 \dots dD_N$$

Όπου $f(D_1, D_2, \dots, D_N)$ είναι η από κοινού συνάρτηση πυκνότητας πιθανότητας των καθυστερήσεων όλων των μονοπατιών του κυκλώματος. Δηλαδή ο υπολογισμός της κατανομής της μέγιστης καθυστέρησης του κυκλώματος απαιτεί τον υπολογισμό ενός πολλαπλού ολοκληρώματος.

Για την παρούσα εργασία επιλέχθηκε η “path-based” προσέγγιση στατιστικής στατικής ανάλυσης καθυστέρησης.

5.2 Μοντελοποίηση παραμέτρων

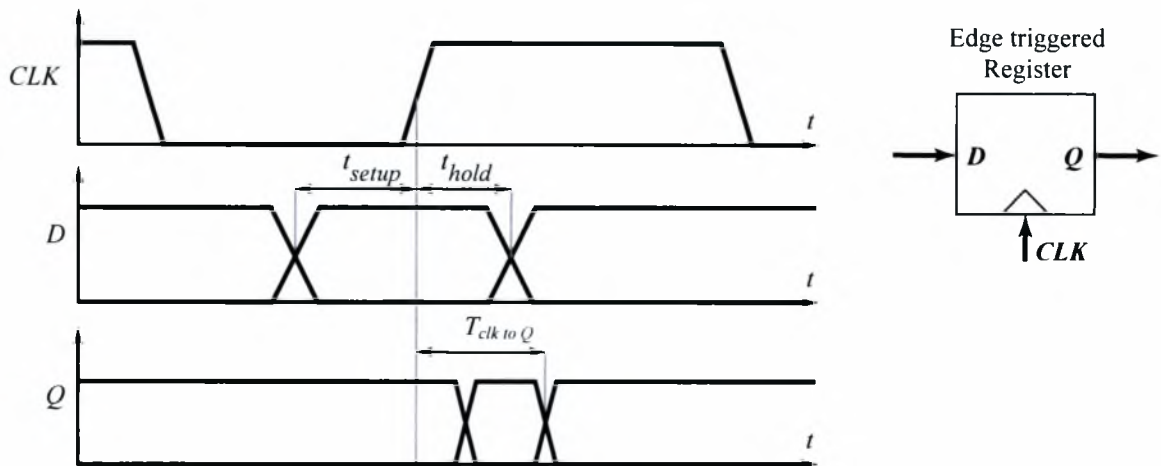
Οι παράμετροι οι οποίες θεωρούμε ότι παρουσιάζουν διακυμάνσεις είναι το μήκος (L) και το πάχος του οξειδίου του πυριτίου (t_{ox}) της πύλης των τρανζίστορ. Οι δύο αυτές παράμετροι λαμβάνονται ως τυχαίες μεταβλητές που ακολουθούν κανονική κατανομή:

$$L \sim N(\mu_L, \sigma_L)$$

$$t_{ox} \sim N(\mu_{tox}, \sigma_{tox})$$

Θεωρούμε ότι το μήκος L όλων των τρανζίστορ μιας λογικής πύλης αποτελεί μια τυχαία μεταβλητή, το ίδιο ισχύει και για το πάχος του οξειδίου t_{ox} . Δηλαδή αν το κύκλωμα το οποίο μελετάται αποτελείται από n λογικές πύλες, απαιτούνται n τυχαίες μεταβλητές για κάθε είδος παραμέτρου (n τυχαίες μεταβλητές για τα μήκη των τρανζίστορ και n τυχαίες μεταβλητές για το πάχος του οξειδίου – μία για κάθε λογική πύλη). Επιπλέον υποθέτουμε ότι υπάρχει εξάρτηση μόνο μεταξύ τυχαίων μεταβλητών που αντιστοιχούν σε ίδια είδη παραμέτρων, ενώ τυχαίες μεταβλητές που αντιστοιχούν σε διαφορετικά είδη παραμέτρων θεωρούνται ανεξάρτητες. Έτσι οι τυχαίες μεταβλητές που αντιπροσωπεύουν το μήκος των τρανζίστορ θεωρούμε ότι είναι ανεξάρτητες από αυτές που αντιπροσωπεύουν το πάχος του οξειδίου.

Η ανάλυσή μας περιορίζεται σε συνδυαστικά κυκλώματα, μπορεί όμως εύκολα να επεκταθεί και σε ακολουθιακά. Η ανάλυση για τα ακολουθιακά κυκλώματα γίνεται χωρίζοντας το κύκλωμα σε συνδυαστικά τμήματα μεταξύ των latches (μανδαλωτών) ενώ περιλαμβάνει επιπλέον στατιστικούς ελέγχους των χρόνων setup και hold. Στο σχήμα 5.1 φαίνονται οι χρόνοι setup (t_{setup}) και hold (t_{hold}) για ένα καταχωρητή που αποθηκεύει δεδομένα στη θετική ακμή του ρολογιού (CLK). Δε θα επεκταθούμε σε επιπλέον λεπτομέρειες γιατί αυτού του είδους η ανάλυση αποκλίνει από τους στόχους της παρούσας εργασίας.



ΣΧΗΜΑ 5.1 Χρόνοι setup και hold για ακμοπυροδότητο καταχωρητή.

Όπως ειπώθηκε παραπάνω οι τιμές των παραμέτρων επεξεργασίας (L, t_{ox}) θεωρούνται τυχαίες μεταβλητές. Οι διακυμάνσεις επεξεργασίας περιγράφονται ρεαλιστικότερα από την κανονική κατανομή, γι' αυτό και οι παράμετροι επεξεργασίας μοντελοποιούνται ως κανονικές τυχαίες μεταβλητές. Εδώ θα πρέπει να τονιστεί ότι εκτός από το μήκος και το πάχος του οξειδίου κι άλλες παράμετροι σχεδιασμού των τρανζίστορ MOS παρουσιάζουν διακυμάνσεις (π.χ. το πλάτος της πύλης W και η πυκνότητα νόθευσης φορέων του υποστρώματος N) για απλότητα όμως λαμβάνονται σταθερές και ίσες με τις μέσες τιμές τους. Επίσης οι διακυμάνσεις επεξεργασίας που αφορούν παραμέτρους των διασυνδέσεων μεταξύ των πυλών (π.χ. πάχος μετάλλου) αγνοούνται.

Όπως αναφέρθηκε και νωρίτερα οι παράμετροι L και t_{ox} που λαμβάνουμε ως τυχαίες μεταβλητές θεωρούμε ότι ακολουθούν από κοινού κανονική κατανομή με πίνακα συνδιακύμανσης Σ και διάνυσμα μέσης τιμής μ .

Ο πίνακας συνδιακύμανσης θα έχει την εξής μορφή:

$$\Sigma = \begin{bmatrix} \sigma_{L1}^2 & \cdots & \sigma_{L1,Ln} & 0 & \cdots & 0 \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ \sigma_{Ln,L1} & \cdots & \sigma_{Ln}^2 & 0 & \cdots & 0 \\ 0 & \cdots & 0 & \sigma_{tox1}^2 & \cdots & \sigma_{tox1,toxn} \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ 0 & \cdots & 0 & \sigma_{toxn,tox1} & \cdots & \sigma_{toxn}^2 \end{bmatrix}$$

Το διάνυσμα μέσων τιμών θα είναι το εξής:

$$\underline{\mu} = \begin{bmatrix} \mu_{L1} \\ \vdots \\ \mu_{Ln} \\ \mu_{tox1} \\ \vdots \\ \mu_{toxn} \end{bmatrix}$$

Στην πραγματικότητα οι παράμετροι των τρανζίστορ παρουσιάζουν τοπικές εξαρτήσεις. Δηλαδή οι διατάξεις ενός ολοκληρωμένου που βρίσκονται κοντά η μία με την άλλη έχουν μεγαλύτερη πιθανότητα να έχουν ίδιες τιμές παραμέτρων απ'ότι διατάξεις που βρίσκονται μακριά η μία από την άλλη. Έτσι θεωρούμε τέλεια συσχέτιση μεταξύ των παραμέτρων ίδιου είδους των τρανζίστορ που ανήκουν στην ίδια λογική πύλη, γι'αυτό και μοντελοποιούνται με μία κοινή τυχαία μεταβλητή. Δηλαδή τα ίδια είδη παραμέτρων των τρανζίστορ μιας πύλης θεωρούμε ότι έχουν ίδιες διακυμάνσεις και ως εκ τούτου αντιστοιχίζονται σε μοναδική τυχαία μεταβλητή.

Θεωρούμε ότι ίδια είδη παραμέτρων από τρανζίστορ που ανήκουν σε διαφορετικές πύλες έχουν δεδομένη εξάρτηση, που λαμβάνεται τυχαία λόγω έλλειψης στοιχείων από ήδη κατασκευασμένα κυκλώματα και επειδή δεν έχει γίνει τοποθέτηση (placement) των πυλών στο κύκλωμα. Μία εναλλακτική μέθοδος μοντελοποίησης των χωρικών εξαρτήσεων των παραμέτρων αναφέρεται στην [3]. Επίσης μια μέθοδος εξαγωγής του πίνακα συνδιακύμανσης των παραμέτρων από δεδομένα που προέρχονται από ήδη κατασκευασμένα κυκλώματα αναφέρεται στην [19].

5.3 Μοντελοποίηση καθυστερήσεων πυλών και μονοπατιών

Ο υπολογισμός της καθυστέρησης των πυλών και κατ'επέκταση των μονοπατιών γίνεται με το μοντέλο καθυστέρησης Elmore – περισσότερες λεπτομέρειες αναφέρονται στο κεφάλαιο 6. Οι διακυμάνσεις των παραμέτρων επεξεργασίας μεταφράζονται σε κατανομές καθυστερήσεων μονοπατιών ως εξής:

Έστω $\underline{p} = (p_1, p_2, \dots, p_k)$ ένα διάνυσμα με στοιχεία του διάφορες παραμέτρους επεξεργασίας. Θεωρούμε μια αυθαίρετη συνάρτηση $d = f(\underline{p})$. Η i -οστή παράμετρος $p_i, i = 1, \dots, k$ θεωρείται τυχαία μεταβλητή που ακολουθεί κανονική κατανομή:

$$p_i \sim N(p_{i,0}, \sigma_i).$$

Μπορούμε να προσεγγίσουμε τη συνάρτηση f με το αντίστοιχο πολυώνυμο Taylor πρώτου βαθμού γύρω από τις μέσες τιμές των παραμέτρων:

$$d \approx d_0 + \sum_{\forall p_i} \left. \frac{\partial f}{\partial p_i} \right|_{p_i=p_{i,0}} \Delta p_i$$

Όπου

$d_0 = f(p_{1,0}, p_{2,0}, \dots, p_{k,0})$ είναι η τιμή της d για τις ονομαστικές (μέσες) τιμές των παραμέτρων,

$$\Delta p_i = p_i - p_{i,0}$$

και $\left. \frac{\partial f}{\partial p_i} \right|_{p_i=p_{i,0}}$ είναι η μερική παράγωγος της f ως προς p_i όταν $p_i = p_{i,0}$.

Παρακάτω γράφουμε τη γραμμική προσέγγιση της f χρησιμοποιώντας διανυσματικό συμβολισμό:

$$d = d_0 + \underline{\nabla f_0} \cdot \underline{\Delta p}$$

$$\text{Όπου } \underline{\nabla f_0} = \left[\left. \frac{\partial d}{\partial p_1} \right|_{p_1=p_{1,0}} \quad \dots \quad \left. \frac{\partial d}{\partial p_k} \right|_{p_k=p_{k,0}} \right]$$

$$\text{Και } \underline{\Delta p} = [p_1 - p_{1,0} \quad \dots \quad p_k - p_{k,0}]^T$$

Θα πρέπει να σημειωθεί ότι η γραμμική προσέγγιση της d είναι αρκετά ακριβής για μικρές διακυμάνσεις των τυχαίων μεταβλητών γύρω από τη μέση τιμή τους.

Η γραμμική προσέγγιση της d θα είναι και αυτή τυχαία μεταβλητή που θα ακολουθεί κανονική κατανομή: $d \sim N(d_0, \sigma_d)$ επειδή αποτελεί γραμμική συνάρτηση κανονικών τυχαίων μεταβλητών. Η προσέγγιση της d ως κανονική τυχαία μεταβλητή είναι έγκυρη παρόλο που γενικά η κατανομή της d δεν είναι κανονική επειδή η διακύμανση των παραμέτρων είναι αρκετά μικρή για να είναι η ακρίβεια της προσέγγισης αποδεκτή. Να υπενθυμίσουμε ότι η διακύμανση σε σχέση με τη μέση τιμή όσον αφορά τις “intra-die” διακυμάνσεις είναι γενικά μικρή.

Αν θεωρήσουμε ότι η καθυστέρηση d_j κάθε πύλης j ενός μονοπατιού αποτελεί συνάρτηση των παραμέτρων επεξεργασίας όπως η παραπάνω, τότε η συνολική καθυστέρηση του μονοπατιού θα ισούται με:

$$D = \sum_j d_j$$

Η γραμμική προσέγγιση της καθυστέρησης του μονοπατιού επομένως θα ισούται με το άθροισμα των γραμμικών προσεγγίσεων κατά Taylor των καθυστερήσεων των επιμέρους πυλών του μονοπατιού:

$$D = \sum_j d_j \approx \sum_j \left(d_{j,0} + \sum_i \left. \frac{\partial f_j}{\partial p_i} \right|_{p_i=p_{i,0}} \Delta p_i \right) = \sum_j d_{j,0} + \sum_j \sum_i \left. \frac{\partial f_j}{\partial p_i} \right|_{p_i=p_{i,0}} \Delta p_i$$

ή γραμμένη με διανυσματικό συμβολισμό:

$$D = \sum_j d_j \approx \sum_j d_{j,0} + \sum_j \left(\underline{\nabla f_{j,0}} \cdot \underline{\Delta p} \right) = \sum_j d_{j,0} + \left(\sum_j \underline{\nabla f_{j,0}} \right) \cdot \underline{\Delta p}$$

Η καθυστέρηση ενός μονοπατιού ως γραμμική συνάρτηση κανονικών τυχαίων μεταβλητών ακολουθεί κανονική κατανομή. Η μέση τιμή της καθυστέρησης D_0 ενός μονοπατιού υπολογίζεται ως το άθροισμα των μέσων καθυστερήσεων $d_{j,0}$ των πυλών από τις οποίες αποτελείται:

$$D_0 = \sum_j d_{j,0}$$

Επίσης το gradient διάνυσμα της καθυστέρησης ως προς τις τυχαίες παραμέτρους, όταν οι τελευταίες λαμβάνουν τη μέση τιμή τους, θα ισούται με:

$$\underline{\nabla D_0} = \sum_j \underline{\nabla d_j} \Big|_{\underline{p}=\underline{p}_0} = \sum_j \underline{\nabla f_{j,0}}$$

Αντικαθιστώντας στην παραπάνω σχέση προκύπτει: $D \approx D_0 + \underline{\nabla D_0} \cdot \underline{\Delta p}$

Αν D_i η καθυστέρηση του i -οστού μονοπατιού:

$$D_i = D_{i,0} + \underline{\nabla D_{i,0}} \cdot \underline{\Delta p}$$

5.4 Μέση τιμή και πίνακας συνδιακύμανσης καθυστερήσεων μονοπατιών

Έστω $\underline{D} = [D_1 \quad D_2 \quad \dots \quad D_N]$ το διάνυσμα των καθυστερήσεων N μονοπατιών.

Η μέση τιμή του θα ισούται με $\underline{D}_0 = [D_{1,0} \quad \dots \quad D_{N,0}]$

$$\text{Έστω } J_{\underline{D}}(\underline{p}_0) = \begin{bmatrix} \underline{\nabla D_{1,0}} \\ \vdots \\ \underline{\nabla D_{N,0}} \end{bmatrix} = \begin{bmatrix} \left. \frac{\partial D_1}{\partial p_1} \right|_{p_1=p_{1,0}} & \dots & \left. \frac{\partial D_1}{\partial p_k} \right|_{p_k=p_{k,0}} \\ \vdots & \ddots & \vdots \\ \left. \frac{\partial D_N}{\partial p_1} \right|_{p_1=p_{1,0}} & \dots & \left. \frac{\partial D_N}{\partial p_k} \right|_{p_k=p_{k,0}} \end{bmatrix}$$

Όπου: $J_{\underline{D}}(\underline{p}_0)$ ο Jacobian πίνακας του διανύσματος καθυστερήσεων ως προς το διάνυσμα των παραμέτρων επεξεργασίας υπολογισμένη στο σημείο στο οποίο οι τελευταίες λαμβάνουν τη μέση τιμή τους.

Το διάνυσμα των καθυστερήσεων N μονοπατιών του κυκλώματος θα ισούται με:

$$\underline{D} = \underline{D}_0 + J_{\underline{D}}(\underline{p}_0) \cdot \underline{\Delta p}$$

Και σύμφωνα με τη θεωρία πιθανοτήτων ο πίνακας συνδιακύμανσής του θα ισούται με:

$$\underline{\Sigma}_D = J_{\underline{D}}(\underline{p}_0) \cdot \underline{\Sigma}_{\Delta p} \cdot J_{\underline{D}}(\underline{p}_0)^T$$

Στο σημείο αυτό θα πρέπει να υπενθυμίσουμε ότι $\underline{\Delta p} = [p_1 - p_{1,0} \quad \dots \quad p_k - p_{k,0}]^T$

Δηλαδή: $\underline{\Delta p} = \underline{p} - \underline{p}_0$ με $\underline{p}_0 = [p_{1,0} \quad \dots \quad p_{k,0}]^T$

Το διάνυσμα τυχαίων μεταβλητών $\underline{\Delta p}$ είναι το \underline{p} μετατοπισμένο κατά $\underline{p_0}$.

Από τη θεωρία πιθανοτήτων γνωρίζουμε ότι ισχύει οι πίνακες συνδιακύμανσης των δύο τυχαίων διανυσμάτων $\underline{\Delta p}$ και \underline{p} είναι ίσοι:

$$\Sigma_{\underline{\Delta p}} = \Sigma_{\underline{p}}$$

Έτσι τελικά θα έχουμε $\Sigma_{\underline{D}} = J_{\underline{D}}(\underline{p_0}) \cdot \Sigma_{\underline{p}} \cdot J_{\underline{D}}(\underline{p_0})^T$

Ο πίνακας συνδιακύμανσης μπορεί να υπολογιστεί και μετά από εφαρμογή της μεθόδου PCA στο διάνυσμα των τυχαίων παραμέτρων. Στην περίπτωση αυτή υπολογίζεται ως εξής:

Έστω \underline{p}' το διάνυσμα των “principal components” των παραμέτρων \underline{p} , $\Sigma_{\underline{p}'}$ ο πίνακας συνδιακύμανσης των “principal components” και E είναι ο πίνακας που έχει σαν στήλες του τα μοναδιαία ιδιοδιανύσματα του πίνακα συνδιακύμανσης $\Sigma_{\underline{p}}$ του \underline{p} .

Θα είναι:

$$\begin{aligned} \Sigma_{\underline{D}} &= J_{\underline{D}}(\underline{p_0}) (E^{-1})^T \cdot \Sigma_{\underline{p}'} \cdot (J_{\underline{D}}(\underline{p_0}) (E^{-1})^T)^T \Rightarrow \\ &\Rightarrow \Sigma_{\underline{D}} = J_{\underline{D}}(\underline{p_0}) (E^{-1})^T \cdot \Sigma_{\underline{p}'} \cdot J_{\underline{D}}(\underline{p_0})^T (E^{-1}) \end{aligned}$$

Ο πίνακας συνδιακύμανσης των “principal components” $\Sigma_{\underline{p}'}$ είναι διαγώνιος με μη μηδενικά στοιχεία τις ιδιοτιμές του πίνακα συνδιακύμανσης $\Sigma_{\underline{p}}$ σ του διανύσματος των παραμέτρων \underline{p} .

Με την εφαρμογή της PCA η μνήμη που απαιτείται για την αποθήκευση του πίνακα συνδιακύμανσης μειώνεται και οι πολλαπλασιασμοί πινάκων γίνονται απλούστεροι. Περισσότερες λεπτομέρειες για τη μέθοδο PCA αναφέρονται στην αντίστοιχη παράγραφο.

Έτσι με γνωστό τον πίνακα συνδιακύμανσης των παραμέτρων (ή των “principal components”) και τις γραμμικοποιημένες σχέσεις των καθυστερήσεων των μονοπατιών συναρτήσεως των παραμέτρων, μπορεί να υπολογιστεί ο πίνακας συνδιακύμανσης των καθυστερήσεων των μονοπατιών και οι μέσες τιμές τους.

Οι καθυστερήσεις των μονοπατιών ακολουθούν από κοινού κανονική κατανομή ως γραμμικές συναρτήσεις των τυχαίων παραμέτρων που είναι από κοινού κανονικές.

Έχοντας υπολογίσει τη μέση τιμή και τον πίνακα συνδιακύμανσής τους έχουμε ορίσει πλήρως την κατανομή τους.

Από τη θεωρία πιθανοτήτων γνωρίζουμε ότι η από κοινού αθροιστική συνάρτηση κατανομής τους θα είναι η εξής:

$$F_{\underline{D}}(\underline{x}; \underline{D}_0, \Sigma_{\underline{D}}) = \int_{-\infty}^{x_1} \int_{-\infty}^{x_2} \cdots \int_{-\infty}^{x_N} (2\pi)^{-N/2} |\Sigma_{\underline{D}}|^{-1/2} \exp\left(-\frac{1}{2}(\underline{t} - \underline{D}_0)^T \Sigma_{\underline{D}}^{-1} (\underline{t} - \underline{D}_0)\right) d\underline{t},$$

$$\underline{x} = \begin{bmatrix} x_1 \\ \vdots \\ x_N \end{bmatrix} \in \mathfrak{R}^N$$

5.5 Η κατανομή της μέγιστης καθυστέρησης μονοπατιού

Έχοντας υπολογίσει τη συνάρτηση από κοινού αθροιστικής κατανομής πιθανότητας των καθυστερήσεων των μονοπατιών, μπορούμε να υπολογίσουμε την κατανομή της μέγιστης αυτών (D_{\max}) ως εξής:

$$F_{D_{\max}}(d) = F_{\underline{D}}(\underline{d}; \underline{D}_0, \Sigma_{\underline{D}}) \text{ με } \underline{d} = [d \ \cdots \ d] \in \mathfrak{R}^N$$

Ο υπολογισμός της κατανομής της μέγιστης καθυστέρησης περιλαμβάνει τον υπολογισμό ενός πολλαπλού ολοκληρώματος ο οποίος δεν μπορεί να γίνει αναλυτικά. Γι' αυτό χρησιμοποιήθηκε αριθμητική μέθοδος υλοποιημένη σε MATLAB. Η μέθοδος υλοποιείται στο αρχείο “mvncdf.m” .

Ο αριθμός των μονοπατιών τα οποία εξετάζονται είναι τρία (3) και είναι αυτά με τη μεγαλύτερη καθυστέρηση. Αυτό γίνεται αφενός για να περιοριστεί η πολλαπλότητα του τελικού ολοκληρώματος που πρέπει να υπολογιστεί έτσι ώστε η μέθοδος υπολογισμού του να είναι πιο ακριβής και αφετέρου γιατί τα υπόλοιπα μονοπάτια έχουν μικρή πιθανότητα να ξεπεράσουν σε καθυστέρηση τα τρία πρώτα υπό την επίδραση διακυμάνσεων επεξεργασίας.

Η επιλογή των τριών μονοπατιών με τη μεγαλύτερη καθυστέρηση γίνεται προκαταρκτικά με τη χρήση του λογισμικού Pathmill. Έπειτα από ανάγνωση της αναφοράς που δίνει το Pathmill για τα “critical” μονοπάτια επιλέγονται τα τρία με τη μεγαλύτερη καθυστέρηση.

Η ανάγνωση των αναφορών γίνεται με τη βοήθεια εργαλείου που αναπτύχθηκε ειδικά για το σκοπό αυτό και βρίσκει τα τρία μονοπάτια με τη μεγαλύτερη καθυστέρηση. Οι πληροφορίες που αποθηκεύονται για κάθε πύλη ενός μονοπατιού είναι ο τύπος (NAND, NOR ή NOT) και ο αριθμός των εισόδων αυτής και των πυλών τις οποίες οδηγεί (fan-out πύλες). Οι πληροφορίες αυτές είναι απαραίτητες για τον υπολογισμό της καθυστέρησης. Σημειωτέον ότι οι fan-out πύλες δεν είναι απαραίτητο να ανήκουν στο μονοπάτι το οποίο εξετάζεται. Λαμβάνονται υπόψη γιατί συνεισφέρουν στη συνολική παρασιτική χωρητικότητα του κόμβου εξόδου της πύλης και κατ'επέκταση στη συνολική καθυστέρηση της.

Η προκαταρκτική ανάλυση καθυστέρησης στο Pathmill γίνεται με τις παραμέτρους των τρανζίστορ να ισούνται με τις ονομαστικές τιμές τους. Τα μονοπάτια που ανακαλύπτονται μπορεί να έχουν είσοδο που μεταβαίνει από το λογικό '0' στο λογικό '1' και αντίστροφα.

Το αρχείο που περιέχει τα τρία μονοπάτια με τη μεγαλύτερη καθυστέρηση δίνεται σαν είσοδος στο πρόγραμμα MATLAB που υπολογίζει την κατανομή της μέγιστης καθυστέρησης του κυκλώματος.

5.6 Στοιχεία υλοποίησης της μεθόδου στο MATLAB

Το πρόγραμμα MATLAB αρχικά διαβάζει το αρχείο με τα τρία "critical" μονοπάτια και αποθηκεύει σε ένα πίνακα, για κάθε νέα πύλη που συναντάει, τον τύπο της, τον αριθμό των εισόδων της και ένα αύξοντα αριθμό για την ταυτοποίησή της.

Ο πίνακας συνδιακύμανσης είναι γνωστός από τη διαδικασία κατασκευής και από τις σχετικές θέσεις των λογικών πυλών. Λόγω έλλειψης όμως τέτοιων δεδομένων για τα κυκλώματα που μελετώνται δημιουργείται ένας τυχαίος πίνακας συνδιακύμανσης για τις παραμέτρους L, t_{ox} όλων των πυλών που βρέθηκαν. Σε περίπτωση όμως που υπάρξουν τέτοια δεδομένα μπορούν εύκολα να ληφθούν υπόψη αντικαθιστώντας απλά τον τυχαίο πίνακα συνδιακύμανσης με αυτόν που έχει υπολογιστεί με βάση τα δεδομένα αυτά [5].

Η μέση τιμή και η τυπική απόκλιση των παραμέτρων επεξεργασίας οι οποίες χρησιμοποιήθηκαν για τις μετρήσεις δίνονται στον πίνακα 5.1:

	$L(nm)$	$t_{ox}(nm)$
μ	60	2.5
3σ	4.5	0.125

ΠΙΝΑΚΑΣ 5.1 Μέσες τιμές και τυπικές αποκλίσεις των παραμέτρων που χρησιμοποιήθηκαν στην υλοποίηση της μεθόδου.

Επειδή θεωρήσαμε οι παράμετροι ακολουθούν από κοινού κανονική κατανομή όμως διαφορετικά είδη παραμέτρων είναι ανεξάρτητα ο πίνακας συνδιακύμανσης θα έχει την εξής μορφή:

$$\Sigma_{L,t_{ox}} = \begin{bmatrix} \text{var}(L_1) & \cdots & \text{cov}(L_1, L_n) & 0 & \cdots & 0 \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ \text{cov}(L_n, L_1) & \cdots & \text{var}(L_n) & 0 & \cdots & 0 \\ 0 & \cdots & 0 & \text{var}(t_{ox,1}) & \cdots & \text{cov}(t_{ox,1}, t_{ox,n}) \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ 0 & \cdots & 0 & \text{cov}(t_{ox,n}, t_{ox,1}) & \cdots & \text{var}(t_{ox,n}) \end{bmatrix} \in \mathfrak{R}^{2n \times 2n}$$

Ακολουθεί η διαπέραση κάθε μονοπατιού πύλη προς πύλη. Κατά τη διαπέραση αυτή υπολογίζεται η μέση τιμή της καθυστέρησης κάθε πύλης του μονοπατιού και το gradient διάνυσμα της συνάρτησης καθυστέρησης της κάθε πύλης ως προς όλες τις παραμέτρους επεξεργασίας του κυκλώματος.

Η μέση καθυστέρηση μονοπατιού υπολογίζεται ως το άθροισμα των μέσων καθυστερήσεων των πυλών από τις οποίες αποτελείται, ενώ το gradient διάνυσμα της καθυστέρησης μονοπατιού υπολογίζεται ως το άθροισμα των gradient διανυσμάτων των συναρτήσεων καθυστέρησης των επιμέρους πυλών.

Μέσω των gradient διανυσμάτων και του πίνακα συνδιακύμανσης των παραμέτρων υπολογίζεται ο πίνακας συνδιακύμανσης των καθυστερήσεων των τριών μονοπατιών που εξετάζονται.

Έχοντας υπολογίσει τη μέση τιμή και τον πίνακα συνδιακύμανσης έχει οριστεί η από κοινού κατανομή των καθυστερήσεων των μονοπατιών και με τη χρήση της συνάρτησης `mvncdf()` του MATLAB υπολογίζεται η συνάρτηση αθροιστικής κατανομής της μέγιστης καθυστέρησης του κυκλώματος.

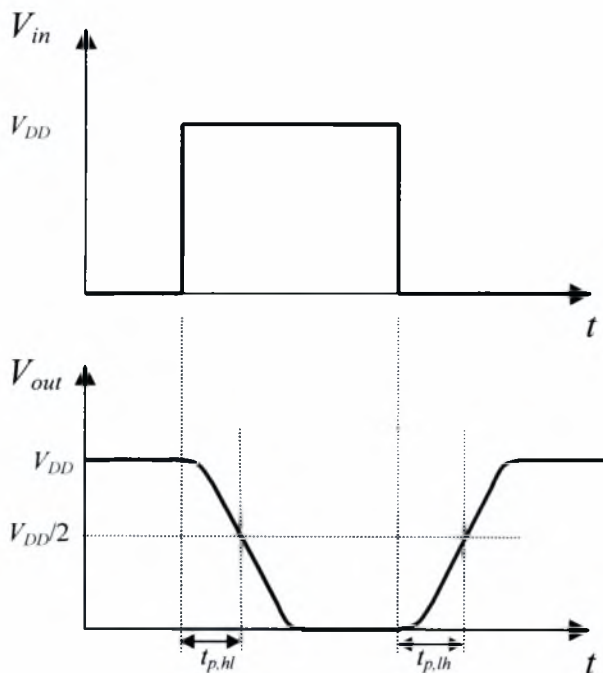
Περισσότερες λεπτομέρειες για την υλοποίηση της μεθόδου σε MATLAB αναφέρονται στο παράρτημα, όπου υπάρχουν και τα αντίστοιχα κομμάτια κώδικα.

6. Μοντέλο καθυστέρησης λογικών πυλών MOS

Στο εδάφιο αυτό αναλύεται το μοντέλο καθυστέρησης των πυλών CMOS που χρησιμοποιήθηκε στον προσομοιωτή για τον υπολογισμό των καθυστερήσεων των critical paths. Επειδή τα κυκλώματα τα οποία χρησιμοποιήθηκαν αποτελούνται μόνο από πύλες NAND, NOR και NOT το μοντέλο καθυστέρησης αφορά μόνο αυτά τα είδη πυλών.

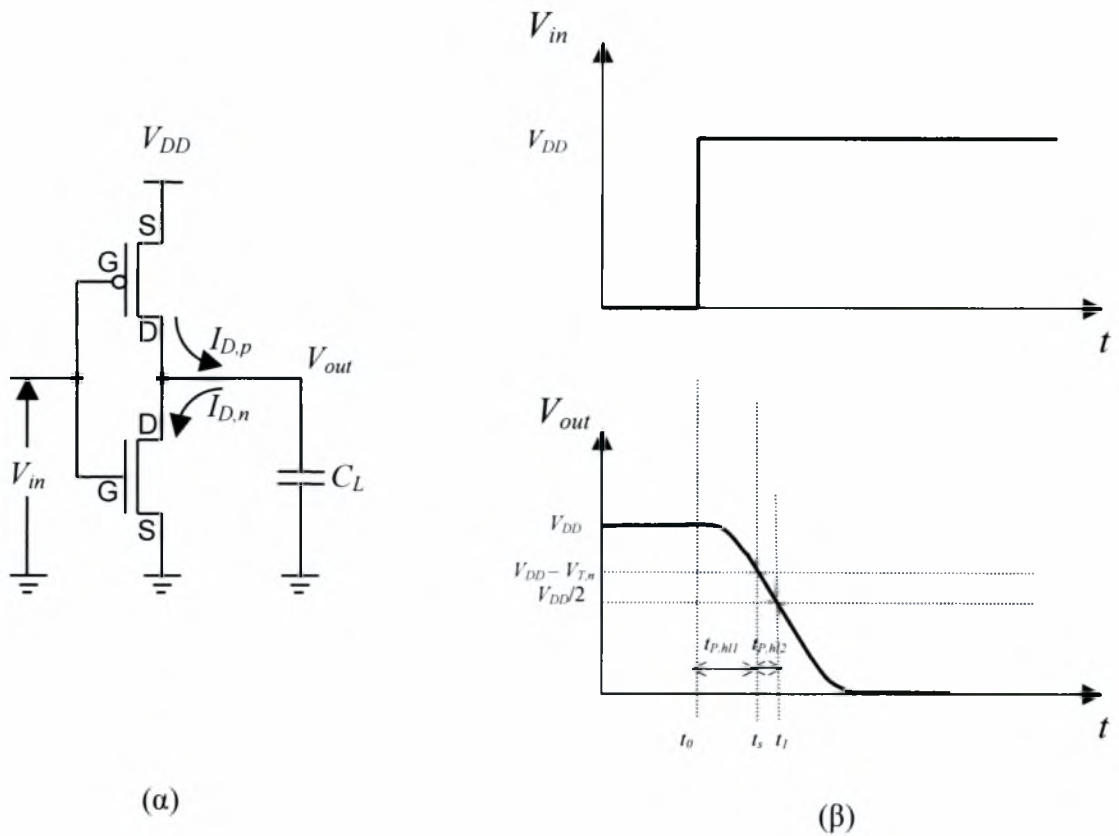
6.1 Καθυστέρηση διάδοσης αντιστροφεία

Η καθυστέρηση διάδοσης εισόδου – εξόδου (propagation delay) είναι το χρονικό διάστημα $t_{p,hl}$ που χρειάζεται η τάση εξόδου να μεταβεί από V_{DD} σε $\frac{V_{DD}}{2}$ volt κατά τη μετάβαση της εισόδου από το λογικό '1' στο λογικό '0' και το χρονικό διάστημα $t_{p,lh}$ που απαιτείται για να μεταβεί η τάση εξόδου από 0 σε $\frac{V_{DD}}{2}$ volt κατά τη μετάβαση της εισόδου από το λογικό '0' στο λογικό '1' (σχήμα 6.1).



ΣΧΗΜΑ 6.1 Καθυστερήσεις διάδοσης αντιστροφεία $t_{p,hl}$ και $t_{p,lh}$.

Αναλυτικός υπολογισμός της καθυστέρησης $t_{p,hl}$:



ΣΧΗΜΑ 6.2 (α) αντιστροφέας CMOS, (β) κυματομορφή τάσης εξόδου αντιστροφέα για βηματική τάση εισόδου

Το χωρητικό φορτίο C_L αντιπροσωπεύει τη χωρητικότητα φορτίου (είσοδος επόμενων πυλών, έξοδος της συγκεκριμένης και διασυνδέσεις). Η ταχύτητα μεταγωγής μιας πύλης CMOS περιορίζεται από το χρόνο που απαιτείται για τη φόρτιση και εκφόρτιση της χωρητικότητας φορτίου C_L .

Η συνολική χωρητικότητα φορτίου C_L μιας λογικής πύλης αποτελείται από τις εξής συνιστώσες:

- Την εξωτερική χωρητικότητα (C_f) των πυλών τρανζίστορ όλων των στοιχείων που οδηγούνται (fan-out) από την έξοδο της λογικής πύλης που αναλύουμε
- Την εσωτερική χωρητικότητα (C_d) - λόγω στρωμάτων αραίωσης - των υποδοχών που συνδέονται στην έξοδο της λογικής πύλης
- Τη Χωρητικότητα διασύνδεσης των αγωγών που ενώνουν την έξοδο της λογικής πύλης με τις εισόδους άλλων λογικών πυλών

Στο μοντέλο καθυστέρησης που χρησιμοποιούμε δε λαμβάνεται υπόψη η χωρητικότητα των αγωγών διασύνδεσης επειδή δεν έχει γίνει τοποθέτηση των πυλών (placement) με κάποιο εργαλείο λογισμικού (placement tool) με αποτέλεσμα να μην υπάρχουν δεδομένα για τους αγωγούς διασύνδεσης.

Η διαφορική εξίσωση που περιγράφει τη διαδικασία εκφόρτισης είναι η παρακάτω:

$$I_{D,n} = -C_L \frac{dV_{out}}{dt}$$

Το Τρανζίστορ nMOS βρίσκεται στην περιοχή του κόρου κατά το χρονικό διάστημα

$t_{p,hl} = t_1 - t_0$ κατά το οποίο η τάση εξόδου V_{out} μειώνεται από V_{DD} έως $V_{DD} - V_{T,n}$

($V_{DD} - V_{T,n} \leq V_{out} \leq V_{DD}$):

$$\int_{t_0}^{t_1} dt = -C_L \int_{V_{DD}}^{V_{DD}-V_{T,n}} \left(\frac{1}{I_{D,n}} \right) dV_{out} = -\frac{2C_L}{k_n (V_{DD} - V_{T,n})^2} \int_{V_{DD}}^{V_{DD}-V_{T,n}} dV_{out}$$

$$\Rightarrow t_{p,hl} = \frac{2C_L V_{T,n}}{k_n (V_{DD} - V_{T,n})^2}$$

Τρανζίστορ nMOS βρίσκεται στη γραμμική περιοχή κατά το χρονικό διάστημα

$t_{p,hl2} = t_s - t_1$ κατά το οποίο η τάση εξόδου V_{out} μειώνεται από $V_{DD} - V_{T,n}$ έως $V_{DD}/2$

($V_{DD}/2 \leq V_{out} \leq V_{DD} - V_{T,n}$):

$$\int_{t_s}^{t_1} dt = -\frac{2C_L}{k_n} \int_{V_{DD}-V_{T,n}}^{V_{DD}/2} \left(\frac{1}{2(V_{DD}-V_{T,n})V_{out} - V_{out}^2} \right) dV_{out}$$

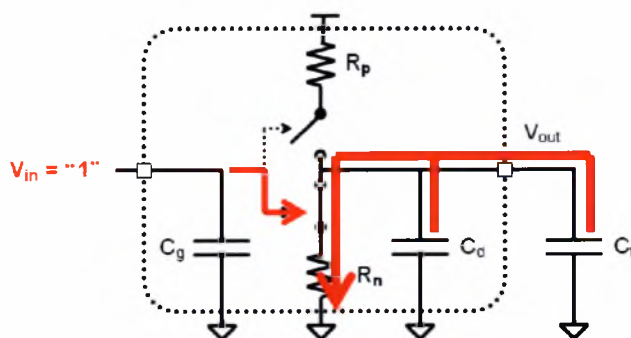
$$\Rightarrow t_{p,hl2} = \frac{C_L}{k_n(V_{DD}-V_{T,n})} \ln \left(\frac{2(V_{DD}-V_{T,n}) - V_{DD}/2}{V_{DD}/2} \right)$$

$$\Rightarrow t_{p,hl2} = \frac{C_L}{k_n(V_{DD}-V_{T,n})} \ln \left(3 - \frac{4V_{T,n}}{V_{DD}} \right)$$

Η συνολική καθυστέρηση διάδοσης $t_{p,hl}$ δίνεται από τη σχέση:

$$t_{p,hl} = t_{p,hl1} + t_{p,hl2} = \frac{1}{k_n(V_{DD}-V_{T,n})} \left(\frac{2V_{T,n}}{V_{DD}-V_{T,n}} + \ln \left(3 - \frac{4V_{T,n}}{V_{DD}} \right) \right) \cdot C_L \quad (6.1)$$

Ένα τρανζίστορ MOS μπορεί να μοντελοποιηθεί σαν ένας διακόπτης ελεγχόμενος από τάση με μία αντίσταση R (ενεργό αντίσταση) και μία χωρητικότητα φορτίου. Το ισοδύναμο RC κύκλωμα για μετάβαση της τάσης εξόδου από V_{DD} σε 0 volt παρουσιάζεται στο παρακάτω σχήμα:



ΣΧΗΜΑ 6.3 Ισοδύναμο RC κύκλωμα αντιστροφεία για τον υπολογισμό της καθυστέρησης καθόδου ($C_d + C_f = C_L$).

Η καθυστέρηση καθόδου του ισοδύναμου RC κυκλώματος του αντιστροφέα δίνεται από τη σχέση:

$$t_f = R_n \cdot C_L$$

Από τη σχέση (6.1) προκύπτει ότι:

$$R_n = \frac{L}{W_{\min}} \cdot \frac{1}{\mu_n \frac{\epsilon_{ox}}{t_{ox}} (V_{DD} - V_{Tn})} \left(\ln \left(3 - 4 \frac{V_{Tn}}{V_{DD}} \right) + \frac{2V_{Tn}}{V_{DD} - V_{Tn}} \right)$$

Λόγω συμμετρίας του κυκλώματος CMOS για τον υπολογισμό του χρόνου ανόδου μπορεί να χρησιμοποιηθεί παρόμοια μέθοδος οπότε και καταλήγουμε στις εξής σχέσεις:

$$t_r = R_p \cdot C_L$$

όπου

$$R_p = \frac{L}{W_{\min}} \cdot \frac{1}{\mu_p \frac{\epsilon_{ox}}{t_{ox}} (V_{DD} - |V_{Tp}|)} \left(\ln \left(3 - 4 \frac{|V_{Tp}|}{V_{DD}} \right) + \frac{2|V_{Tp}|}{V_{DD} - |V_{Tp}|} \right)$$

Θα πρέπει να σημειωθούν τα εξής:

1. Όλα τα τρανζίστορ έχουν το ίδιο μήκος.
2. Όλες οι πύλες θα πρέπει να έχουν ίσες αντιστάσεις οδήγησης για την άνοδο και την κάθοδο.

Αν θεωρήσουμε ότι το πλάτος καναλιού του pMOS τρανζίστορ είναι W_p και του nMOS W_n καθώς επίσης ότι $V_{T,n} \approx |V_{T,p}|$ είναι:

$$\frac{t_r}{t_f} = \frac{R_p C_L}{R_n C_L} = \frac{\mu_n W_n}{\mu_p W_p}$$

Για να είναι ίσες οι αντιστάσεις οδήγησης για την άνοδο και την κάθοδο θα πρέπει να κανονικοποιηθούν τα μήκη των τρανζίστορ, δηλαδή:

$$W_p = \frac{\mu_n}{\mu_p} W_n = \frac{\mu_n}{\mu_p} W_{\min}$$

όπου W_{\min} το ελάχιστο μήκος καναλιού των nMOS τρανζίστορ.

Για N τρανζίστορ εν παραλλήλω το ισοδύναμο πλάτος (στη χειρότερη περίπτωση) είναι:

$$W_{eq} = \min(W_1, W_2, \dots, W_N)$$

Αν όλα τα τρανζίστορ έχουν ίδιο πλάτος W τότε:

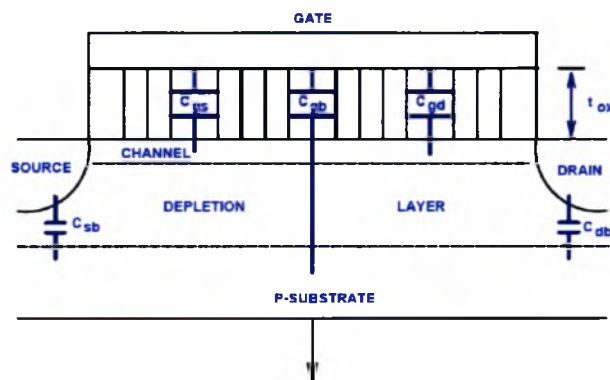
$$W_{eq} = W$$

Σημείωση: Τα τρανζίστορ ίδιου τύπου στις πύλες που θα μελετήσουμε θα έχουν ίδια χαρακτηριστικά.

6.2 Παρασιτικές χωρητικότητες τρανζίστορ MOS

Οι παρασιτικές χωρητικότητες μοντελοποιούνται ως εξής:

1. Χωρητικότητα πύλης - πηγής (υποδοχής) (overlap capacitance - C_{GS} και C_{GD} αντίστοιχα)
2. Χωρητικότητα πύλης - υποστρώματος (C_{GB})
3. Χωρητικότητα διάχυσης πηγής (υποδοχής) - υποστρώματος (C_{SB} και C_{DB} αντίστοιχα)



ΣΧΗΜΑ 6.4 Παρασιτικές χωρητικότητες NMOS τρανζίστορ

Οι παραπάνω χωρητικότητες εξαρτώνται από τα φυσικά χαρακτηριστικά του τρανζίστορ και από την περιοχή λειτουργίας στην οποία βρίσκεται.

Η συνολική χωρητικότητα πύλης ισούται με $C_G = C_{GS} + C_{GD} + C_{GB}$

Για τον υπολογισμό της καθυστέρησης ψηφιακών κυκλωμάτων μπορεί να θεωρηθεί κατά προσέγγιση ότι $C_G = AC_{ox}$ όπου A είναι η επιφάνεια της πύλης και C_{ox} είναι η χωρητικότητα «λεπτού» οξειδίου ανά μονάδα επιφάνειας.

Είναι:

$$A = WL,$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$\epsilon_{ox} = \epsilon_0 \epsilon_{SiO_2}$$

(ϵ_0 είναι η διηλεκτρική σταθερά του κενού και ϵ_{SiO_2} η σχετική διηλεκτρικότητα του οξειδίου του πυριτίου)

Οπότε:

$$C_G = \frac{\epsilon_{ox}}{t_{ox}} WL$$

Χωρητικότητα διάχυσης πηγής/υποδοχής (diffusion capacitance)

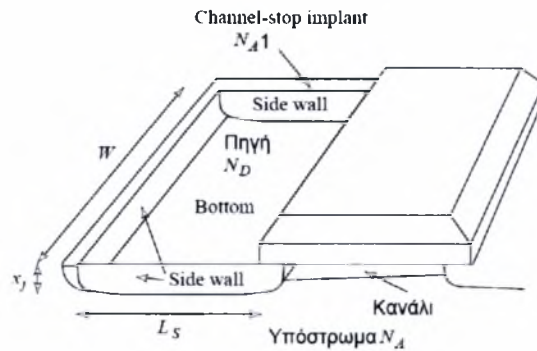
Η χωρητικότητα διάχυσης είναι ανάλογη της ολικής επιφάνειας της «βάσης» όπως και της επιφάνειας των περιφερειακών πλευρών:

$$C_{diff} = C_{bottom} + C_{sidewall} = C_j \times AREA + C_{jsw} \times PERIMETER = C_j L_s W + C_{jsw} (2L_s + 2W)$$

όπου

$$C_j = \text{χωρητικότητα επαφής ανά } m^2$$

$$C_{jsw} = \text{χωρητικότητα περιφέρειας ανά } m$$



ΣΧΗΜΑ 6.5 Χωρητικότητα διάχυσης πηγής – υποστρώματος

$$\text{Γενικά ισχύει } C_j = C_{j0} \left(1 - \frac{V_j}{\phi_0} \right)$$

όπου:

C_{j0} = χωρητικότητα μηδενικής πόλωσης

V_j = τάση επαφής

ϕ_0 = ενσωματωμένο (built-in) δυναμικό επαφής ~ 0.6 volt

Γραμμική προσέγγιση της C_j :

$$C_j = KC_{j0}$$

Η προσέγγιση γίνεται αντικαθιστώντας τη μη γραμμική χωρητικότητα με ισοδύναμη γραμμική που μετατοπίζει το ίδιο φορτίο για την ίδια μεταβολή της τάσης επαφής, οπότε και ισχύει:

$$K = \frac{-\phi_0^m}{(V_{high} - V_{low})(1-m)} \left[(\phi_0 - V_{high})^{1-m} - (\phi_0 - V_{low})^{1-m} \right]$$

V_{high} = μέγιστη τιμή που λαμβάνει η τάση επαφής (bias voltage).

V_{low} = ελάχιστη τιμή που λαμβάνει η τάση επαφής

m = σταθερά η οποία εξαρτάται από την κατανομή των προσμίξεων κοντά στην επαφή.

Η τιμή της πρακτικά κυμαίνεται από 0.3 έως 0.5.

Υπολογισμός του συντελεστή K στην περίπτωση του αντιστροφέα CMOS:

Για τον υπολογισμό της καθυστέρησης διάδοσης θεωρούμε τη μετάβαση της εξόδου από V_{DD} σε $V_{DD}/2$ (καθυστέρηση διάδοσης καθόδου για το nMOS τρανζίστορ) ή από 0 volt σε $V_{DD}/2$ (καθυστέρηση διάδοσης ανόδου για το PMOS τρανζίστορ)

Στην περίπτωση μετάβασης από υψηλό σε χαμηλό δυναμικό είναι:

$$V_{high} = -V_{DD}$$

$$V_{low} = -V_{DD}/2$$

(Το δυναμικό επαφής λαμβάνεται ως: $V_b = V_{substrate} - V_{source/drain}$ και για το nMOS τρανζίστορ ισχύει $V_{substrate} = V_{gnd} = 0$ volt)

Για την μετάβαση από χαμηλό σε υψηλό δυναμικό είναι:

$$V_{high} = -V_{DD}$$

$$V_{low} = -V_{DD}/2$$

(Για το pMOS τρανζίστορ ισχύει: $V_{substrate} = V_{DD}$)

Αντικαθιστώντας στον τύπο για το συντελεστή K υπολογίζεται η τιμή του. Οι τιμές των υπόλοιπων παραμέτρων μπορούν να ληφθούν από κάποιο μοντέλο SPICE .

6.3 Καθυστέρηση γενικών πυλών MOS

Η καθυστέρηση σε γενικές πύλες CMOS εξαρτάται από τις συγκεκριμένες εισόδους που προκαλούν τη μετάβαση της εξόδου.

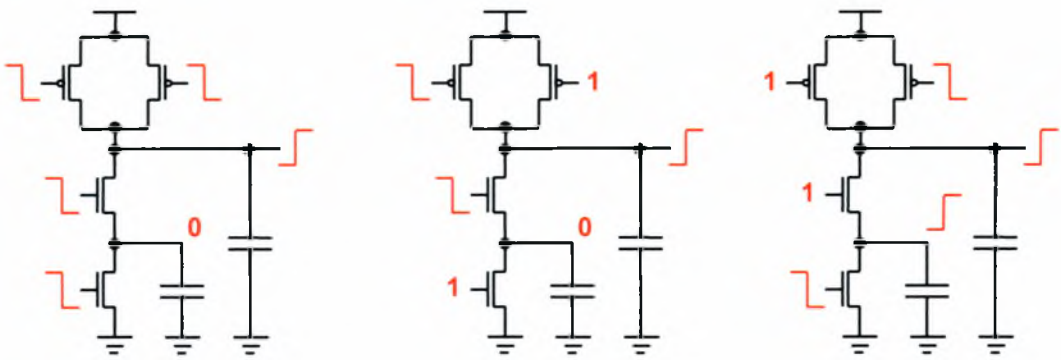
- Για τρανζίστορ εν παραλλήλω μπορεί να υπάρχουν περισσότερα από ένα μονοπάτια ρεύματος για τη διεξαγωγή της φόρτισης/εκφόρτισης. Για τον υπολογισμό της καθυστέρησης θα λαμβάνεται το μονοπάτι με τη μεγαλύτερη καθυστέρηση, το οποίο γενικά είναι αυτό με τα περισσότερα εν σειρά τρανζίστορ.

Για παράδειγμα η πύλη NAND δύο εισόδων μπορεί να δώσει λογικό '1' στην έξοδο όταν τουλάχιστο μία από τις εισόδους της είναι '0'. Δηλαδή υπάρχουν οι εξής περιπτώσεις:

1. Και τα δυο pMOS τρανζίστορ να άγουν
2. Να άγει ένα μόνο από τα δύο

Έτσι δημιουργούνται τρία μονοπάτια ρεύματος για τη φόρτιση/εκφόρτιση των χωρητικότητων. (βλ. σχήμα 6.6)

- Για τρανζίστορ εν σειρά μπορεί να υπάρχουν επιπλέον χωρητικότητες σε εσωτερικούς κόμβους προς φόρτιση/εκφόρτιση.

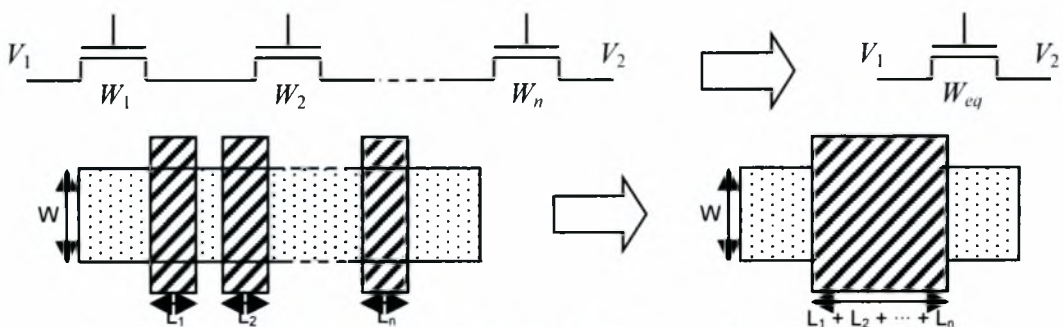


ΣΧΗΜΑ 6.6 Πολλαπλά μονοπάτια φόρτισης/εκφόρτισης στην πύλη NAND 2 εισόδων για τη μετάβαση της εξόδου από λογικό '0' σε λογικό '1'.

Ο υπολογισμός της καθυστέρησης μιας γενικής λογικής πύλης για τη φόρτιση ή την εκφόρτιση της εξόδου μπορεί να γίνει με κατασκευή ενός ισοδύναμου αντιστροφέα:

- Για τρανζίστορ εν σειρά το ισοδύναμο πλάτος είναι:

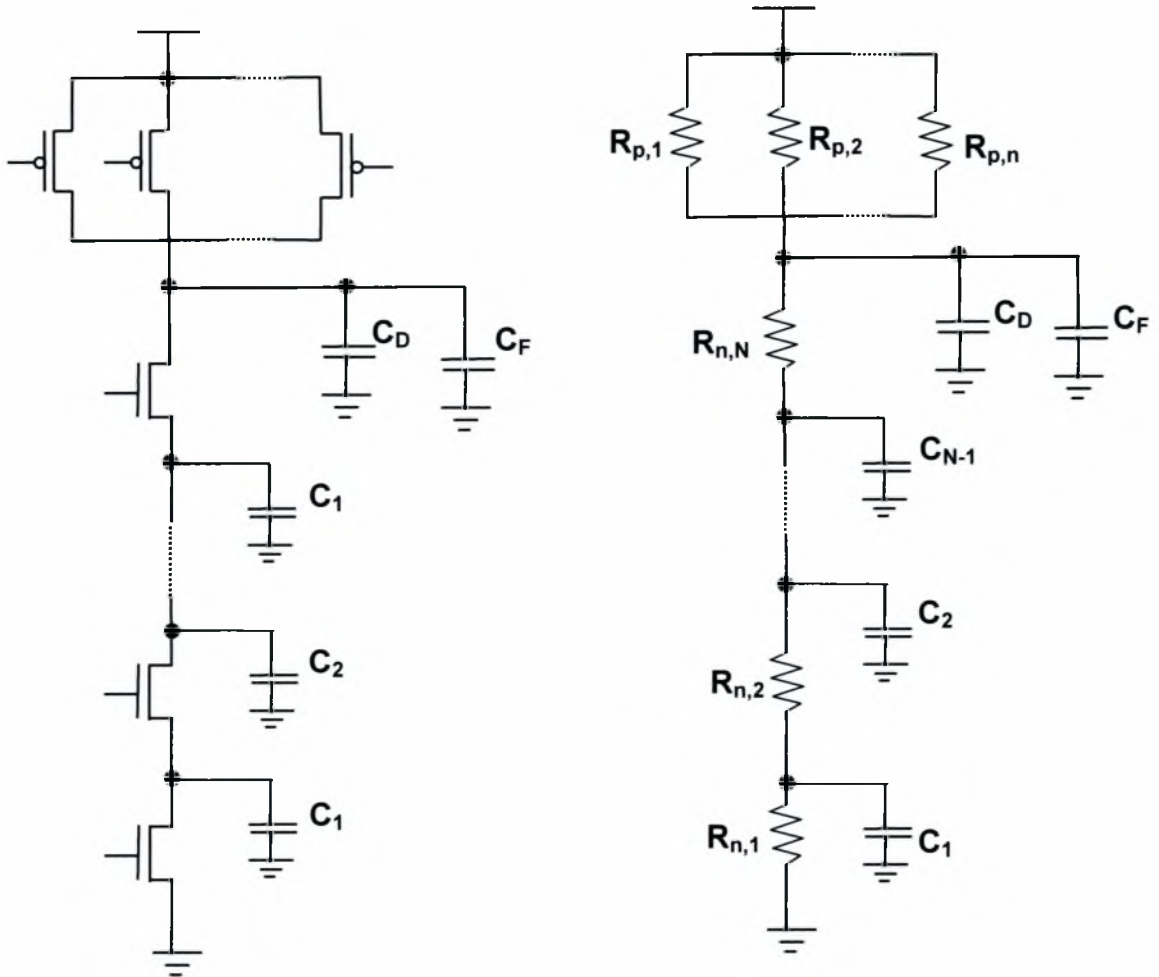
$$W_{eq} = \frac{1}{1/W_1 + 1/W_2 + \dots + 1/W_n}$$



και το ισοδύναμο μήκος είναι: $L_{eq} = L_1 + L_2 + \dots + L_n$

- Για τρανζίστορ εν παράλληλω το ισοδύναμο πλάτος (στη χειρότερη περίπτωση) είναι: $W_{eq} = \min(W_1, W_2, \dots, W_n)$

(δηλ. παίρνουμε το χειρότερο μονοπάτι από τον κόμβο V_{DD} ή GND μέχρι την έξοδο)



ΣΧΗΜΑ 6.7 Πύλη NAND N εισόδων και το αντίστοιχο RC μοντέλο.

6.4 Καθορισμός του πλάτους (sizing) των τρανζίστορ πύλης NAND N εισόδων

Το πλάτος των τρανζίστορ μιας πύλης NAND καθορίζεται έτσι ώστε οι ενεργές αντιστάσεις του pull-up και του pull-down δικτύου αντίστοιχα να είναι ίδιες με αυτές

ενός αντιστροφέα με $W_n = W_{\min}$ και $W_p = \frac{\mu_n}{\mu_p} W_{\min}$.

Δηλαδή για μια πύλη NAND N εισόδων θα πρέπει να ισχύει:

$$R_{eff,inv} = R_{eff,nandN}$$

Για την περίπτωση του pull-down δικτύου (N nMOS τρανζίστορ σε σειρά):

$$R_{eff,inv} = R_{eff,nandN} \Rightarrow \frac{L_{n,inv}}{W_{n,inv}} = \frac{L_{eq,nandN}}{W_{eq,nandN}} \Rightarrow \frac{L}{W_{min}} = \frac{NL}{W_{n,nandN}} \Rightarrow$$

$$\Rightarrow W_{n,nandN} = NW_{n,inv} = NW_{min}$$

Για την περίπτωση του pull-up δικτύου (N PMOS τρανζίστορ εν παραλλήλω):

$$R_{eff,inv} = R_{eff,nandN} \Rightarrow \frac{L_{p,inv}}{W_{p,inv}} = \frac{L_{eq,nandN}}{W_{eq,nandN}} \Rightarrow \frac{L}{\frac{\mu_n}{\mu_p} W_{min}} = \frac{L}{W_{p,nandN}} \Rightarrow$$

$$\Rightarrow W_{p,nandN} = W_{p,inv} = \frac{\mu_n}{\mu_p} W_{min}$$

Από τις παραπάνω σχέσεις προκύπτει ότι η αντίσταση οδήγησης ενός τρανζίστορ της πύλης NAND θα ισούται με:

- για τα nMOS: $R_{n,nandN} = \frac{1}{N} R_{n,inv}$
- για τα PMOS: $R_{p,nandN} = R_{p,inv}$

6.5 Προσεγγιστικός υπολογισμός καθυστέρησης πύλης NAND N εισόδων

Όπως είπαμε και προηγουμένως θεωρούμε ότι όλα τα τρανζίστορ ίδιου τύπου έχουν ίδια χαρακτηριστικά επομένως θα έχουν ίδια χωρητικότητα και ίδια ενεργό αντίσταση, οπότε για τα NMOS τρανζίστορ ισχύει:

$$C_{n,1} = C_{n,2} = \dots = C_{n,N} = C_{n,sh} + C_{n,db} = C_{n,diff} \quad ,$$

$$R_{n,1} = R_{n,2} = \dots = R_{n,N} = R_n$$

Και για τα pMOS αντίστοιχα:

$$C_{p,1} = C_{p,2} = \dots = C_{p,N} = C_{p,sh} + C_{p,db} = C_{p,diff} \quad ,$$

$$R_{p,1} = R_{p,2} = \dots = R_{p,N} = R_p$$

Η συνολική χωρητικότητα κάθε κόμβου υπολογίζεται ως το άθροισμα των χωρητικοτήτων διάχυσης των τρανζίστορ που έχουν ένα από τα άκρα τους συνδεδεμένο στον κόμβο αυτό. Οπότε:

$$C_D = NC_{p,db} + C_{n,db}$$

$$C_1 = C_2 = \dots = C_{N-1} = C_{n,diff}$$

Να σημειωθεί ότι C_f είναι η εξωτερική χωρητικότητα των πυλών που οδηγούνται από την έξοδο της πύλης NAND.

Ο προσεγγιστικός υπολογισμός της καθυστέρησης της πύλης NAND N εισόδων γίνεται με τη χρήση του μοντέλου καθυστέρησης Elmore σύμφωνα με το οποίο η καθυστέρηση ενός δέντρου RC δίνεται από τη σχέση: $t = \sum_i R_i C_i$ όπου R_i είναι η αθροισμένη αντίσταση από τον κόμβο i μέχρι τη γραμμή ισχύος ή γείωσης και C_i είναι η συνολική χωρητικότητα του κόμβου i .

Επομένως για τον υπολογισμό του χρόνου καθόδου t_f θα υπολογιστεί το παραπάνω άθροισμα για κάθε κόμβο του δικτύου με τα N εν σειρά nMOS τρανζίστορ (pull-down network) οπότε θα ισχύει:

$$\begin{aligned} t_f &= R_{n,1}C_1 + (R_{n,1} + R_{n,2})C_2 + \dots + (R_{n,1} + R_{n,2} + \dots + R_{n,N-1})C_{N-1} + \\ &+ (R_{n,1} + R_{n,2} + \dots + R_{n,N-1} + R_{n,N})(C_d + C_f) = \\ &= R_n C_{n,diff} + 2R_n C_{n,diff} + \dots + (N-1)R_n C_{n,diff} + NR_n (C_{n,db} + NC_{p,db} + C_f) = \\ &= (1 + 2 + \dots + (N-1)) \cdot R_n C_{n,diff} + NR_n (C_{n,db} + NC_{p,db} + C_f) \Rightarrow \\ &\Rightarrow t_f = \frac{(N-1)N}{2} R_n C_{n,diff} + NR_n (C_{n,db} + NC_{p,db} + C_f) \end{aligned}$$

Στην πραγματικότητα είναι: $C_{n,diff} = C_{n,db} + C_{n,sh}$

Μπορούμε όμως να θεωρήσουμε ότι η πηγή και η υποδοχή ενός MOS τρανζίστορ έχουν πανομοιότυπα χαρακτηριστικά, οπότε θα ισχύει:

$$C_{n,db} = C_{n,sh} \text{ και } C_{p,db} = C_{p,sh}$$

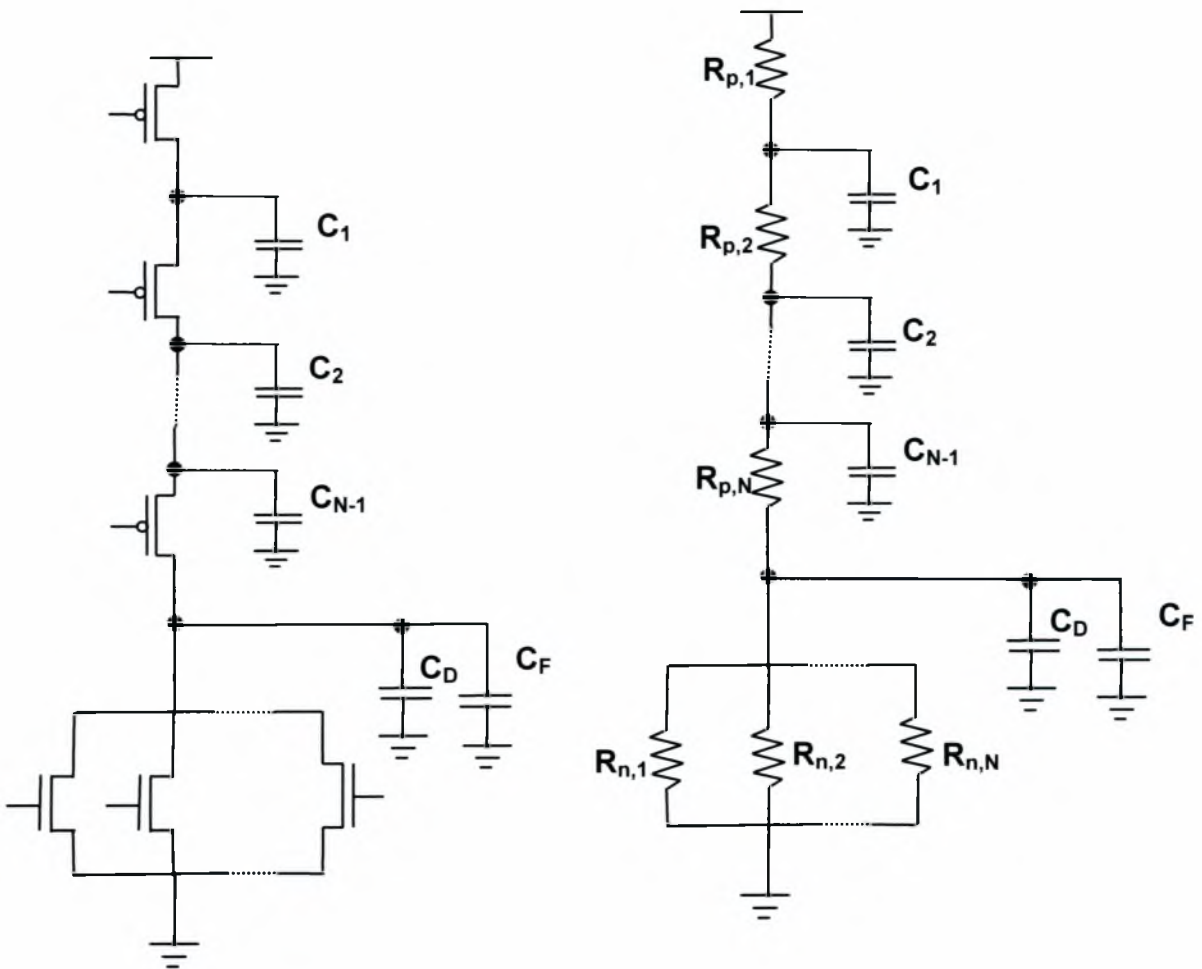
Επιπλέον όταν ένα τρανζίστορ είναι συνδεδεμένο σε σειρά με ένα άλλο η υποδοχή του πρώτου αποτελεί ενιαίο τμήμα με την πηγή του δεύτερου.

Έτσι στο μοντέλο καθυστέρησης που χρησιμοποιείται οι χωρητικότητες των ενδιάμεσων κόμβων C_1, C_2, \dots, C_{N-1} θεωρούμε ότι ισούνται με:

$$C_1 = C_2 = \dots = C_{N-1} = C_{n,diff} = C_{n,db} = C_{n,sb}$$

Στην περίπτωση του υπολογισμού του χρόνου ανόδου υπάρχουν πολλαπλά μονοπάτια προς τον κόμβο εξόδου της πύλης. Οπότε λαμβάνουμε τη χειρότερη περίπτωση μετάβασης της εξόδου στην οποία η φόρτιση αυτής γίνεται μέσω του μονοπατιού μεγαλύτερης αντίστασης. Επειδή στην περίπτωσή μας όλα τα τρανζίστορ pMOS έχουν ίδια χαρακτηριστικά και καθένα από τα πολλαπλά μονοπάτια αποτελείται από ένα τρανζίστορ στη χειρότερη περίπτωση άγει ένα pMOS τρανζίστορ μόνο, η καθυστέρηση ανόδου υπολογίζεται ως εξής:

$$t_r = R_p (C_{n,db} + NC_{p,db} + C_f)$$



ΣΧΗΜΑ 6.8 Πύλη NOR N εισόδων και το αντίστοιχο RC μοντέλο.

6.6 Καθορισμός του πλάτους (sizing) των τρανζίστορ πύλης NOR N εισόδων

Το πλάτος των τρανζίστορ μιας πύλης NOR καθορίζεται όπως και στην περίπτωση της πύλης NAND έτσι ώστε οι ενεργές αντιστάσεις του pull-up και του pull-down δικτύου αντίστοιχα να είναι ίδιες με αυτές ενός αντιστροφέα με $W_n = W_{\min}$ και

$$W_p = \frac{\mu_n}{\mu_p} W_{\min}.$$

Δηλαδή για μια πύλη NOR N εισόδων θα πρέπει να ισχύει:

$$R_{eff,inv} = R_{eff,nandN}$$

Για την περίπτωση του pull-down δικτύου (N nMOS τρανζίστορ εν παραλλήλω):

$$R_{eff,inv} = R_{eff,norN} \Rightarrow \frac{L_{n,inv}}{W_{n,inv}} = \frac{L_{eq,norN}}{W_{eq,norN}} \Rightarrow \frac{L}{W_{\min}} = \frac{L}{W_{n,norN}} \Rightarrow$$

$$\Rightarrow W_{n,norN} = W_{n,inv} = W_{\min}$$

Για την περίπτωση του pull-up δικτύου (N PMOS τρανζίστορ σε σειρά):

$$R_{eff,inv} = R_{eff,norN} \Rightarrow \frac{L_{p,inv}}{W_{p,inv}} = \frac{L_{eq,norN}}{W_{eq,norN}} \Rightarrow \frac{L}{\frac{\mu_n}{\mu_p} W_{\min}} = \frac{NL}{W_{p,norN}} \Rightarrow$$

$$\Rightarrow W_{p,norN} = W_{p,inv} = \frac{\mu_n}{\mu_p} W_{\min}$$

Από τις παραπάνω σχέσεις προκύπτει ότι η αντίσταση οδήγησης ενός τρανζίστορ της πύλης NOR θα ισούται με:

- για τα nMOS: $R_{n,norN} = R_{n,inv}$
- για τα PMOS: $R_{p,norN} = \frac{1}{N} R_{p,inv}$

6.7 Προσεγγιστικός υπολογισμός καθυστέρησης πύλης NOR N εισόδων

Για τα NMOS τρανζίστορ θα ισχύει:

$$C_{n,1} = C_{n,2} = \dots = C_{n,N} = C_{n,sb} + C_{n,db} = C_{n,diff} \quad ,$$

$$R_{n,1} = R_{n,2} = \dots = R_{n,N} = R_n$$

Για τα pMOS αντίστοιχα:

$$C_{p,1} = C_{p,2} = \dots = C_{p,N} = C_{p,sb} + C_{p,db} = C_{p,diff} \quad ,$$

$$R_{p,1} = R_{p,2} = \dots = R_{p,N} = R_p$$

Η εσωτερική χωρητικότητα του κόμβου εξόδου της πύλης NOR θα ισούται με:

$$C_D = C_{p,db} + NC_{n,db}$$

Για τους κόμβους $1, 2, \dots, N-1$ θα ισχύει:

$$C_1 = C_2 = \dots = C_{N-1} = C_{p,diff}$$

Ο προσεγγιστικός υπολογισμός της καθυστέρησης της πύλης NOR N εισόδων γίνεται με τη χρήση του μοντέλου καθυστέρησης Elmore με τρόπο συμμετρικό σε σχέση με την πύλη NAND:

Καθυστέρηση καθόδου:

$$t_f = R_n (NC_{n,db} + C_{p,db} + C_f)$$

Καθυστέρηση ανόδου:

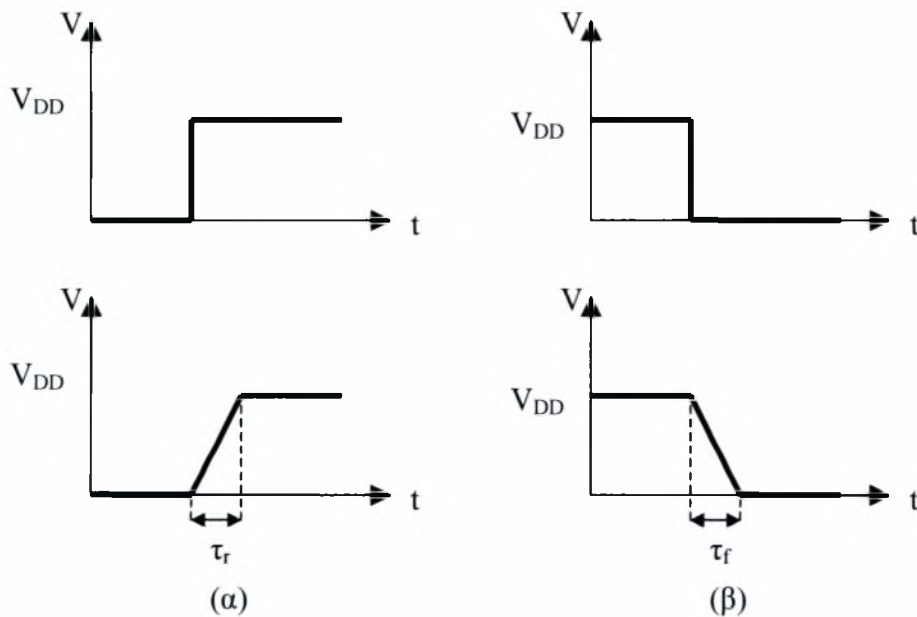
$$\begin{aligned} t_r &= R_{p,1}C_1 + (R_{p,1} + R_{p,2})C_2 + \dots + (R_{p,1} + R_{p,2} + \dots + R_{p,N-1})C_{N-1} + \\ &\quad + (R_{p,1} + R_{p,2} + \dots + R_{p,N-1} + R_{p,N})(C_d + C_f) = \\ &= R_p C_{p,diff} + 2R_p C_{p,diff} + \dots + (N-1)R_p C_{p,diff} + NR_p (NC_{n,db} + C_{p,db} + C_f) = \\ &= (1 + 2 + \dots + (N-1)) \cdot R_p C_{p,diff} + NR_p (NC_{n,db} + C_{p,db} + C_f) \Rightarrow \\ &\Rightarrow t_r = \frac{(N-1)N}{2} R_p C_{p,diff} + NR_p (NC_{n,db} + C_{p,db} + C_f) \Rightarrow \\ &\Rightarrow t_r = \frac{(N-1)N}{2} \frac{R}{N} C_{p,diff} + N \frac{R}{N} (NC_{n,db} + C_{p,db} + C_f) \Rightarrow \\ &\Rightarrow t_r = \frac{(N-1)N}{2} \frac{R}{N} C_{p,diff} + R (NC_{n,db} + C_{p,db} + C_f) \end{aligned}$$

Μπορούμε όμως να θεωρήσουμε όπως και στην περίπτωση της πύλης NAND ότι η πηγή και η υποδοχή των τρανζίστορ έχουν πανομοιότυπα χαρακτηριστικά, οπότε θα ισχύει και εδώ: $C_{n,db} = C_{n,sb}$ και $C_{p,db} = C_{p,sb}$

Επιπλέον επειδή τα pMOS τρανζίστορ είναι συνδεδεμένα σε σειρά και η υποδοχή του ενός αποτελεί ενιαίο τμήμα με την πηγή του επόμενου, για τις χωρητικότητες των ενδιάμεσων κόμβων C_1, C_2, \dots, C_{N-1} θα ισχύει:

$$C_1 = C_2 = \dots = C_{N-1} = C_{p,diff} = C_{p,db} = C_{p,sb}$$

Πρέπει να τονιστεί ότι οι παραπάνω προσεγγίσεις της καθυστέρησης λογικών πυλών αφορούν ακαριαία βηματική είσοδο (step είσοδο). Για είσοδο πεπερασμένου χρόνου ανόδου/καθόδου (ramp είσοδο) οι παραπάνω καθυστερήσεις είναι διαφορετικές:



ΣΧΗΜΑ 6.9 (α) Step και ramp κυματομορφή εισόδου για μετάβαση από λογικό '0' σε λογικό '1' (β) Step και ramp κυματομορφή εισόδου για μετάβαση από λογικό '1' σε λογικό '0'

Στην περίπτωση ramp εισόδου η καθυστέρηση ανόδου d_{fr} των λογικών πυλών

NAND, NOR και NOT θα προσυζώνεται με τον παράγοντα: $\frac{1}{6} \left(1 + 2 \frac{|V_{T,p}|}{V_{DD}} \right) \tau_f$

Αντίστοιχα η καθυστέρηση καθόδου d_{fr} θα προσυζώνεται με τον παράγοντα:

$$\frac{1}{6} \left(1 + 2 \frac{V_{T,n}}{V_{DD}} \right) \tau_f$$

6.8 Υπολογισμός fan-out χωρητικότητας

Όπως είδαμε παραπάνω στον υπολογισμό της καθυστέρηση μιας λογικής πύλης συμμετέχει και η χωρητικότητα φορτίου (C_{fanout}) των λογικών πυλών οι οποίες οδηγούνται από την αρχική πύλη (fan-out πύλες). Ο υπολογισμός της χωρητικότητας αυτής για μία fan-out πύλη υπολογίζεται ως το άθροισμα των χωρητικοτήτων πύλης (C_g) όλων των τρανζίστορ MOS από τα οποία αποτελείται η λογική πύλη αυτή.

Γενικά η συνολική χωρητικότητα πύλης στον κόμβο εξόδου είναι το άθροισμα των αντίστοιχων χωρητικοτήτων όλων των τρανζίστορ που οδηγούνται (fan-out) από την έξοδο της λογικής πύλης.

- Όταν οδηγείται πύλη NAND n εισόδων:

$$C_{fanout} = nC_{g,p} + C_{g,n} = n \frac{\epsilon_{ox}}{t_{ox}} \frac{\mu_n}{\mu_p} W_{min} L + \frac{\epsilon_{ox}}{t_{ox}} W_{min} L = \left(n \frac{\mu_n}{\mu_p} + 1 \right) \frac{\epsilon_{ox}}{t_{ox}} W_{min} L$$

- Όταν οδηγείται πύλη NOR n εισόδων:

$$C_{fanout} = C_{g,p} + nC_{g,n} = \frac{\epsilon_{ox}}{t_{ox}} \frac{\mu_n}{\mu_p} W_{min} L + n \frac{\epsilon_{ox}}{t_{ox}} W_{min} L = \left(\frac{\mu_n}{\mu_p} + n \right) \frac{\epsilon_{ox}}{t_{ox}} W_{min} L$$

- Όταν οδηγείται πύλη NOT:

$$C_{fanout} = C_{g,p} + C_{g,n} = \frac{\epsilon_{ox}}{t_{ox}} \frac{\mu_n}{\mu_p} W_{min} L + \frac{\epsilon_{ox}}{t_{ox}} W_{min} L = \left(\frac{\mu_n}{\mu_p} + 1 \right) \frac{\epsilon_{ox}}{t_{ox}} W_{min} L$$

Εδώ θα πρέπει να υπενθυμίσουμε ότι η συνολική fan-out χωρητικότητα μιας πύλης υπολογίζεται ως το άθροισμα των χωρητικοτήτων πύλης των τρανζίστορ όλων των πυλών που οδηγούνται από την πύλη αυτή:

$$C_{fanout,total} = \sum_{i=1}^M C_{fanout,i}$$

όπου M ο αριθμός των πυλών που οδηγούνται από την τρέχουσα πύλη.

6.9 Γραμμική προσέγγιση καθυστέρησης πύλης

Στη μέθοδο που προτείνεται, ο υπολογισμός της καθυστέρησης μιας πύλης γίνεται όπως είπαμε με γραμμικοποίηση της σχέσης που υπολογίζει την καθυστέρηση συναρτήσει των παραμέτρων επεξεργασίας L , t_{ox} γύρω από τη μέση τιμή τους. Η καθυστέρηση της k -οστής πύλης του κυκλώματος θα ισούται με:

$$d_k \approx d_{k,0} + \underline{\nabla d_{k,0}} \cdot \underline{\Delta p}$$

όπου $d_{k,0}$ είναι η καθυστέρηση υπολογισμένη για μέσες τιμές παραμέτρων,

$$\underline{\Delta p}^T = [L_1 - L_{1,0} \quad \dots \quad L_N - L_{N,0} \quad t_{ox,1} - t_{ox,1,0} \quad \dots \quad t_{ox,N} - t_{ox,N,0}]$$

και $\underline{\nabla d_{k,0}} = \left[\frac{\partial d_k}{\partial L_1} \Big|_{L_1=L_{1,0}} \quad \dots \quad \frac{\partial d_k}{\partial L_N} \Big|_{L_N=L_{N,0}} \quad \frac{\partial d_k}{\partial t_{ox,1}} \Big|_{t_{ox,1}=t_{ox,1,0}} \quad \dots \quad \frac{\partial d_k}{\partial t_{ox,N}} \Big|_{t_{ox,N}=t_{ox,N,0}} \right]$

$$\text{Είναι } d_k = R_{eff,k} (C_{d,k} + C_{fanout,k})$$

Οι μερικές παράγωγοι της d_k ως προς L_j , $j = 1, \dots, N$ υπολογίζονται ως εξής:

$$\frac{\partial d_k}{\partial L_j} = \frac{\partial (R_{eff,k} (C_{d,k} + C_{fanout,k}))}{\partial L_j} = \frac{\partial (R_{eff,k} \cdot C_{d,k})}{\partial L_j} + \frac{\partial (R_{eff,k} \cdot C_{fanout,k})}{\partial L_j} \Rightarrow$$

$$\frac{\partial d_k}{\partial L_j} = \begin{cases} C_d \cdot \frac{\partial R_{eff,k}}{\partial L_j} + C_{fanout,k} \cdot \frac{\partial R_{eff,k}}{\partial L_j}, j = k \\ R_{eff,k} \cdot \frac{\partial C_{fanout,k}}{\partial L_j}, j \neq k \end{cases} \quad (6.2)$$

Έστω ότι η k -οστή πύλη της οποίας την καθυστέρηση θέλουμε να υπολογίσουμε, είναι ένας αντιστροφέας με είσοδο ίση με λογικό '1'. Θα είναι:

$$R_{eff} = \frac{L_k}{W_{min}} \cdot \frac{1}{\mu_n \frac{\epsilon_{ox}}{t_{ox,k}} (V_{DD} - V_{Tn})} \left(\ln \left(3 - 4 \frac{V_{Tn}}{V_{DD}} \right) + \frac{2V_{Tn}}{V_{DD} - V_{Tn}} \right)$$

$$\text{Και } \frac{\partial R_{eff,k}}{\partial L_k} = \frac{1}{W_{\min}} \cdot \frac{1}{\mu_n \frac{\varepsilon_{ox}}{t_{ox,k}} (V_{DD} - V_{Tn})} \left(\ln \left(3 - 4 \frac{V_{Tn}}{V_{DD}} \right) + \frac{2V_{Tn}}{V_{DD} - V_{Tn}} \right) \quad (6.3)$$

$$\frac{\partial C_{fanout,k}}{\partial L_j} = \frac{\partial}{\partial L_j} \left(\sum_{i \in fanout(k)} C_{g,i} \right) = \sum_{i \in fanout(k)} \frac{\partial C_{g,i}}{\partial L_j} \quad (6.4)$$

Όπου $fanout(k)$ είναι το σύνολο των πυλών που οδηγούνται από την πύλη της οποίας την καθυστέρηση θέλουμε να υπολογίσουμε.

Αν η i -οστή fan-out πύλη είναι αντιστροφείας τότε:

$$C_{g,i} = \left(\frac{\mu_n}{\mu_p} + 1 \right) \cdot L_i W \frac{\varepsilon_{ox}}{t_{ox,i}}$$

$$\text{Και } \frac{\partial C_{g,i}}{\partial L_j} = \begin{cases} \left(\frac{\mu_n}{\mu_p} + 1 \right) \cdot W \frac{\varepsilon_{ox}}{t_{ox,i}}, & j = i \\ 0, & j \neq i \end{cases} \quad (6.5)$$

Αντικαθιστούμε την (6.5) στην (6.4)

Κατόπιν αντικαθιστούμε τις μερικές παραγώγους των $R_{eff,k}$ και $C_{fanout,k}$ ως προς $L_i, i = 1, \dots, N$ από τις (6.3) και (6.4) αντίστοιχα στην (6.2).

Οι μερικές παράγωγοι της d_k ως προς $t_{ox,j}, j = 1, \dots, N$ υπολογίζονται αντίστοιχα:

$$\frac{\partial d_k}{\partial t_{ox,j}} = \frac{\partial (R_{eff,k} (C_{d,k} + C_{fanout,k}))}{\partial t_{ox,j}} = \frac{\partial (R_{eff,k} \cdot C_{d,k})}{\partial t_{ox,j}} + \frac{\partial (R_{eff,k} \cdot C_{fanout,k})}{\partial t_{ox,j}} \Rightarrow$$

$$\frac{\partial d_k}{\partial t_{ox,j}} = \begin{cases} C_d \cdot \frac{\partial R_{eff,k}}{\partial t_{ox,j}} + C_{fanout,k} \cdot \frac{\partial R_{eff,k}}{\partial t_{ox,j}}, & j = k \\ R_{eff,k} \cdot \frac{\partial C_{fanout,k}}{\partial t_{ox,j}}, & j \neq k \end{cases}$$

$$\text{Με } \frac{\partial R_{eff,k}}{\partial t_{ox,k}} = \frac{L_k}{W_{\min}} \cdot \frac{1}{\mu_n \varepsilon_{ox} (V_{DD} - V_{Tn})} \left(\ln \left(3 - 4 \frac{V_{Tn}}{V_{DD}} \right) + \frac{2V_{Tn}}{V_{DD} - V_{Tn}} \right)$$

$$\text{Και } \frac{\partial C_{fanout,k}}{\partial t_{ox,j}} = \frac{\partial}{\partial t_{ox,j}} \left(\sum_{i \in fanout(k)} C_{g,i} \right) = \sum_{i \in fanout(k)} \frac{\partial C_{g,i}}{\partial t_{ox,j}}$$

$$\text{Όπου } \frac{\partial C_{g,i}}{\partial t_{ox,j}} = \begin{cases} \left(\frac{\mu_n}{\mu_p} + 1 \right) \cdot L_i W \varepsilon_{ox} \left(-\frac{1}{t_{ox,i}^2} \right), & j = i \text{ όταν η } i\text{-οστή fan-out πύλη είναι} \\ 0, & j \neq i \end{cases}$$

αντιστροφείας.

Παρόμοιοι είναι οι υπολογισμοί στην περίπτωση που αντί για αντιστροφείς έχουμε άλλες πύλες CMOS.

6.10 Υπολογισμός καθυστέρησης μονοπατιού

Έστω ένα μονοπάτι που αποτελείται από N πύλες. Θεωρούμε ότι $d_1^{fr}, d_2^{fr}, \dots, d_N^{fr}$ είναι οι καθυστερήσεις ανόδου των πυλών που αποτελούν το μονοπάτι και

$$d_1^{rf}, d_2^{rf}, \dots, d_N^{rf}$$

είναι οι αντίστοιχες καθυστερήσεις καθόδου.

Για την πρώτη πύλη του μονοπατιού ισχύει $\tau_{r,0} = \tau_{f,0} = 0$

επειδή η είσοδος της θεωρείται ακαριαία..

Για την έξοδο της i -οστής πύλης ισχύει: $\tau_{r,i} \approx 2d_i^{fr}, \tau_{f,i} \approx 2d_i^{rf}$

Ο παράγοντας $\frac{1}{6} \left(1 + 2 \frac{|V_{T,p}|}{V_{DD}} \right) \tau_{r,i}$ προστίθεται στην καθυστέρηση καθόδου d_{i+1}^{rf} της

$i+1$ πύλης, αντίστοιχα ο παράγοντας $\frac{1}{6} \left(1 + 2 \frac{|V_{T,p}|}{V_{DD}} \right) \tau_{f,i}$ προστίθεται στην

καθυστέρηση ανόδου d_{i+1}^{fr} της $i+1$ πύλης.

Η καθυστέρηση του μονοπατιού για είσοδο λογικό '1' θα ισούται με:

$$D_r = d_1^{rf} + d_2^{fr} + d_3^{rf} + \dots$$

και για είσοδο λογικό '0':

$$D_f = d_1^{fr} + d_2^{rf} + d_3^{fr} + \dots$$

7. Πειραματικά αποτελέσματα

Στο κεφάλαιο αυτό συνοψίζονται τα αποτελέσματα των μετρήσεων. Οι μετρήσεις έγιναν με τρεις μεθόδους: με την προτεινόμενη μέθοδο, με ανάλυση “monte-carlo” που χρησιμοποιεί το μοντέλο καθυστέρησης της προτεινόμενης μεθόδου και με ανάλυση “monte-carlo” με τη βοήθεια του εργαλείου Pathmill. Εκτός από τις γραφικές παραστάσεις των συναρτήσεων αθροιστικής κατανομής και πυκνότητας πιθανότητας παρατίθενται και οι μέσες τιμές και οι τυπικές αποκλίσεις των μέγιστων καθυστερήσεων των κυκλωμάτων.

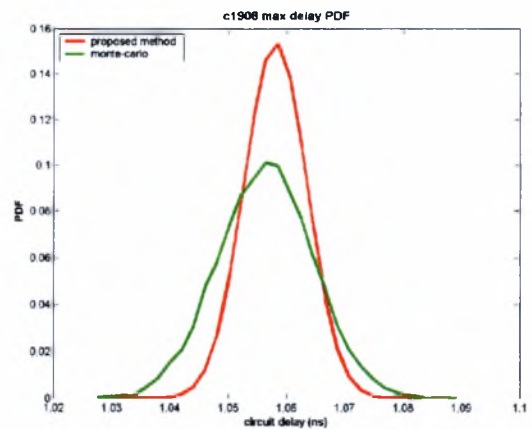
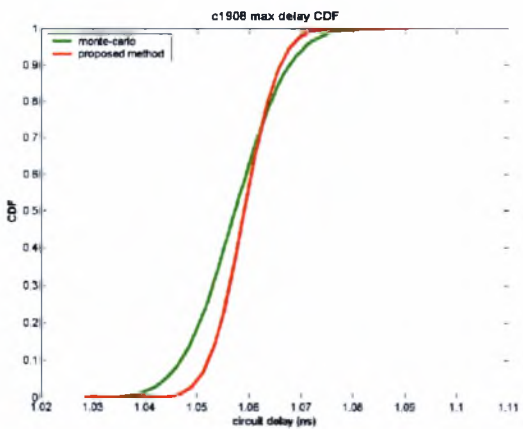
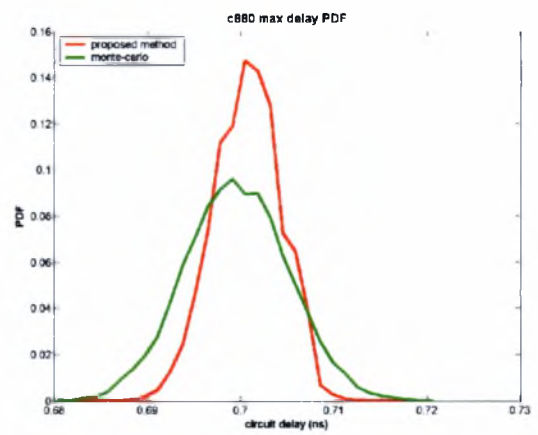
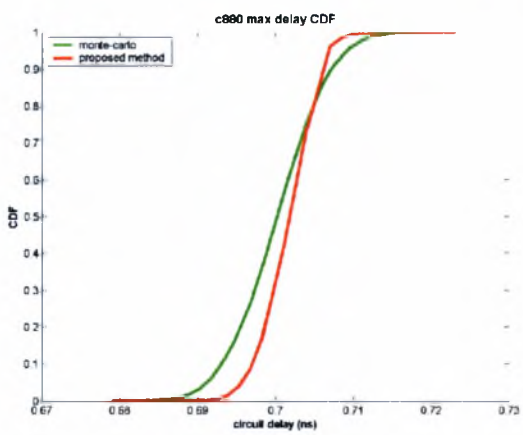
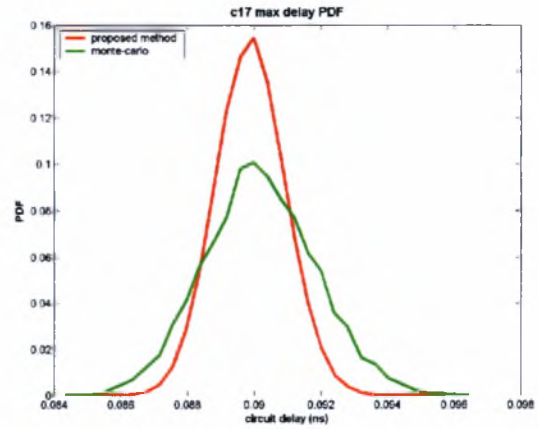
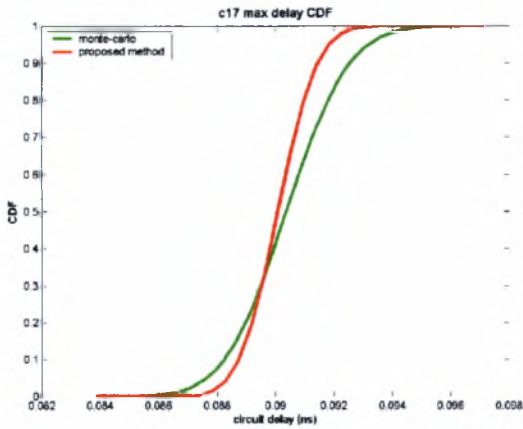
7.1 Προτεινόμενη μέθοδος εναντίον “monte-carlo” ανάλυσης

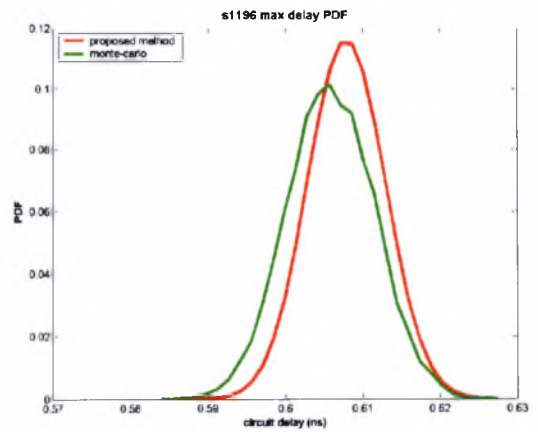
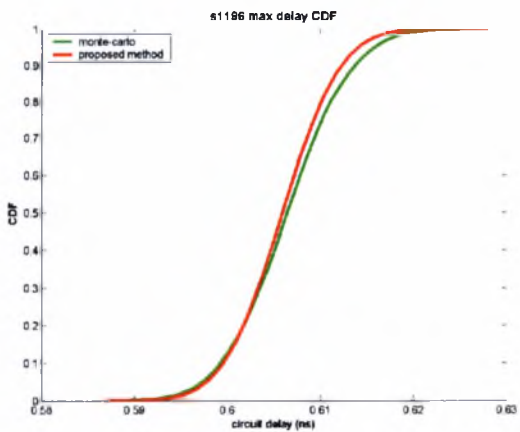
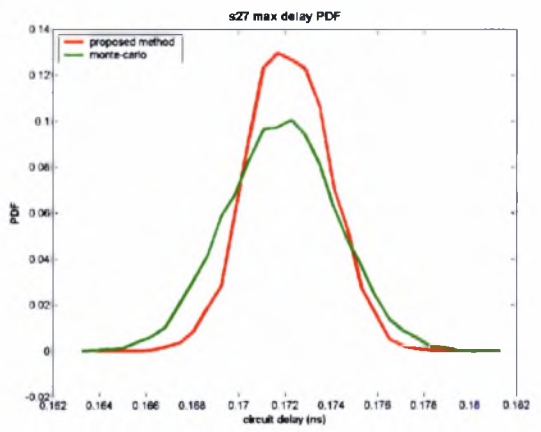
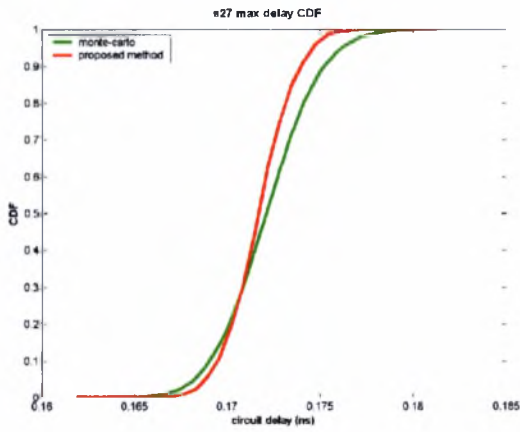
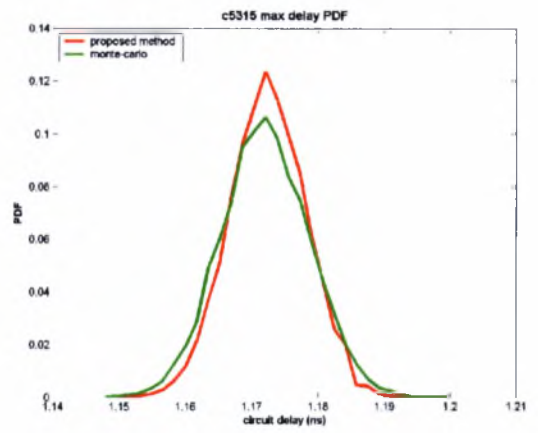
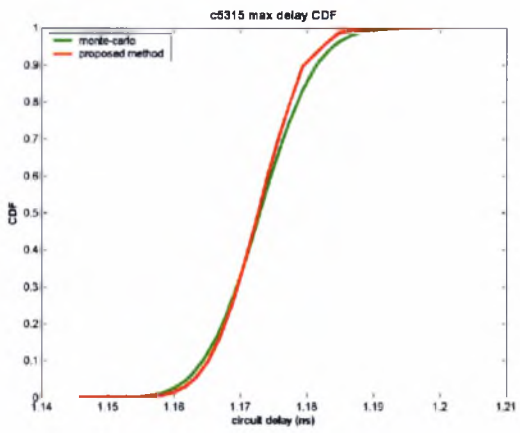
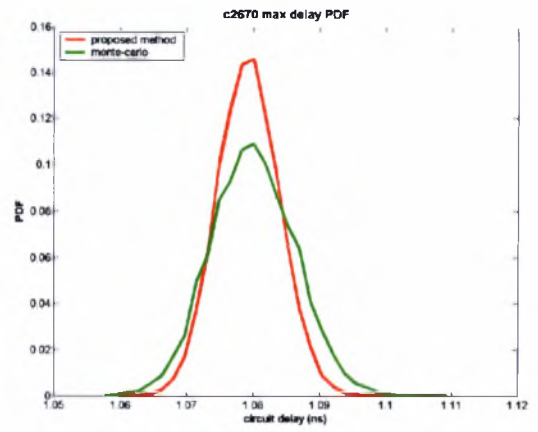
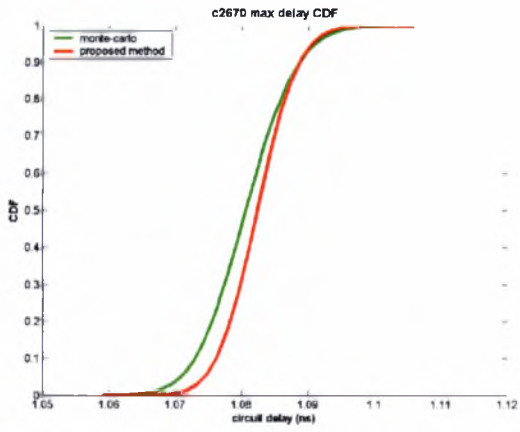
Στον πίνακα 7.1 αντιπαραβάλλονται τα αποτελέσματα της προτεινόμενης μεθόδου όσον αφορά στη μέση τιμή και την τυπική απόκλιση της μέγιστης καθυστέρησης διαφόρων κυκλωμάτων με αυτά της ανάλυσης “monte-carlo”. Η ανάλυση “monte-carlo” έγινε δίνοντας τυχαίες τιμές στις παραμέτρους L , t_{ox} οι οποίες βασίζονται στον πίνακα συνδιακύμανσης που δόθηκε σαν είσοδος στην προτεινόμενη μέθοδο για το εκάστοτε κύκλωμα. Η ανάλυση “monte-carlo” έγινε υπολογίζοντας τις καθυστερήσεις των τριών μονοπατιών με τη μεγαλύτερη καθυστέρηση για κάθε κύκλωμα για 10,000 τυχαία διανύσματα παραμέτρων και λαμβάνοντας τη μέγιστη των καθυστερήσεων κάθε φορά.

Κύκλωμα	Αποτελέσματα προτεινόμενης μεθόδου		Αποτελέσματα ανάλυσης Monte-Carlo	
	Μέση τιμή (ns)	Τυπική απόκλιση (ns)	Μέση τιμή (ns)	Τυπική απόκλιση (ns)
c17	0.0903	0.0010	0.0904	0.0017
c880	0.6980	0.0035	0.7004	0.0056
c1908	1.0536	0.0053	1.0573	0.0081
c2670	1.0833	0.0049	1.0808	0.0061
c5315	1.1735	0.0057	1.1729	0.0067
s27	0.1720	0.0017	0.1721	0.0024
s1196	0.6079	0.0050	0.6066	0.0056

ΠΙΝΑΚΑΣ 7.1 Μέσες τιμές και τυπικές αποκλίσεις μέγιστων καθυστερήσεων διαφόρων κυκλωμάτων όπως προβλέπονται από την προτεινόμενη μέθοδο και την ανάλυση “monte-carlo” που χρησιμοποιεί το μοντέλο καθυστέρησης της πρώτης.

Ακολουθούν γραφικές παραστάσεις των συναρτήσεων αθροιστικής κατανομής και πυκνότητας πιθανότητας όπως προβλέπονται από την προτεινόμενη μέθοδο και την ανάλυση “monte-carlo” για διάφορα κυκλώματα:



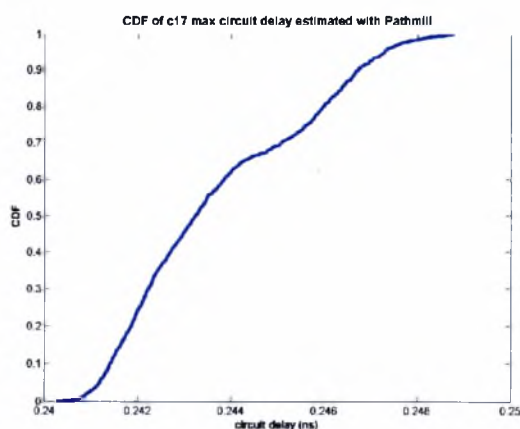
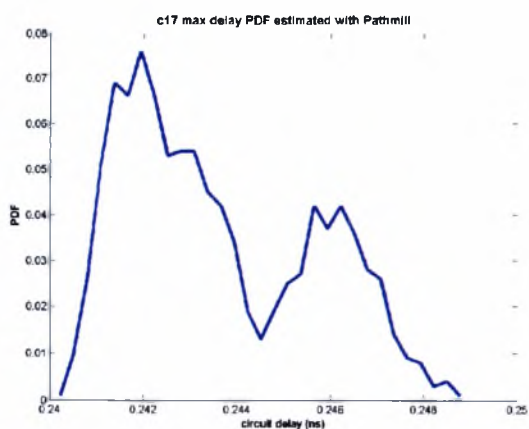


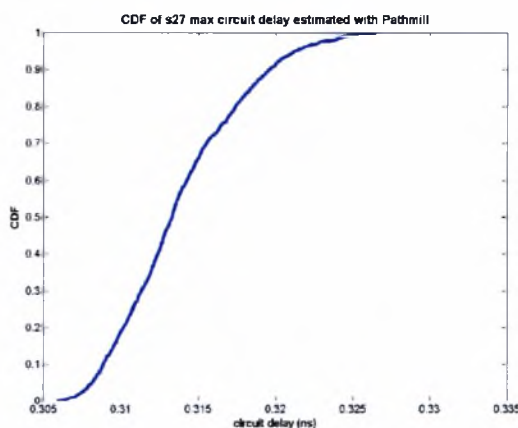
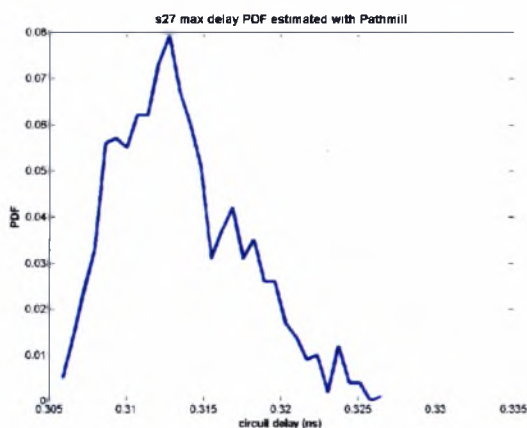
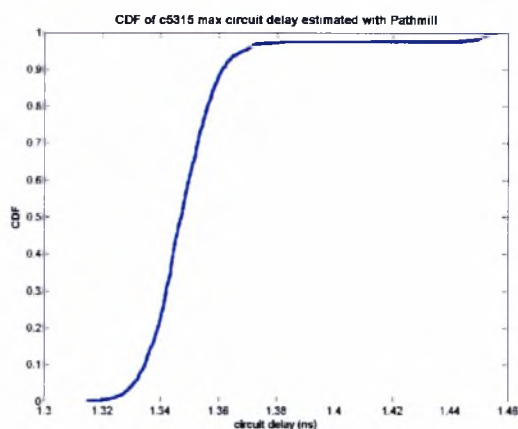
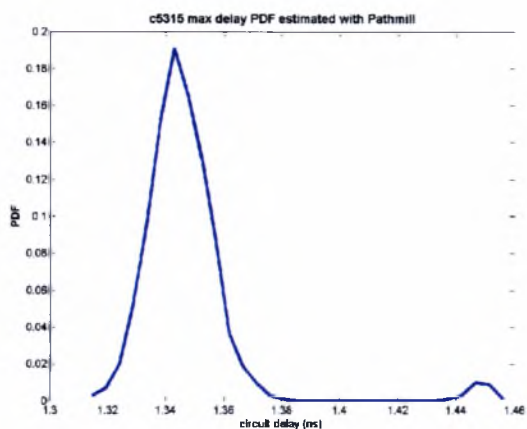
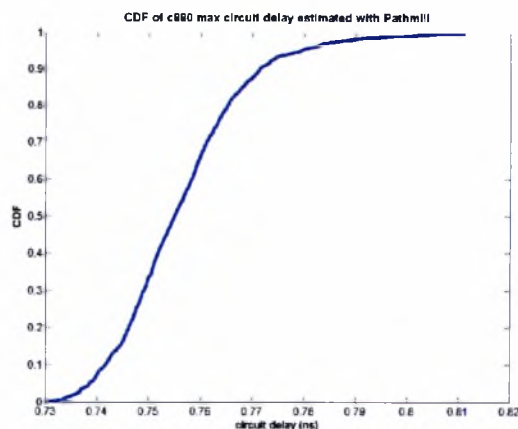
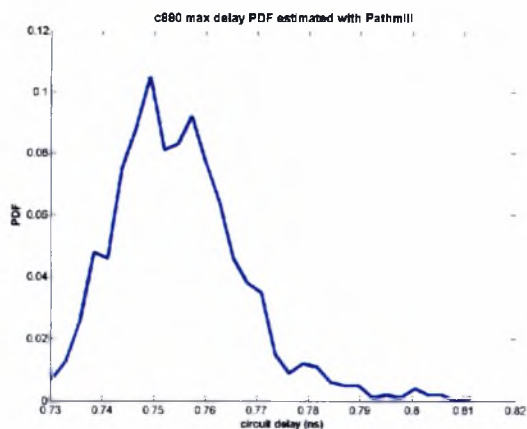
7.2 Ανάλυση “monte-carlo” με Pathmill

Χρησιμοποιώντας τις τυχαίες τιμές των παραμέτρων που δόθηκαν σαν είσοδος στη “monte-carlo” ανάλυση με βάση το μοντέλο καθυστέρησης της προτεινόμενης μεθόδου, δημιουργήθηκαν αρχεία spice (ένα για κάθε τυχαίο διάνυσμα παραμέτρων), τα οποία δόθηκαν σαν είσοδος στο εργαλείο Pathmill. Στον πίνακα 7.2 παρουσιάζονται οι μέσες τιμές και οι τυπικές αποκλίσεις της μέγιστης καθυστέρησης διαφόρων κυκλωμάτων. Παρακάτω επίσης παρατίθενται τα αντίστοιχα διαγράμματα των συναρτήσεων αθροιστικής κατανομής και πυκνότητας πιθανότητας.

Κύκλωμα	Αποτελέσματα μεθόδου monte-carlo με τη βοήθεια του Pathmill	
	Μέση τιμή (ns)	Τυπική απόκλιση (ns)
c17	0.2437	0.0020
c880	0.7563	0.0125
c5315	1.3497	0.0187
s27	0.3138	0.0041

ΠΙΝΑΚΑΣ 7.2 Μέσες τιμές και τυπικές αποκλίσεις των μέγιστων καθυστερήσεων διαφόρων κυκλωμάτων όπως προβλέπονται από την “monte-carlo” ανάλυση που έγινε με τη βοήθεια του εργαλείου Pathmill.





Θα πρέπει να σημειωθεί ότι οι γραφικές παραστάσεις που προέκυψαν από τις προσομοιώσεις στο εργαλείο Pathmill θα πρέπει να συγκριθούν ποιοτικά μόνο με αυτές που προέκυψαν από την προτεινόμενη μέθοδο και την ανάλυση “monte-carlo” με το ίδιο μοντέλο καθυστέρησης με την προηγούμενη. Οι μέσες τιμές και οι διακυμάνσεις παρουσιάζουν αποκλίσεις επειδή το Pathmill χρησιμοποιεί διαφορετικό μοντέλο καθυστέρησης για τις λογικές πύλες που αποτελούν ένα κύκλωμα.

8. Συμπεράσματα και μελλοντική εργασία

8.1 Παρατηρήσεις πάνω στις μετρήσεις

Οι προβλέψεις τις μεθόδου είναι απόλυτα ακριβείς όσον αφορά στις μέσες τιμές των μέγιστων καθυστερήσεων. Αποκλίσεις εμφανίζονται στη μορφή των γραφικών παραστάσεων και στις τυπικές αποκλίσεις. Είναι εύκολο να παρατηρήσει κανείς ότι όσο αυξάνεται ο αριθμός των πυλών ενός κυκλώματος τόσο αυξάνεται και η ακρίβεια της μεθόδου.

Οι αποκλίσεις που παρουσιάζονται οφείλονται στα εξής:

1. Για την ανάλυση καθυστέρησης λαμβάνονται υπόψη μόνο τα τρία μονοπάτια με τη μεγαλύτερη καθυστέρηση, υπολογισμένη για μέσες τιμές παραμέτρων. Στην ιδανική περίπτωση θα έπρεπε να ληφθούν όλα υπόψη. Αυτό βέβαια αφενός θα ήταν υπολογιστικά πολύ επώδυνο αφού ο αριθμός των μονοπατιών αυξάνει εκθετικά σε σχέση με τον αριθμό των πυλών ενός κυκλώματος και αφετέρου για την εκτίμηση της κατανομής της μέγιστης καθυστέρησης θα απαιτούνταν ο υπολογισμός ενός ολοκληρώματος με πολλαπλότητα όση και ο συνολικός αριθμός μονοπατιών.
2. Τα τρανζίστορ είναι τεχνολογίας βαθέος υπομικρού (deep sub-micron - DSM). Το μοντέλο που χρησιμοποιήθηκε βασίζεται στο μοντέλο SPICE BSIMv4 που χρησιμοποιείται για τρανζίστορ με μήκος καναλιού κάτω από 100nm. Γενικά όσο μικρότερα γίνονται τα τρανζίστορ τόσο περισσότερο ανακριβής γίνεται η γραμμική προσέγγιση.

8.2 Μελλοντικές βελτιώσεις - προσεγγίσεις

Παρακάτω αναφέρονται κάποιες βελτιώσεις που θα μπορούσαν να γίνουν στην παρούσα μέθοδο:

1. Ανάλυση μεγαλύτερου αριθμού μονοπατιών – να υπενθυμίσουμε ότι στην παρούσα μέθοδο επιλέγονται τα τρία μονοπάτια με τη μεγαλύτερη καθυστέρηση. Μία άλλη λύση είναι να μην επιλέγεται σταθερός αριθμός μονοπατιών αλλά τα πρώτα n των οποίων η καθυστέρηση ξεπερνάει κατά ένα κατώφλι x την καθυστέρηση των υπολοίπων.
2. Τοποθέτηση των πυλών με ειδικό εργαλείο για την παραγωγή πίνακα συνδιακύμανσης που αναπαριστά καλύτερα τις χωρικές εξαρτήσεις των τυχαίων παραμέτρων ή χρήση δεδομένων από είδη κατασκευασμένα κυκλώματα.
3. Προσθήκη και άλλων παραμέτρων στο σύνολο αυτών που παρουσιάζουν διακυμάνσεις, οι οποίες στην παρούσα εργασία θεωρούνται σταθερές αλλά στην πραγματικότητα παρουσιάζουν διακυμάνσεις.
4. Χρήση τετραγωνικής προσέγγισης για τον υπολογισμό της καθυστέρησης αντί για γραμμική. Στην περίπτωση αυτή οι καθυστερήσεις που υπολογίζονται δεν θα ακολουθούν κανονική κατανομή όπως. Η αλλαγή δεν συνιστά βελτίωση στην υπάρχουσα εργασία αλλά αποτελεί διαφορετική προσέγγιση στο ίδιο πρόβλημα.
5. Επίδραση “inter-die” διακυμάνσεων. Οι “inter-die” δεν ελήφθησαν υπόψη στην παρούσα εργασία. Η επίδρασή τους προσθέτει ένα τυχαίο παράγοντα σε κάθε παράμετρο επεξεργασίας. Ο παράγοντας αυτός είναι σταθερός για όλες τις πύλες ενός κυκλώματος και αλλάζει από κύκλωμα σε κύκλωμα.

9. Παράρτημα: Κώδικες MATLAB

9.1 Το κυρίως πρόγραμμα

```

clear;

format short e;
paths = readtextfile('c1908_nominal_crit_paths.txt');

[m, n] = size(paths);

ids = [];
types = [];
inputs = [];
node_found = 0;
num_of_paths = 0;

for i = 1: m
    if paths(i, 1) ~= 0
        %creating the vectors containing all the gates of the critical paths
        %each of them only once, their type and their number of inputs
        for j = 1: 3: n-2
            if paths(i, j) ~= 0
                node_found = 0;

                for k = 1: 1: length(ids)
                    if ids(k) == paths(i, j)
                        node_found = 1;
                        break;
                    end
                end

                if node_found == 0
                    ids = [ids paths(i, j)];
                    types = [types paths(i, j+1)];
                    inputs = [inputs paths(i, j+2)];
                end
            else
                break;
            end
        end
        num_of_paths = num_of_paths + 1;
    end
end

nodes = [ids; types; inputs];
[s t] = size(nodes(1, :));

% if fr_all_paths(i) = 1 input becomes zero else if fr_all_paths(i) = 0
% input rises
fr_all_paths = zeros(1, num_of_paths);
fr_all_paths = [0 0 0]; %everytime the circuit changes this vector must be instantiated according to file
"<circuit_name>_max_paths.txt"

%average values of the process parameters 'l', 'tox' (nominal values)
avl = 60e-9;
sdl = 1.5e-9;
avtox = 2.5e-9;
sdtox = 0.0416667e-9;
mes = 1000; %number of hypothetical measurements of the process parameters (l, tox)

```

%creation of a random covariance matrix proposed by Mr. Nestoras Evmorfopoulos

```
l_cov = zeros(t, t);
tox_cov = zeros(t, t);
```

```
varl = sdl^2;
vartox = sdttox^2;
```

```
for i = 1: t
    for j = 1: i
        if i == j
            l_cov(i,j) = varl;
            tox_cov(i,j) = vartox;
        else
            l_cov(i,j) = rand*varl;
            tox_cov(i,j) = rand*vartox;
            l_cov(j,i) = l_cov(i,j);
            tox_cov(j,i) = tox_cov(i,j);
        end
    end
end
```

```
cov_matrix = [l_cov, zeros(t, t); zeros(t, t), tox_cov];
%D is the matrix whose columns are the eigenvalues of the covariance
%matrix and V is a diagonal matrix containing the eigenvalues of the
%covariance matrix
[D V] = eig(cov_matrix);
```

%calculation of the delays of the gates that belong to the 1st path

```
gates = [];
nominal_gates = [];
nominal_params = []; % vector with the nominal values of process parameters
d = [];
d0 = [];
d_path = 0;
d0_path = 0;
d_all_paths = [];
d0_all_paths = []; % vector that contains the delays of the paths calculated using nominal values for
the process parameters
grad_d_all_paths = [];
grad_d = [];
gate_grad_d_prev = zeros(1, 2*t);
grad_d_path = zeros(1, 2*t);
i = 1;
tr = 0;
tf = 0;
```

% creation of a vector 'nominal_params' with the nominal values of the process parameters tox, L

```
for j = 1: t
    nominal_params = [nominal_params avl];
end
```

```
for j = 1: t
    nominal_params = [nominal_params avtox];
end
```

%'gate_found_in_path': vector with ith component zero or one depending whether the i-th gate is found in a critical path or not

%it is initiated with zeros because no gate is checked in a path yet

```
gate_found_in_path = zeros(1,t);
```

% 'z' is the path number

```

z = 1;

for i = 1: m
    if paths(i, 2) == 1 || paths(i, 2) == 2 || paths(i, 2) == 3
        %store in 'gates' first the current logic gate of the path, the next
        %gate of the path and then the rest fanout gates along with their parameters

        %searching for the parameters (l, tox) of the current gate
        %among the characteristics of the other gates found belonging to all critical paths
        %and storing them at the first row of the table 'gates'
        %the nominal values of the parameters ar stored in the table 'nominal_gates'
        for k = 1: t
            if paths(i, 1) == nodes(1, k)
                gates = [gates; k paths(i, 2) paths(i, 3) l(1, k) tox(1, k) nodes(1, k)];
                nominal_gates = [nominal_gates; k paths(i, 2) paths(i, 3) avl avtox nodes(1, k)];
                gate_found_in_path(k) = 1;
                break
            end
        end
    end

    %searching for the parameters (l, tox) of all the fanout gates of the current one
    %among the characteristics of the other gates found belonging to all critical paths
    %and storing them at the last row each time of the table 'gates'
    %the nominal values of the parameters ar stored in the table 'nominal_gates'
    if i+1 <= m && paths(i+1, 1) ~= 0
        for j = 1: 3: n-2
            if paths(i+1, j) == 0
                break
            else
                for k = 1: t
                    if paths(i+1, j) == nodes(1, k)
                        gates = [gates; k paths(i+1, j+1) paths(i+1, j+2) l(1, k) tox(1, k) nodes(1, k)];
                        nominal_gates = [nominal_gates; k paths(i+1, j+1) paths(i+1, j+2) avl avtox nodes(1,
k)];
                            break
                        end
                    end
                end
            end
        end
    end

    %calculation of delays with respect to the values of the process
    %parameters at the first hypothetical measurement
    gate_delays = delay_elmore(tr, tf, fr_all_paths(z), gates);
    d_path = d_path + gate_delays(1);
    %calculation of delays with respect to the nominal values of the process
    %parameters
    nominal_gate_delays = delay_elmore(tr, tf, fr_all_paths(z), nominal_gates);
    d0_path = d0_path + nominal_gate_delays(1);

    %calculation of the gradient of the delay with respect to the nominal
    %values of the process parameters ('t': total number of gates - 2*t = total number
    %of process parameters)
    gate_grad_delay = grad_delay_elmore(fr_all_paths(z), nominal_gates, 2*t, gate_grad_d_prev)
    gate_grad_d_prev = gate_grad_delay;
    grad_d_path = grad_d_path + gate_grad_delay;
    tr = gate_delays(2);
    tf = gate_delays(3);
    fr_all_paths(z) = mod((fr_all_paths(z)+1), 2);

    gates = [];
    nominal_gates = [];

```

```

elseif paths(i, 1) == 0 %end of paths
    d_all_paths = [d_all_paths d_path];
    d0_all_paths = [d0_all_paths; d0_path];
    grad_d_all_paths = [grad_d_all_paths; grad_d_path];

    %starting new path: parameters tr tf must be zero, we must also calculate
    %fall-rise delay so fr = 1
    z = z+1;
    tr = 0;
    tf = 0;
    fr = 1;
    d_path = 0;
    d0_path = 0;
    gate_grad_d_prev = zeros(1, 2*t);
    grad_d_path = zeros(1, 2*t);
end
end

% 't' is the total number of gates found belonging to the critical paths
% that were found

% finding the covariance matrix of the path delays
cov_path_d = zeros(num_of_paths, num_of_paths);
grad_d_all_paths;

for i = 1: num_of_paths
    for j = 1: num_of_paths
        for a = 1: 2*t
            for b = 1: 2*t
                cov_path_d(i, j) = cov_path_d(i, j) + grad_d_all_paths(i, a)*grad_d_all_paths(j,
b)*cov_matrix(a, b);
            end
        end
    end
end

%cov_path_d is the covariance matrix of the delays of the paths computed
%with the traditional way

grad_d_all_paths_pca = grad_d_all_paths * inv(D)';
%cov_path_d_pca is the covariance matrix of the path delays that is
%computed with the method of PCA
cov_path_d_pca = grad_d_all_paths_pca * V * grad_d_all_paths_pca';
%cov_path_d is equal to cov_path_d

%We have calculated the covariance matrix f the path delays:
cov_path_d

% ...and their mean value
d0_all_paths

```

9.2 Η συνάρτηση υπολογισμού της καθυστέρησης μίας πύλης

```
function d = delay_elmore(tr, tf, fr, gates)
```

```
%the first gate of gates is the current one - that is to say the first row
%of 'gates' table refers to the current gate whose delay is calculated
```

```
%cmos parameters taken from the spice model files: 090.nmos - 090.pmos
% mn = 0.0179999; %units: m^2/(V*s) (spice parameter name: U0)
% mp = 0.0055; %units: m^2/(V*s) (spice parameter name: U0)
mn = 0.0179999e-9; % delay is calculated in nanosecond
mp = 0.0055e-9; % delay is calculated in nanosecond
Vdd = 0.8; %units: V
Vtn = 0.2607; %units: V (spice parameter name: VT0)
Vtp = -0.303; %units: V (spice parameter name: VT0)
e0 = 8.851878176e-12; %(permittivity of free space) units: F/m
kox = 3.9; %dielectric constant of silicon oxide (SiO2) -no units
eox= kox*e0; %(permittivity of silicon oxide) units: F/m
W = 150e-9;
Lnom = 60e-9;
```

```
% junction diffusion capacitances per square meter
Cjsw0 = 2e-10; %sidewall junction capacitance units: F/m^2
Cja0 = 0.0015; %aerial junction capacitance units: F/m^2
% coefficients
Mjp = 0.7175511; % no units
Mjswp = 0.3706993; % no units
Mjn = 0.72; % no units
Mjswn = 0.37; % no units
```

```
Pbp= 1.24859; % units: Volt
Pbn= 1.25; % units: Volt
```

```
% We consider that the area of the source of a transistor and the drain of the tranzistor that follows
% together is equal to W*L and the perimeter 2*(L+W)
```

```
% calculation of junction voltage
```

```
if fr == 1
```

```
    Vhn = -Vdd/2;
    Vln = 0;
    Vhp = -Vdd;
    Vlp = -Vdd/2;
```

```
else
```

```
    Vhn = -Vdd;
    Vln = -Vdd/2;
    Vhp = -Vdd/2;
    Vlp = 0;
```

```
end
```

```
% calculation of coefficient K of Cj (Cj = K*Cj0)
```

```
Kan = -Pbn^Mjn/((Vhn-Vln)^(1-Mjn))*((Pbn-Vhn)^(1-Mjn) - (Pbn-Vln)^(1-Mjn));
Kswn = -Pbn^Mjswn/((Vhn-Vln)^(1-Mjswn))*((Pbn-Vhn)^(1-Mjswn) - (Pbn-Vln)^(1-Mjswn));
Kap = -Pbp^Mjp/((Vhp-Vlp)^(1-Mjp))*((Pbp-Vhp)^(1-Mjp) - (Pbp-Vlp)^(1-Mjp));
Kswp = -Pbp^Mjswp/((Vhp-Vlp)^(1-Mjswp))*((Pbp-Vhp)^(1-Mjswp) - (Pbp-Vlp)^(1-Mjswp));
```

```
% calculation of junction capacitance per area unit
```

```
Cjan = Kan*Cja0;
Cjswn = Kswn*Cjsw0;
Cjap = Kap*Cja0;
Cjswp = Kswp*Cjsw0;
```

```
type = gates(1, 2);
```

```

n = gates(1, 3);
L = gates(1, 4);
tox = gates(1, 5);

[s t] = size(gates);

%total internal capacitance of the gate
Cd = 0;
% % Cd = W*L*(eox/tox);

%Calculation of the effective resistance of the logic gate
if fr == 1
    R = (L/W)*(1/(mn*(eox/tox)*(Vdd - Vtn)))*(log(3-4*(Vtn/Vdd)) + 2*Vtn/(Vdd- Vtn));

    %Calculation of the total internal capacitance of the gate
    if type == 1 %nand: Wp=Wmin, Lp=Lmin, Wn=n*Wmin, Ln=Lmin
        Cd = n*W*Lnom*Cjan + 2*(n*W+Lnom)*Cjswn + n*((mn/mp)*W*Lnom*Cjap +
2*((mn/mp)*W+Lnom)*Cjswp);
    elseif type == 2 %nor Wp=n*Wmin, Lp=Lmin, Wn=Wmin, Ln=Lmin
        Cd = ((n+1)/2)*(Cjan*n*(mn/mp)*W*Lnom + 2*(n*(mn/mp)*W+Lnom)*Cjswp) + n*(W*Lnom*Cjan
+ 2*(W+Lnom)*Cjswp);
    elseif type == 3 %not Wp=Wmin, Lp=Lmin, Wn=Wmin, Ln=Lmin
        Cd = W*Lnom*Cjan + 2*(W+Lnom)*Cjswn + (mn/mp)*W*Lnom*Cjap +
2*((mn/mp)*W+Lnom)*Cjswp;
    end
else
    %the width of the pMOS transistor is scaled by mn/mp so the effective resistane
    %is:
    R = (L/W)*(1/(mn*(eox/tox)*(Vdd - abs(Vtp)))*(log(3-4*(abs(Vtp)/Vdd)) + 2*abs(Vtp)/(Vdd-
abs(Vtp)));

    %Calculation of the total internal capacitance of the gate
    if type == 1 %nand
        Cd = ((n+1)/2)*(Cjan*n*W*Lnom + 2*(n*W+Lnom)*Cjswn) + n*((mn/mp)*W*Lnom*Cjap +
2*((mn/mp)*W+Lnom)*Cjswp);
    elseif type == 2 %nor
        Cd = n*(Cjan*W*Lnom + 2*(W+Lnom)*Cjswn) + (mn/mp)*W*Lnom*Cjap +
2*((mn/mp)*W+Lnom)*Cjswp;
    elseif type == 3 %not
        Cd = Cjan*W*Lnom + 2*(W+Lnom)*Cjswn + (mn/mp)*W*Lnom*Cjap +
2*((mn/mp)*W+Lnom)*Cjswp;
    end
end

%Calculation of the total load capacitance of the gates of the logic gate
Cf = 0;

for i = 2: s
    Lf = gates(i,4);
    toxf = gates(i,5);
    nf = gates(i,3);

    if gates(i, 2) == 1 %nand
        Cf = Cf + (nf + (mn/mp))*W*Lf*(eox/toxf);
    elseif gates(i, 2) == 2 %nor
        Cf = Cf + (nf*(mn/mp) + 1)*W*Lf*(eox/toxf);
    elseif gates(i, 2) == 3 %not
        Cf = Cf + (1 + (mn/mp))*W*Lf*(eox/toxf);
    end
end

%if the current gate is the output node of a path - the last one - it has

```

```

%no fanout capacitance so we consider a hypothetical one with value 5fF
if Cf == 0
    Cf = 10e-15;
end

if fr == 1
    gate_delay = R*(Cf + Cd) + (1/6)*(1 + 2*Vtn/Vdd)*tf;
    d = [gate_delay 2*gate_delay 0];
else
    gate_delay = R*(Cf + Cd) + (1/6)*(1 + 2*abs(Vtp)/Vdd)*tr;
    d = [gate_delay 0 2*gate_delay];
end

```

9.3 Η συνάρτηση υπολογισμού του διανύσματος των μερικών παραγώγων της καθυστέρησης μιας πύλης ως προς τις παραμέτρους όλων των πυλών του κυκλώματος.

```

function grad_d = grad_delay_elmore(fr, gates, total_num_of_params, prev_grad_d)
%the first gate of 'gates' is the current one - that is to say the first row
%of 'gates' table refers to the current gate whose delay is calculated
%the rest rows correspond to the fanout gates

%cmos parameters taken from the spice model files: 090.nmos - 090.pmos
% mn = 0.0179999; %units: m^2/(V*s) (spice parameter name: U0)
% mp = 0.0055; %units: m^2/(V*s) (spice parameter name: U0)
mn = 0.0179999e-9;
mp = 0.0055e-9;
Vdd = 0.8; %units: V
Vtn = 0.2607; %units: V (spice parameter name: VT0)
Vtp = -0.303; %units: V (spice parameter name: VT0)
e0 = 8.851878176e-12; %(permittivity of free space) units: F/m
kox = 3.9; %dielectric constant of silicon oxide (SiO2) - no units
eox= kox*e0; %(permittivity of silicon oxide) units: F/m
W = 150e-9; % units: m
Lnom = 60e-9;

% junction diffusion capacitances per square meter
Cjsw0 = 2e-10; %sidewall junction capacitance units: F/m^2
Cja0 = 0.0015; %aerial junction capacitance units: F/m^2
% coefficients
Mjp = 0.7175511; % no units
Mjswp = 0.3706993; % no units
Mjn = 0.72; % no units
Mjswn = 0.37; % no units

Pbp= 1.24859; % units: Volt
Pbn= 1.25; % units: Volt

% We consider that the area of the source of a transistor and the drain of the tranzistor that follows
% together is equal to W*L and the perimeter 2*(L+W)
% calculation of junction voltage
if fr == 1
    Vhn = -Vdd/2;
    Vln = 0;
    Vhp = -Vdd;
    Vlp = -Vdd/2;
else
    Vhn = -Vdd;
    Vln = -Vdd/2;
    Vhp = -Vdd/2;
    Vlp = 0;
end

```


end

% calculation of coefficient K of Cj (Cj = K*Cj0)

Kan = -Pbn^Mjn/((Vhn-Vln)^(1-Mjn))*((Pbn-Vhn)^(1-Mjn) - (Pbn-Vln)^(1-Mjn));

Kswn = -Pbn^Mjswn/((Vhn-Vln)^(1-Mjswn))*((Pbn-Vhn)^(1-Mjswn) - (Pbn-Vln)^(1-Mjswn));

Kap = -Pbp^Mjp/((Vhp-Vlp)^(1-Mjp))*((Pbp-Vhp)^(1-Mjp) - (Pbp-Vlp)^(1-Mjp));

Kswp = -Pbp^Mjswp/((Vhp-Vlp)^(1-Mjswp))*((Pbp-Vhp)^(1-Mjswp) - (Pbp-Vlp)^(1-Mjswp));

% calculation of junction capacitance per area unit

Cjan = Kan*Cja0;

Cjswn = Kswn*Cjsw0;

Cjap = Kap*Cja0;

Cjswp = Kswp*Cjsw0;

type = gates(1, 2);

n = gates(1, 3);

L = gates(1, 4);

tox = gates(1, 5);

[s t] = size(gates);

%total internal capacitance of the gate (not function of L, tox)

Cd = 0;

%Calculation of the effective resistance of the logic gate

if fr == 1

 %Calculation of the total internal capacitance of the gate

 if type == 1 %nand: Wp=Wmin, Lp=Lmin, Wn=n*Wmin, Ln=Lmin

 Cd = n*W*Lnom*Cjan + 2*(n*W+Lnom)*Cjswn + n*((mn/mp)*W*Lnom*Cjap +

2*((mn/mp)*W+Lnom)*Cjswp);

 elseif type == 2 %nor Wp=n*Wmin, Lp=Lmin, Wn=Wmin, Ln=Lmin

 Cd = ((n+1)/2)*(Cjap*n*(mn/mp)*W*Lnom + 2*(n*(mn/mp)*W+Lnom)*Cjswp) + n*(W*Lnom*Cjan

+ 2*(W+Lnom)*Cjswn);

 elseif type == 3 %not Wp=Wmin, Lp=Lmin, Wn=Wmin, Ln=Lmin

 Cd = W*Lnom*Cjan + 2*(W+Lnom)*Cjswn + (mn/mp)*W*Lnom*Cjap +

2*((mn/mp)*W+Lnom)*Cjswp;

 end

else

 %Calculation of the total internal capacitance of the gate

 if type == 1 %nand

 Cd = ((n+1)/2)*(Cjan*n*W*Lnom + 2*(n*W+Lnom)*Cjswn) + n*((mn/mp)*W*Lnom*Cjap +

2*((mn/mp)*W+Lnom)*Cjswp);

 elseif type == 2 %nor

 Cd = n*(Cjan*W*Lnom + 2*(W+Lnom)*Cjswn) + (mn/mp)*W*Lnom*Cjap +

2*((mn/mp)*W+Lnom)*Cjswp;

 elseif type == 3 %not

 Cd = Cjan*W*Lnom + 2*(W+Lnom)*Cjswn + (mn/mp)*W*Lnom*Cjap +

2*((mn/mp)*W+Lnom)*Cjswp;

 end

end

σ

grad_d = [];

% parameters of the current gate

type = gates(1, 2);

n = gates(1, 3);

L = gates(1, 4);

tox = gates(1, 5);

[s t] = size(gates);

%Calculation of the effective resistance of the current logic gate and its partial

%derivatives with respect to L and tox of the current gate.

```

if fr == 1
    R = (L/W)*(1/(mn*(eox/tox)*(Vdd - Vtn)))*(log(3-4*(Vtn/Vdd)) + 2*Vtn/(Vdd- Vtn));
    dRdL = (1/W)*(1/(mn*(eox/tox)*(Vdd - Vtn)))*(log(3-4*(Vtn/Vdd)) + 2*Vtn/(Vdd- Vtn));
    dRdtox = (L/W)*(1/(mn*eox*(Vdd - Vtn)))*(log(3-4*(Vtn/Vdd)) + 2*Vtn/(Vdd- Vtn));
else
    R = (L/W)*(1/(mn*(eox/tox)*(Vdd - abs(Vtp)))) * (log(3-4*(abs(Vtp)/Vdd)) + 2*abs(Vtp)/(Vdd- Vtp));
    dRdL = (1/W)*(1/(mn*(eox/tox)*(Vdd - abs(Vtp)))) * (log(3-4*(abs(Vtp)/Vdd)) + 2*abs(Vtp)/(Vdd-
Vtp));
    dRdtox = (L/W)*(1/(mn*eox*(Vdd - abs(Vtp)))) * (log(3-4*(abs(Vtp)/Vdd)) + 2*abs(Vtp)/(Vdd- Vtp));
end

%Calculation of the total load capacitance of the gates of the logic gate
Cf = 0;

for i = 2: s
    Lf = gates(i,4);
    toxf = gates(i,5);
    nf = gates(i,3);

    if gates(i, 2) == 1 %nand
        Cf = Cf + (nf + (mn/mp))*W*Lf*(eox/toxf);
    elseif gates(i, 2) == 2 %nor
        Cf = Cf + (nf*(mn/mp) + 1)*W*Lf*(eox/toxf);
    elseif gates(i, 2) == 3 %not
        Cf = Cf + (1 + (mn/mp))*W*Lf*(eox/toxf);
    end
end

%if the current gate is the output node of a path - the last one - it has
%no fanout capacitance so we consider a hypothetical one with value 10fF
if Cf == 0
    Cf = 10e-15;
end

% Calculation of the partial derivatives of the capacitances of the fanout gates
% with respect to Lf (transistor length of fanout gate)- the above partial derivatives are components
% of the gradient vector of the capacitance of the fanout gates
gradCf_Lf = [];

for i = 1: total_num_of_params/2
    gate_found = 0;

    for j = 2: s
        if gates(j, 1) == i
            toxf = gates(j,5);
            nf = gates(j,3);

            if gates(j, 2) == 1 %nand
                dCfdLf = (nf+(mn/mp))*W*(eox/toxf); % n*W*(eox/toxf) + W*(eox/toxf*(mn/mp));
            elseif gates(j, 2) == 2 %nor
                dCfdLf = (nf*(mn/mp)+1)*W*(eox/toxf); % W*(eox/toxf) + n*W*(eox/toxf*(mn/mp));
            elseif gates(j, 2) == 3 %not
                dCfdLf = (1+(mn/mp))*W*(eox/toxf); % W*(eox/toxf) + W*(eox/toxf*(mn/mp));
            end

            gradCf_Lf = [gradCf_Lf dCfdLf];
            grad_d = [grad_d R*dCfdLf];
            gate_found = 1;
            break
        end
    end
end
end

```

```

if gate_found == 0 && gates(1, 1) ~= i
    gradCf_Lf = [gradCf_Lf 0];
    grad_d = [grad_d 0];
elseif gate_found == 0 && gates(1, 1) == i
    grad_d = [grad_d (Cf+Cd)*dRdL];
end
end

```

% Calculation of the partial derivatives of the capacitances of the fanout gates
 % with respect to Lf (transistor length of fanout gate)- the above partial derivatives are components
 % of the gradient vector of the capacitance of the fanout gates

```
gradCf_toxf = [];
```

```
for i = total_num_of_params/2+1: total_num_of_params
    gate_found = 0;
```

```

    for j = 2: s
        if gates(j, 1) == i-total_num_of_params/2
            Lf = gates(j,4);
            toxf = gates(j,5);
            nf = gates(j,3)
            if gates(j, 2) == 1 %nand
                dCfdtoxf = (nf + mn/mp)*W*Lf*exp*(-1/(toxf^2));
            elseif gates(j, 2) == 2 %nor
                dCfdtoxf = (1 + nf*(mn/mp))*W*Lf*exp*(-1/(toxf^2));
            elseif gates(j, 2) == 3 %not
                dCfdtoxf = (1 + mn/mp)*W*Lf*exp*(-1/(toxf^2));
            end

            gradCf_toxf = [gradCf_toxf dCfdtoxf];
            grad_d = [grad_d R*dCfdtoxf];
            gate_found = 1;
            break
        end
    end
end

```

```

if gate_found == 0 && gates(1, 1) ~= mod(i, total_num_of_params/2)
    grad_d = [grad_d 0];
elseif gate_found == 0 && gates(1, 1) == mod(i, total_num_of_params/2)
    grad_d = [grad_d dRdtoxf*(Cf+Cd)];
end
end

```

```

if fr == 1
    grad_d = grad_d + (1/3)*(1 + 2*Vtn/Vdd)*prev_grad_d;
else
    grad_d = grad_d + (1/3)*(1 + 2*abs(Vtp)/Vdd)*prev_grad_d;
end

```

10. Βιβλιογραφία

1. W. Maly, “An introduction to VLSI Process”
2. Ευμορφόπουλος Νέστορας, “Η ασυμπτωτική θεωρία ακραίων τιμών και η στατιστική ανάλυση ισχύος κυκλωμάτων CMOS VLSI”
3. Hongliang Chang and Sachin S. Sapatnekar, “Statistical Timing Analysis Under Spatial Correlations”
4. Anirudh Devgan and Chandramouli Kashyap, “Block-based Static Timing Analysis with Uncertainty”
5. Aseem Agarwal, David Blaauw, Vladimir Zolotov, “Statistical Timing Analysis for Intra-Die Process Variations with Spatial Correlations”
6. Jan M. Rabaey, “Digital Integrated Circuits a Design Perspectives”
7. Ashish Srivastava, Dennis Sylvester, David Blaauw, “Statistical Analysis and Optimization for VLSI: Timing and Power”
8. Neil Weste, Kamran Eshraghian, “Principles of CMOS VLSI Design: A Systems Perspective”
9. Athanasios Papoulis, “Probability, Random Variables, and Stochastic Processes”
10. Kevin P. Murphy, “Gaussians”
11. Michael John Sebastian Smith, “Application-Specific Integrated Circuits”
12. Marco Delaurenti, “Design and optimization techniques of high-speed VLSI circuits”
13. B. Van Zeghbroeck, “Principles of Semiconductor Devices”
14. Shannon Michael Kurtas, “Statistical Timing Analysis of Nonzero Skew Circuits”
15. Erdem Matoglu “Statistical Design, Analysis, and Diagnosis of Digital Systems and embedded RF Circuits”
16. Chirayu S. Amin, Noel Menezes, Kip Killpack, Florentin Dartu, Umakanta Choudhury, Nagib Hakim, Yehea I. Ismail, “Statistical Static Timing Analysis: How simple can we get?”
17. Chandu Visweswariah, “Fear, Uncertainty and Statistics”
18. Noel Menezes, “The good, the bad and the statistical”
19. D. Boning, J. Panganiban, K. Gonzalez – Valentin, S Nassif, C. Mc-Dowel, A. Gattiker, and F. Liu, “Test structures for delay variability”



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΘΕΣΣΑΛΙΑΣ



004000085977