



**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ**

**ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ,
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ**

ΜΕΘΟΔΟΙ ΑΝΑΛΥΣΗΣ ΤΗΣ ΑΞΙΟΠΙΣΤΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Η διατριβή αυτή πραγματοποιήθηκε από τον
Δημήτριο Π. Καραμπατζάκη
για τις απαιτήσεις του Διδακτορικού Διπλώματος

Επιβλέπων Καθηγητής
Γεώργιος Ι. Σταμούλης

Βόλος, Ιούνιος 2009

Αφιερωμένη στους γονείς μου,

Ελένη και Παπάγο

«Όλο τον κόσμο γύρισε, μα τίποτα δεν είδε»

N. Καββαδίας

“Not even a line of code”

ofni



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
ΥΠΟΥΡΓΕΙΟ ΑΝΑΠΤΥΞΗΣ



ΜΕΤΡΟ 8.3, ΔΡΑΣΗ 8.3.1



ΕΥΡΩΠΑΪΚΗ ΕΠΙΤΡΟΠΗ
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ
ΤΑΜΕΙΟ (ΕΚΤ)

**Η διατριβή αυτή εντάχθηκε και υποστηρίχθηκε από το πρόγραμμα της ΓΓΕΤ,
ΠΕΝΕΔ 2003 με τίτλο:**

**«ΤΑΥΤΟΧΡΟΝΗ ΒΕΛΤΙΣΤΗ ΣΧΕΔΙΑΣΗ ΤΩΝ ΑΓΩΓΩΝ ΤΡΟΦΟΔΟΣΙΑΣ ΚΑΙ
ΜΕΓΕΘΟΥΣ ΤΡΑΝΖΙΣΤΟΡ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ»**

ΠΡΟΛΟΓΟΣ

Είναι σημαντικό, κάθε άνθρωπός που διέτρεξε μια μεγάλη περίοδο στο Ελληνικό Πανεπιστήμιο, για να αποκτήσει περισσότερες και ορθότερες γνώσεις, να αναφερθεί και στην επιστημονική περιοχή που αγάπησε, αλλά και στους ανθρώπους και συνεργάτες που γνώρισε.

Η τεχνολογία των ημιαγωγών και του CMOS VLSI αποτελούν ένα γοητευτικό αντικείμενο, που βρίσκεται σε πλήρη ανάπτυξη στην εποχή μας και σου προσφέρει τη δυνατότητα να ασχοληθείς με πολλές δυναμικές πτυχές της. Στο αντικείμενο της παρούσας διατριβής καταλυτικό ρόλο έπαιξε η αντάμωση με τον Καθ. Γ. Σταμούλη, που κουβαλούσε φρέσκες ιδέες από τα εργαστήρια της INTEL αλλά και τα αποτελέσματα της συνεργασίας του με τον Δρ. Ν. Ευμορφόπουλο. Τα αποτελέσματα, για τη στατιστική εκτίμηση ρεύματος σε CMOS VLSI κυκλώματα που διέθετε η ερευνητική ομάδα το 2002, μας οδήγησαν στο να αναζητήσουμε νέες λύσεις και εφαρμογές για την ανάλυση αξιοπιστίας του Δικτύου Διανομής της Ισχύος στα σύγχρονα Ολοκληρωμένα Κυκλώματα.

Η συνεργασία με τους καθηγητές μου ήταν μοναδική και θα ήθελα να τους ευχαριστήσω θερμά για όλα αυτά που μου προσέφεραν στην πορεία αυτή. Επιπρόσθετα, θα ήθελα να ευχαριστήσω θερμά τον Δρ. Π. Δημητρόπουλο για τις αμέτρητες ευκαιρίες που μου έδωσε να εργαστώ σε πραγματικά προβλήματα που απασχολούν τους μηχανικούς και να συμμετάσχω στην κατασκευή ενός CMOS VLSI ολοκληρωμένου. Σημαντική και θεμελιώδης ήταν η συνεισφορά των καθηγητών Α. Δόλλα και Δ. Πνευματικάτου. Θα ήθελα να τους ευχαριστήσω για όλα αυτά που μου προσέφεραν από τα πρώτα μου χρόνια στο Πολυτεχνείο Κρήτης, αλλά και για την τιμή που μου έκαναν να συμμετάσχουν στην τριμελή επιτροπή της διατριβής μου.

Στα χρόνια αυτά η ενασχόληση μου με τα εργαστήρια της σχολής ήταν ιδιαίτερη και για το λόγο αυτό βρέθηκα να συνεργάζομαι με πολλούς νέους μηχανικούς. Καρπός της εργασίας αυτής ήταν η ανάπτυξη αρκετών διπλωματικών εργασιών, αλλά και φιλικών σχέσεων. Η σημαντικότερη από αυτές είναι με το μηχανικό Μ. Τσιαμπά που χαρακτηρίστηκε από διαχρονικότητα, κοινό όραμα και εργασία χειμώνα-καλοκαίρι. Φυσικά, θα ήθελα να αναφέρω και τη συνεργασία μου με τους Δ. Μπουντά, Α. Δαδαλιάρη, την Μ. Κοζύρη και τους υπόλοιπους μηχανικούς του γραφείου Ε5. Να ευχαριστήσω τα αδέρφια μου Φώτη και Δάκη αλλά και το φίλο Γ. Ιωσηφίδη για τη συμπαράσταση τους. Ιδιαίτερες ευχαριστίες θα ήθελα να δώσω και στους ανθρώπους της εταιρείας HELIC S.A., Δρ. Σ. Μπαντά και Δρ. Γ. Κουτσογιαννόπουλο, για την εμπιστοσύνη που μας έδειξαν. Τέλος, ευχαριστώ θερμά τη συνάδελφο και φίλη Ζ. Χαρπαντίδου για την επιμέλεια του τελικού κειμένου.

Επίσης, είναι σημαντικό να αναφέρουμε ότι μετά από πολλές προσπάθειες και χρόνια χωρίς χρηματική υποστήριξη καταφέραμε να εντάξουμε την ιδέα μας σε πρόγραμμα κρατικής ενίσχυσης και να υποστηρίξουμε την εργασία μας με το πρόγραμμα της ΓΓΕΤ- ΠΕΝΕΔ 2003.

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΡΟΛΟΓΟΣ	5
ΠΕΡΙΕΧΟΜΕΝΑ.....	6
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ.....	7
ΕΥΡΕΤΗΡΙΟ ΕΙΚΟΝΩΝ	8
ΕΙΣΑΓΩΓΗ.....	10
ΠΛΑΙΣΙΟ ΕΝΤΑΞΗΣ ΤΗΣ ΠΑΡΟΥΣΑΣ ΔΙΑΤΡΙΒΗΣ	11
ΠΡΟΗΓΟΥΜΕΝΗ ΕΡΕΥΝΗΤΙΚΗ ΔΡΑΣΤΗΡΙΟΤΗΤΑ ΚΑΙ ΣΤΟΧΟΙ ΤΗΣ ΠΑΡΟΥΣΑΣ ΔΙΑΤΡΙΒΗΣ	12
ΠΕΡΙΓΡΑΦΜΑ ΤΗΣ ΔΙΑΤΡΙΒΗΣ.....	15
1^ο ΚΕΦΑΛΑΙΟ: Η ΚΑΤΑΝΑΛΩΣΗ ΚΑΙ ΤΟ ΔΙΚΤΥΟ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ.....	17
1.1. Η ΤΕΧΝΟΛΟΓΙΑ ΤΩΝ ΗΜΙΑΓΩΓΩΝ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ.....	18
1.2. ΜΕΣΗ ΚΑΙ ΜΕΓΙΣΤΗ ΙΣΧΥΣ ΣΕ ΣΥΓΧΡΟΝΑ ΟΚ.....	28
1.3. ΠΡΟΒΛΗΜΑΤΑ ΑΞΙΟΠΙΣΤΙΑΣ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ.....	49
1.4. ΤΟ ΔΙΚΤΥΟ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ.....	55
2^ο ΚΕΦΑΛΑΙΟ: ΣΤΑΤΙΣΤΙΚΗ ΕΚΤΙΜΗΣΗ ΡΕΥΜΑΤΟΣ ΚΑΙ ΕΦΑΡΜΟΓΕΣ ΣΤΟ ΔΔΙ ΤΩΝ ΟΚ.....	66
2.1. Η ΣΤΑΤΙΣΤΙΚΗ ΔΙΑΤΥΠΩΣΗ ΤΩΝ ΟΡΙΣΜΩΝ ΤΗΣ ΜΕΣΗΣ ΚΑΙ ΤΗΣ ΜΕΓΙΣΤΗΣ ΙΣΧΥΟΣ	67
2.2. Η ΣΤΑΤΙΣΤΙΚΗ ΕΚΤΙΜΗΣΗ ΤΟΥ ΜΕΓΙΣΤΟΥ ΡΕΥΜΑΤΟΣ	68
2.3. ΜΕΘΟΔΟΣ ΕΠΙΒΕΒΑΙΩΣΗΣ ΑΞΙΟΠΙΣΤΙΑΣ ΔΔΙ.....	72
2.4. ΑΝΑΛΥΣΗ ΚΑΙ ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ ΠΛΑΤΩΝ ΔΔΙ.....	79
3^ο ΚΕΦΑΛΑΙΟ: ΥΛΟΠΟΙΗΣΕΙΣ ΤΕΧΝΙΚΩΝ ΣΕ ΡΟΕΣ ΣΧΕΔΙΑΣΗΣ ΒΙΟΜΗΧΑΝΙΚΩΝ ΕΡΓΑΛΕΙΩΝ CAD.....	83
3.1. ΣΥΓΧΡΟΝΕΣ ΡΟΕΣ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΟΚ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟ-NANOMETΡΟΥ	84
3.2. ΠΡΩΤΗ ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΑΝΑΛΥΣΗ ΔΔΙ.....	93
3.3. ΔΕΥΤΕΡΗ ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΕΠΙΒΕΒΑΙΩΣΗ ΑΞΙΟΠΙΣΤΙΑΣ ΔΔΙ.....	97
4^ο ΚΕΦΑΛΑΙΟ: ΠΕΙΡΑΜΑΤΙΚΕΣ ΜΕΤΡΗΣΕΙΣ, ΣΥΜΠΕΡΑΣΜΑΤΑ ΚΑΙ ΜΕΛΛΟΝΤΙΚΕΣ ΕΠΕΚΤΑΣΕΙΣ.....	106
4.1. ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ ΠΛΑΤΩΝ ΔΔΙ ΥΠΟ ΠΕΡΙΟΡΙΣΜΟΥΣ.....	107
4.2. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΤΗΣ ΠΡΩΤΗΣ ΠΡΟΣΕΓΓΙΣΗΣ	116
4.3. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΔΕΥΤΕΡΗΣ ΡΟΗΣ ΣΧΕΔΙΑΣΗΣ	118
4.4. ΣΥΜΠΕΡΑΣΜΑΤΑ	127
4.5. ΜΕΛΛΟΝΤΙΚΕΣ ΕΠΕΚΤΑΣΕΙΣ	129
ΒΙΒΛΙΟΓΡΑΦΙΑ	130
ΠΑΡΑΡΤΗΜΑ Α	135
ΠΑΡΑΡΤΗΜΑ Β	136

ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

ΠΙΝΑΚΑΣ 1. ΟΙ ΠΡΟΒΛΕΨΕΙΣ ΤΗΣ ΣΙΑ ΓΙΑ ΤΗΝ ΤΕΧΝΟΛΟΓΙΑ ΤΩΝ ΗΜΙΑΓΩΓΩΝ (ITRS 2002).	19
ΠΙΝΑΚΑΣ 2. Η ΑΥΞΗΣΗ ΤΩΝ ΕΠΙΠΕΔΩΝ ΜΕΤΑΛΛΟΥ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ ΤΗΣ TSMC.	22
ΠΙΝΑΚΑΣ 3. ΜΙΑ CMOS ΠΥΛΗ NAND 2-ΕΙΣΟΔΩΝ.....	38
ΠΙΝΑΚΑΣ 4. ΠΙΝΑΚΕΣ ΤΙΜΩΝ (LOOKUP TABLES).	42
ΠΙΝΑΚΑΣ 5. ΑΠΟΤΕΛΕΣΜΑΤΑ ΕΚΤΙΜΗΣΗΣ ΤΩΝ ΜΕΓΙΣΤΩΝ ΡΕΥΜΑΤΩΝ ΣΤΙΣ ΤΡΕΙΣ ΒΑΣΙΚΕΣ ΓΡΑΜΜΕΣ ΤΡΟΦΟΔΟΣΙΑΣ.	108
ΠΙΝΑΚΑΣ 6. ΑΠΟΤΕΛΕΣΜΑΤΑ ΤΩΝ ΕΚΤΙΜΩΜΕΝΩΝ ΡΕΥΜΑΤΩΝ ΣΕ ΚΑΘΕ ΥΠΟΚΥΚΛΩΜΑ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΑΝΑΦΟΡΑΣ C6288.	111
ΠΙΝΑΚΑΣ 7. ΤΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΤΗΣ ΕΚΤΙΜΗΣΗΣ ΤΩΝ ΜΕΓΙΣΤΩΝ ΡΕΥΜΑΤΩΝ.	116
ΠΙΝΑΚΑΣ 8. ΑΠΟΤΕΛΕΣΜΑΤΑ ΠΤΩΣΗΣ ΤΑΣΗΣ ΣΕ ΚΑΘΕ ΥΠΟ ΕΞΕΤΑΣΗ ΚΑΤΑΒΟΘΡΑ.	117
ΠΙΝΑΚΑΣ 9. ΜΕΓΙΣΤΑ ΡΕΥΜΑΤΑ ΔΕΙΓΜΑΤΟΛΗΨΙΩΝ ΚΑΙ ΕΚΤΙΜΗΣΗΣ ΓΙΑ ΚΑΘΕ ΚΑΤΑΒΟΘΡΑ ΓΙΑ ΤΑ ΔΥΟ ΚΥΚΛΩΜΑΤΑ ΑΝΑΦΟΡΑΣ.	118
ΠΙΝΑΚΑΣ 10. ΜΕΓΙΣΤΗ ΠΤΩΣΗ ΤΑΣΗΣ (ΑΚΡΙΒΗΣ ΚΑΙ ΠΕΣΙΜΙΣΤΙΚΗ) ΣΕ ΟΛΕΣ ΤΙΣ ΚΑΤΑΒΟΘΡΕΣ ΡΕΥΜΑΤΟΣ, ΓΙΑ ΤΑ ΥΠΟ ΕΞΕΤΑΣΗ ΚΥΚΛΩΜΑΤΑ ΚΑΙ ΓΙΑ ΔΙΑΦΟΡΩΝ ΜΕΓΕΘΩΝ ΔΔΙ.	119
ΠΙΝΑΚΑΣ 11. ΣΥΝΕΧΕΙΑ ΤΟΥ ΠΙΝΑΚΑ 10.....	120
ΠΙΝΑΚΑΣ 12. Η ΠΤΩΣΗ ΤΑΣΗΣ ΓΙΑ ΟΛΕΣ ΤΙΣ ΠΕΡΙΠΤΩΣΕΙΣ ΔΔΙ ΓΙΑ ΤΟ ΚΥΚΛΩΜΑ ΤΟΥ COMPARATOR.	123
ΠΙΝΑΚΑΣ 13. ΤΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΧΡΟΝΙΣΜΟΥ ΓΙΑ ΠΤΩΣΗ ΤΑΣΗΣ 20% ΤΟΥ V_{DD} ΣΕ ΟΛΕΣ ΤΙΣ ΚΑΤΑΒΟΘΡΕΣ.	124
ΠΙΝΑΚΑΣ 14. ΤΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΧΡΟΝΙΣΜΟΥ ΜΕ ΕΦΑΡΜΟΓΗ ΤΩΝ ΠΤΩΣΕΩΝ ΤΑΣΗΣ ΜΕΤΑ ΤΗΝ ΕΚΤΙΜΗΣΗ, ΜΕ $w=0.5$	125
ΠΙΝΑΚΑΣ 15. ΤΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΧΡΟΝΙΣΜΟΥ ΜΕ ΕΦΑΡΜΟΓΗ ΤΩΝ ΠΤΩΣΕΩΝ ΤΑΣΗΣ ΜΕΤΑ ΤΗΝ ΕΚΤΙΜΗΣΗ, ΜΕ $w=1$	126

ΕΥΡΕΤΗΡΙΟ ΕΙΚΟΝΩΝ

ΕΙΚΟΝΑ 1. Η ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ ΣΕ ΣΥΝΑΡΤΗΣΗ ΜΕ ΤΗΝ ΑΥΞΗΣΗ ΤΗΣ ΘΕΡΜΟΚΡΑΣΙΑΣ, ΙΔΙΟΚΤΗΣΙΑ NIVEK DE INTEL.	11
ΕΙΚΟΝΑ 2. Η ΑΥΞΗΣΗ ΤΗΣ ΖΗΤΗΣΗΣ ΤΩΝ ΤΡΑΝΖΙΣΤΟΡ ΚΑΙ Η ΠΟΡΕΙΑ ΜΕΙΩΣΗ ΤΟΥ ΚΟΣΤΟΥΣ [HARRIS].....	20
ΕΙΚΟΝΑ 3. ΚΑΘΥΣΤΕΡΗΣΗ ΠΥΛΗΣ ΚΑΙ ΑΓΩΓΩΝ ΔΙΑΣΥΝΔΕΣΗΣ [SIA97].	21
ΕΙΚΟΝΑ 4. Η ΙΚΑΝΟΤΗΤΑ ΤΗΣ ΔΙΑΣΥΝΔΕΣΗΣ ΜΑΚΡΙΝΩΝ ΣΗΜΕΙΩΝ ΚΛΙΜΑΚΩΝΕΤΑΙ [HARRIS].	21
ΕΙΚΟΝΑ 5. Η ΑΥΞΗΣΗ ΤΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ ΣΤΟΥΣ ΕΠΕΞΕΡΓΑΣΤΕΣ ΤΗΣ INTEL [HARRIS].	23
ΕΙΚΟΝΑ 6. Η ΤΑΣΗ ΓΙΑ ΚΑΤΑΝΑΛΩΣΗ ΔΥΝΑΜΙΚΗΣ ΚΑΙ ΣΤΑΤΙΚΗΣ ΙΣΧΥΟΣ [IEEE03].	24
ΕΙΚΟΝΑ 7. Η ΤΑΣΗ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ ΣΕ ΣΥΓΧΡΟΝΑ SOC ΕΜΠΟΡΙΚΑ ΣΥΣΤΗΜΑΤΑ [SIA08].	24
ΕΙΚΟΝΑ 8. ΑΝΑΛΥΣΗ ΤΩΝ ΣΥΝΙΣΤΩΣΩΝ ΤΗΣ ΤΑΣΗΣ ΤΡΟΦΟΔΟΣΙΑΣ ΣΑΝ ΠΟΣΟΣΤΟ ΕΠΙ ΤΗΣ ΟΝΟΜΑΣΤΙΚΗΣ ΤΑΣΗΣ ΤΡΟΦΟΔΟΣΙΑΣ [PENED03].	25
ΕΙΚΟΝΑ 9. ΣΥΓΚΡΙΣΗ ΤΗΣ ΠΡΟΚΥΠΤΟΥΣΑΣ ΚΑΤΑΝΟΜΗΣ ΤΩΝ ΔΙΑΔΡΟΜΩΝ ΑΠΟ ΤΗΝ ΑΝΑΛΥΣΗ ΧΡΟΝΙΣΜΟΥ ΜΕ ΤΗΝ ΠΡΑΓΜΑΤΙΚΗ ΚΑΤΑΝΟΜΗ [PENED03].	26
ΕΙΚΟΝΑ 10. ΣΥΓΚΡΙΣΗ ΤΩΝ ΚΑΜΠΥΛΩΝ ΙΣΧΥΟΣ-ΚΑΘΥΣΤΕΡΗΣΗΣ ΠΟΥ ΠΡΟΚΥΠΤΟΥΝ ΑΠΟ ΤΗΝ ΥΠΑΡΧΟΥΣΑ ΚΑΙ ΤΗΝ ΠΡΟΤΕΙΝΟΜΕΝΗ ΜΕΘΟΔΟΛΟΓΙΑ [PENED03].	26
ΕΙΚΟΝΑ 11. ΕΠΙΜΕΡΙΣΜΟΣ ΤΟ ΚΟΣΤΟΥΣ ΓΙΑ ΤΗΝ ΠΡΟΤΥΠΟΠΟΙΗΣΗ ΕΝΟΣ ΑΝΑΛΟΓΙΚΟΥ-ΨΗΦΙΑΚΟΥ ΟΚ (MIXED-SIGNAL CHIP).	27
ΕΙΚΟΝΑ 12. ΣΥΝΙΣΤΩΣΕΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ ΣΕ ΜΙΑ ΠΥΛΗ CMOS.	29
ΕΙΚΟΝΑ 13. ΠΑΡΑΣΙΤΙΚΕΣ ΧΩΡΗΤΙΚΟΤΗΤΕΣ ΦΟΡΤΙΟΥ ΣΤΗΝ ΕΞΟΔΟ ΜΙΑΣ ΠΥΛΗΣ CMOS.	31
ΕΙΚΟΝΑ 14. ΡΕΥΜΑΤΑ ΔΙΑΡΡΟΗΣ ΕΝΟΣ ΤΡΑΝΖΙΣΤΟΡ MOS ΣΤΗΝ ΠΕΡΙΟΧΗ ΤΗΣ ΑΠΟΚΟΠΗΣ.	35
ΕΙΚΟΝΑ 15. ΜΙΑ ΑΠΛΗ ΠΥΛΗ ΟΠΟΥ ΦΑΙΝΕΤΑΙ ΣΕ ΠΟΙΑ ΣΗΜΕΙΑ ΕΧΟΥΜΕ ΣΤΑΤΙΚΗ ΚΑΙ ΔΥΝΑΜΙΚΗ ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ.	37
ΕΙΚΟΝΑ 16. ΜΙΑ CMOS ΠΥΛΗ NAND 2-ΕΙΣΟΔΩΝ.	37
ΕΙΚΟΝΑ 17. ΑΓΩΓΗ ΥΠΟΚΑΤΩΦΛΙΟΥ ΤΡΑΝΖΙΣΤΟΡ ΚΑΙ ΑΓΩΓΗ ΜΕΤΑΞΥ ΠΥΛΗΣ ΚΑΙ ΚΑΝΑΛΙΟΥ.	38
ΕΙΚΟΝΑ 18. ΑΓΩΓΗ ΤΗΣ ΑΝΑΣΤΡΟΦΑ ΠΟΛΩΜΕΝΗΣ ΔΙΟΔΟΥ ΠΟΥ ΣΧΗΜΑΤΙΖΕΤΑΙ ΑΠΟ ΤΗΝ ΠΕΡΙΟΧΗ ΔΙΑΧΥΣΕΩΣ ΚΑΙ ΤΟ ΥΠΟΒΑΘΡΟ.	39
ΕΙΚΟΝΑ 19. ΜΟΝΤΕΛΟ ΥΠΟΛΟΓΙΣΜΟΥ ΚΑΤΑΝΑΛΩΣΗΣ ΕΣΩΤΕΡΙΚΗΣ ΙΣΧΥΟΣ ΓΙΑ ΕΝΑ ΑΠΛΟ ΣΥΝΔΥΑΣΤΙΚΟ ΚΕΛΙ, U1.	40
ΕΙΚΟΝΑ 20. ΔΙΣΔΙΑΣΤΑΤΟΣ ΠΙΝΑΚΑΣ ΤΙΜΩΝ (TWO-DIMENSIONAL LOOKUP TABLE) ΤΗΣ ΕΞΟΔΟΥ.	41
ΕΙΚΟΝΑ 21. ΑΠΛΟ ΚΕΛΙ ΜΕ ΤΡΙΑ ΕΠΙΠΕΔΑ ΛΟΓΙΚΗΣ ΚΑΙ ΤΕΣΣΕΡΙΣ ΕΙΣΟΔΟΥΣ.	41
ΕΙΚΟΝΑ 22. Η ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ ΣΕ ΣΥΝΑΡΤΗΣΗ ΤΟΥ ΧΡΟΝΟΥ ΣΕ ΕΝΑΝ ΜΙΚΡΟΕΠΕΞΕΡΓΑΣΤΗ [SUN MICROSYSTEMS].	46
ΕΙΚΟΝΑ 23. ΓΡΑΦΙΚΗ ΑΠΕΙΚΟΝΙΣΗ ΤΟΥ ΟΡΙΣΜΟΥ ΤΗΣ ΜΕΣΗΣ ΙΣΧΥΟΣ ΣΤΑ ΚΥΚΛΩΜΑΤΑ CMOS VLSI.	47
ΕΙΚΟΝΑ 24. ΓΡΑΦΙΚΗ ΑΠΕΙΚΟΝΙΣΗ ΤΟΥ ΟΡΙΣΜΟΥ ΤΗΣ ΜΕΓΙΣΤΗΣ ΙΣΧΥΟΣ ΣΤΑ ΚΥΚΛΩΜΑΤΑ CMOS VLSI.	48
ΕΙΚΟΝΑ 25. ΘΕΡΜΟΚΡΑΣΙΑ ΠΥΡΗΝΑ ITANIUM 2 [INTEL].	50
ΕΙΚΟΝΑ 26. ΑΝΟΙΚΤΟΚΥΚΛΩΜΑ ΜΕΤΑΛΛΙΚΟΥ ΑΓΩΓΟΥ ΕΞΑΙΤΙΑΣ ΤΟΥ ΦΑΙΝΟΜΕΝΟΥ ΤΗΣ ΗΛΕΚΤΡΟΜΕΤΑΝΑΣΤΕΥΣΗΣ.	51
ΕΙΚΟΝΑ 27. Η ΠΤΩΣΗ ΤΑΣΗΣ ΠΟΥ ΕΜΦΑΝΙΖΕΤΑΙ ΣΕ ΣΥΓΧΡΟΝΑ ΟΚ ΜΕΣΑ ΣΕ ΜΙΑ ΠΕΡΙΟΔΟ ΡΟΛΟΓΙΟΥ.	52
ΕΙΚΟΝΑ 28. ΠΤΩΣΗ ΤΑΣΗΣ (ΚΑΙ ΑΝΑΠΗΔΗΣΗ ΓΕΙΩΣΗΣ) ΚΑΤΑ ΜΗΚΟΣ ΤΩΝ ΑΓΩΓΩΝ ΤΟΥ ΔΙΚΤΥΟΥ ΔΙΑΝΟΜΗΣ ΙΣΧΥΟΣ, ΚΑΙ ΑΝΤΙΚΤΥΠΟΣ ΣΤΑ ΠΕΡΙΘΩΡΙΑ ΘΟΡΥΒΟΥ ΜΙΑΣ ΓΕΝΙΚΗΣ ΠΥΛΗΣ CMOS.	53
ΕΙΚΟΝΑ 29. ΠΤΩΣΗ ΤΑΣΗΣ ΣΤΗΝ ΕΠΙΦΑΝΕΙΑ ΣΤΟ ΕΠΕΞΕΡΓΑΣΤΗ ITANIUM 2.	54
ΕΙΚΟΝΑ 30. Η ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΤΟΥ ΣΥΝΟΛΙΚΟΥ ΔΔΙ.	56
ΕΙΚΟΝΑ 31. ΤΟΜΗ ΣΕ ΣΥΣΚΕΥΑΣΙΑ DIP16 ΚΑΙ Ο ΤΡΟΠΟΣ ΔΙΑΣΥΝΔΕΣΗΣ ΜΕ BOND WIRES.	56
ΕΙΚΟΝΑ 32. ΟΙ ΣΦΑΙΡΕΣ C4 ΣΤΟ ΜΙΚΡΟΣΚΟΠΙΟ ΚΑΙ Ο ΤΡΟΠΟΣ ΔΙΑΣΥΝΔΕΣΗΣ.	57
ΕΙΚΟΝΑ 33. ΤΟ ΔΔΙ ΙΣΧΥΟΣ ΣΤΟ ΧΑΜΗΛΟΤΕΡΟ ΕΠΙΠΕΔΟ ΓΙΑ ΤΗΝ ΔΙΑΣΥΝΔΕΣΗ STD CELL.	57
ΕΙΚΟΝΑ 34. ΤΟ ΔΔΙ ΣΕ ΟΛΑ ΤΑ ΕΠΙΠΕΔΑ ΚΑΙ ΣΕ ΔΙΑΦΟΡΕΣ ΤΟΜΕΣ.	58
ΕΙΚΟΝΑ 35. ΔΙΑΦΟΡΕΣ ΣΧΕΔΙΑΣΤΙΚΕΣ ΠΑΡΑΜΕΤΡΟΙ ΕΝΟΣ ΔΔΙ.	59
ΕΙΚΟΝΑ 36. ΤΟΠΟΛΟΓΙΑ ΜΟΡΦΗΣ ΔΕΝΤΡΟΥ ΚΑΙ ΗΛΕΚΤΡΙΚΗ ΑΝΑΛΥΣΗ ΤΟΥ ΔΙΚΤΥΟΥ ΔΙΑΝΟΜΗΣ ΙΣΧΥΟΣ.	59
ΕΙΚΟΝΑ 37. ΔΔΙ ΤΟΠΟΛΟΓΙΑ ΜΟΡΦΗΣ ΠΛΕΓΜΑΤΟΣ ΚΑΙ ΗΛΕΚΤΡΙΚΗ ΑΝΑΛΥΣΗ ΤΟΥ ΔΙΚΤΥΟΥ ΔΙΑΝΟΜΗΣ ΙΣΧΥΟΣ.	60
ΕΙΚΟΝΑ 38. ΤΟ ΔΔΙ ΣΕ ΔΙΑΦΟΡΟΥΣ ΕΠΕΞΕΡΓΑΣΤΕΣ (A.PPC 750 POWER GRID, B. AUTOMATED MIPS POWER GRID).	61
ΕΙΚΟΝΑ 39. Η ΠΤΩΣΗ ΤΑΣΗΣ ΣΕ ΕΝΑ ΠΕΙΡΑΜΑΤΙΚΟ ΚΥΚΛΩΜΑ.	62
ΕΙΚΟΝΑ 40. Η ΑΥΞΗΣΗ ΤΟΥ ΡΕΥΜΑΤΟΣ ΚΑΙ Η ΤΑΥΤΟΧΡΟΝΗ ΑΥΞΗΣΗ ΤΟΥ ΘΟΡΥΒΟΥ LDI/DT ΣΤΙΣ ΓΕΝΕΕΣ ΕΠΕΞΕΡΓΑΣΤΩΝ [HASHIMOTO].	63

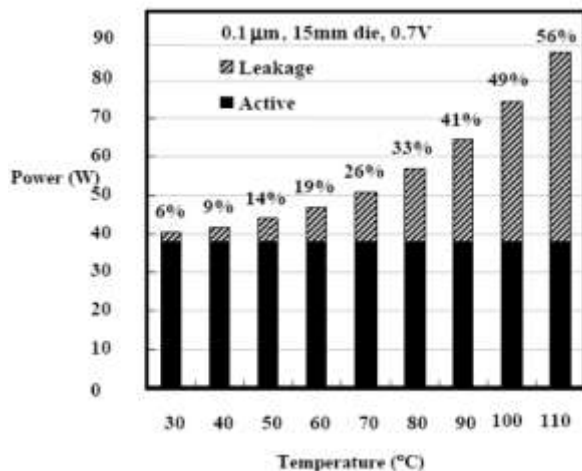
ΕΙΚΟΝΑ 41. Η ΕΠΙΔΡΑΣΗ ΤΟΥ ΘΟΡΥΒΟΥ LDI/DT ΣΤΟ ΠΕΙΡΑΜΑΤΙΚΟ ΔΔΙ.....	63
ΕΙΚΟΝΑ 42. Η ΕΠΙΔΡΑΣΗ ΤΗΣ ΥΠΑΡΞΗΣ ΧΩΡΗΤΙΚΟΤΗΤΩΝ ΔΙΑΦΥΓΗΣ ΣΕ ΕΝΑ ΔΔΙ.....	64
ΕΙΚΟΝΑ 43. ΤΟ ΣΧΗΜΑΤΙΚΟ ΕΝΟΣ ΠΥΚΝΩΤΗ ΔΙΑΦΥΓΗΣ ΚΑΙ Η ΦΥΣΙΚΗ ΣΧΕΔΙΑΣΗ ΕΝΟΣ WAFFLE ΠΥΚΝΩΤΗ..	65
ΕΙΚΟΝΑ 44. ΠΕΙΡΑΜΑΤΙΚΕΣ ΣΥΝΑΡΤΗΣΕΙΣ ΚΑΤΑΝΟΜΗΣ ΚΑΙ ΠΥΚΝΟΤΗΤΑΣ ΤΟΥ CYCLE-ACCURATE ΚΟΡΥΦΑΙΟΥ ΡΕΥΜΑΤΟΣ ΓΙΑ 3 ΒΑΣΙΚΟΥΣ ΑΓΩΓΟΥΣ ΤΟΥ ΔΔΙ (FOR THE C6288 BENCHMARK CIRCUIT)..	69
ΕΙΚΟΝΑ 45. ΠΕΙΡΑΜΑΤΙΚΕΣ ΣΥΝΑΡΤΗΣΕΙΣ ΚΑΤΑΝΟΜΗΣ ΚΑΙ ΠΥΚΝΟΤΗΤΑΣ ΤΟΥ CYCLE-ACCURATE ΚΟΡΥΦΑΙΟΥ ΡΕΥΜΑΤΟΣ ΓΙΑ ΔΙΑΦΟΡΑ ΚΥΚΛΩΜΑΤΑ ΤΩΝ ΣΧΕΔΙΑΣΕΩΝ ΑΝΑΦΟΡΑΣ.	69
ΕΙΚΟΝΑ 46. DC ΣΧΗΜΑ ΡΕΥΜΑΤΩΝ ΠΟΛΛΩΝ ΠΕΡΙΟΔΩΝ.	72
ΕΙΚΟΝΑ 47. ΑΠΛΗ ΜΟΡΦΗ ΔΔΙ ΚΑΙ Η ΩΜΙΚΗ ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΤΟΥ.....	73
ΕΙΚΟΝΑ 48. ΤΑ ΜΕΓΙΣΤΙΚΑ ΣΗΜΕΙΑ ΕΝΟΣ ΔΙΑΤΕΤΑΓΜΕΝΟΥ ΣΥΝΟΛΟΥ $D \subset \mathcal{R}^n$ ΚΑΙ Η ΜΕΓΙΣΤΟΠΟΙΗΣΗ ΤΗΣ ΓΡΑΜΜΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ ΣΕ ΑΥΤΟ.	76
ΕΙΚΟΝΑ 49. Ο ΧΩΡΟΣ ΤΩΝ ΔΕΙΓΜΑΤΩΝ ΡΕΥΜΑΤΟΣ ΚΑΙ Η ΟΛΙΣΘΗΣΗ ΤΩΝ ΜΕΓΙΣΤΙΚΩΝ ΤΟΥ ΣΗΜΕΙΩΝ ΠΡΟΣ ΤΑ ΜΕΓΙΣΤΙΚΑ ΣΗΜΕΙΑ ΤΟΥ ΣΥΝΟΛΙΚΟΥ ΧΩΡΟΥ ΤΩΝ ΡΕΥΜΑΤΩΝ.	78
ΕΙΚΟΝΑ 50. ΓΕΝΙΚΗ ΜΟΡΦΗ ΜΙΑ ΣΥΓΧΡΟΝΗΣ ΡΟΗΣ ΣΧΕΔΙΑΣΗΣ ΟΚ.	84
ΕΙΚΟΝΑ 51. ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΟΚ ΓΙΑ ΤΗΝ ΑΝΤΙΜΕΤΩΠΙΣΗ ΘΕΜΑΤΩΝ ΠΟΥ ΣΧΕΤΙΖΟΝΤΑΙ ΤΟΥ ΔΔΙ.	86
ΕΙΚΟΝΑ 52. ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΟΚ ΓΙΑ ΤΗΝ ΑΝΤΙΜΕΤΩΠΙΣΗ ΘΕΜΑΤΩΝ ΠΟΥ ΣΧΕΤΙΖΟΝΤΑΙ ΤΟΥ ΔΔΙ.	89
ΕΙΚΟΝΑ 53. ΡΟΗ ΠΛΗΡΟΦΟΡΙΑΣ ΣΕ ΕΝΑ PDK (CADENCE).....	89
ΕΙΚΟΝΑ 54. ΤΟ ΠΕΡΙΒΑΛΛΟΝ ΤΟΥ ΕΡΓΑΛΕΙΟΥ NANOSIM (SYNOPSIS).	91
ΕΙΚΟΝΑ 55. Ο ΔΙΑΜΕΛΙΣΜΟΣ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΣΕ ΜΙΑ ΠΡΟΣΟΜΟΙΩΣΗ NANOSIM.....	91
ΕΙΚΟΝΑ 56. Η ΚΥΜΑΤΟΜΟΡΦΕΣ ΡΕΥΜΑΤΟΣ ΣΕ ΓΡΑΜΜΕΣ ΤΡΟΦΟΔΟΣΙΑΣ.	91
ΕΙΚΟΝΑ 57. Η ΣΥΣΚΕΥΗ PDEVICE ΚΑΙ Η ΚΥΚΛΩΜΑΤΙΚΗ ΤΗΣ ΠΑΡΟΥΣΙΑΣΗ.	93
ΕΙΚΟΝΑ 58. ΤΟ ΠΛΕΓΜΑ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ ΣΤΟΥΣ ΑΓΩΓΟΥΣ ΤΡΟΦΟΔΟΣΙΑΣ ΣΕ ΣΧΗΜΑΤΙΚΗ (SCHEMATIC) ΚΑΙ ΦΥΣΙΚΗ (LAYOUT) ΠΑΡΟΥΣΙΑΣΗ.	94
ΕΙΚΟΝΑ 59. Η ΠΡΩΤΗ ΣΧΕΔΙΑΣΤΙΚΗ ΡΟΗ ΓΙΑ ΤΗΝ ΑΝΑΛΥΣΗ ΑΞΙΟΠΙΣΤΙΑΣ ΤΟΥ ΔΙΚΤΥΟΥ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ ΣΕ ΕΝΑ ΟΚ.....	95
ΕΙΚΟΝΑ 60. Η ΔΕΥΤΕΡΗ ΣΧΕΔΙΑΣΤΙΚΗ ΡΟΗ ΓΙΑ ΤΗΝ ΑΝΑΛΥΣΗ ΑΞΙΟΠΙΣΤΙΑΣ ΤΟΥ ΔΙΚΤΥΟΥ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ ΣΕ ΕΝΑ ΟΚ.....	97
ΕΙΚΟΝΑ 61. ΑΝΑΛΥΤΙΚΑ Η ΔΕΥΤΕΡΗ ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΤΟ ΔΔΙ ΣΕ ΕΝΑ ΟΚ.	99
ΕΙΚΟΝΑ 62. ΤΟ ΚΥΚΛΩΜΑ ΑΝΑΦΟΡΑΣ C6288 ΤΗΣ ΟΙΚΟΓΕΝΕΙΑΣ ISCAS85.....	107
ΕΙΚΟΝΑ 63. ΤΑ ΒΕΛΤΙΣΤΟΠΟΙΗΜΕΝΑ ΔΔΙ ΔΟΜΗΣ ΔΕΝΔΡΟΥ ΓΙΑ ΔΙΑΦΟΡΕΣ ΠΕΙΡΑΜΑΤΙΚΕΣ ΠΕΡΙΠΤΩΣΕΙΣ.	110
ΕΙΚΟΝΑ 64. Η (III) ΤΡΙΤΗ ΤΟΠΟΛΟΓΙΑ ΜΕ ΔΟΜΗ ΔΔΙ ΤΥΠΟΥ ΠΛΕΓΜΑΤΟΣ ΚΑΙ ΟΙ ΒΕΛΤΙΣΤΟΠΟΙΗΣΕΙΣ ΤΩΝ ΠΛΑΤΩΝ.....	113
ΕΙΚΟΝΑ 65. Η (IV) ΤΕΤΑΡΤΗ ΤΟΠΟΛΟΓΙΑ ΜΕ ΔΟΜΗ ΔΔΙ ΤΥΠΟΥ ΠΛΕΓΜΑΤΟΣ ΚΑΙ ΟΙ ΒΕΛΤΙΣΤΟΠΟΙΗΣΕΙΣ ΤΩΝ ΠΛΑΤΩΝ.....	114
ΕΙΚΟΝΑ 66. Η ΠΤΩΣΗ ΤΑΣΗΣ ΣΕ ΕΝΑ ΟΚ ΠΡΙΝ ΚΑΙ ΜΕΤΑ ΤΗΝ ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ (CADENCE).....	115
ΕΙΚΟΝΑ 67. Η ΤΟΠΟΘΕΤΗΣΗ ΤΩΝ ΠΗΓΩΝ ΤΡΟΦΟΔΟΣΙΑΣ ΚΑΙ ΤΩΝ ΚΑΤΑΒΟΘΡΩΝ ΣΤΟ ΥΠΟ ΕΞΕΤΑΣΗ ΔΔΙ. ...	117
ΕΙΚΟΝΑ 68. ΤΑ ΥΠΟΚΥΚΛΩΜΑΤΑ, ΤΗΣ ΣΧΕΔΙΑΣΗΣ COMPARATOR ΠΟΥ ΧΡΗΣΙΜΟΠΟΙΗΘΗΚΕ ΣΤΙΣ ΜΕΤΡΗΣΕΙΣ ΚΑΙ Η ΔΙΑΣΥΝΔΕΣΗ ΤΟΥΣ.....	121
ΕΙΚΟΝΑ 69. Η ΦΥΣΙΚΗ ΥΛΟΠΟΙΗΣΗ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ COMPARATOR.....	122
ΕΙΚΟΝΑ 70. Η ΦΥΣΙΚΗ ΥΛΟΠΟΙΗΣΗ ΤΩΝ ΔΙΑΦΟΡΩΝ ΔΔΙ.	122

ΕΙΣΑΓΩΓΗ

ΠΛΑΙΣΙΟ ΕΝΤΑΞΗΣ ΤΗΣ ΠΑΡΟΥΣΑΣ ΔΙΑΤΡΙΒΗΣ

Τα τελευταία χρόνια, στη βιομηχανία των ημιαγωγών δεσπόζει η εντεινόμενη προσπάθεια για δημιουργία ταχύτερων και αποδοτικότερων συστημάτων και ο σχεδιασμός συστημάτων χαμηλής κατανάλωσης, που επιβάλλεται από την καθιέρωση της αγορά των φορητών ηλεκτρονικών συστημάτων. Η τάση αυτή είναι έντονη και αποτελεί την αιχμή του συγκεκριμένου κλάδου. Από τη δεκαετία του '90, όπου το τεχνολογικό ενδιαφέρον είχε επικεντρωθεί στην ανάπτυξη ταχύτερων συστημάτων, έχουμε φθάσει στην εποχή των ενσωματωμένων συστημάτων και της ορθής διαχείρισης ισχύος. Παρατηρούμε, δηλαδή, ότι οι σύγχρονες απαιτήσεις της αγοράς επιβάλλουν την ενσωμάτωση συστημάτων σε φορητές μονάδες, που απαιτούν χαμηλή κατανάλωση ισχύος, για να μπορέσουν να διαθέσουν μεγαλύτερη αυτονομία ενέργειας και με τον τρόπο αυτό να ενισχύσουν του αίσθημα της φορητότητας του χρήστη.

Στη πορεία αυτή, πρωτοστάτησε η τεχνολογία αιχμής των ημιαγωγών και προσέφερε συνεχώς νέες κατασκευαστικές δυνατότητες, πιο αποδοτικές διατάξεις τρανζίστορ CMOS, νέες συσκευασίες και διασυνδέσεις συστημάτων. Η κλιμάκωση της τεχνολογίας είναι ιδιαίτερη και πλέον βρισκόμαστε στην εποχή όπου τα υψηλής απόδοσης OK μικροεπεξεργαστών διαθέτουν 1 δις τρανζίστορ, κατασκευάζονται σε τεχνολογία 45nm, με υψηλές ταχύτητες ρολογιού, πολλούς πυρήνες σε μια συσκευασία και υψηλή κατανάλωση ισχύος. Το τελευταίο, αποτελεί το βασικότερο παράγοντα στα σύγχρονα OK και το ευρύτερο πλαίσιο της διατριβής αυτής.



Εικόνα 1. Η κατανάλωση ισχύος στα σύγχρονα OK σε συνάρτηση με την αύξηση της θερμοκρασίας, ιδιοκτησία Vivek De Intel.

Ξεκινώντας από τη χαμηλής κατανάλωσης τεχνολογία CMOS, κανείς δεν περίμενε τη ραγδαία συγκέντρωση μεγάλου αριθμού τρανζίστορ σε έναν πυρήνα και πολύ περισσότερο τα θέματα αξιοπιστίας που θα δημιουργούσε η αυξανόμενη κατανάλωση ισχύος. Στη σύγχρονη εποχή, η αυξημένη κατανάλωση ισχύος είναι στενά συνδεδεμένη με τις δύο μορφές ισχύος (δυναμική και στατική - *Εικόνα 1*), με την απαίτηση για μεγαλύτερη ροή ρεύματος στις σχεδιάσεις και τη θερμοκρασία που αναπτύσσεται στο OK.

Οι μεγάλες συχνότητες λειτουργίας και η πολυπλοκότητα των σχεδιάσεων, ώθησαν τη βιομηχανία στην αναζήτηση τεχνικών λύσεων για την αποφυγή των προβλημάτων αξιοπιστίας. Στην προσπάθεια αυτή σημαντική ήταν η ακριβής εκτίμηση των απαιτήσεων ρεύματος και η βελτίωση των τεχνικών σχεδίασης.

Στο πλαίσιο της διατριβής αυτής, συγκεντρώθηκε το ενδιαφέρον στην επίλυση των προβλημάτων που δημιουργούν οι σύγχρονες απαιτήσεις, ειδικά στη σχεδίαση, ανάλυση και βελτιστοποίηση του Δικτύου Διανομής της Ισχύος (ΔΔΙ). Με τα χρόνια, το ζήτημα αυτό γίνεται όλο και πιο κρίσιμο, διότι το ΔΔΙ είναι υπεύθυνο για την τροφοδοσία όλων των τρανζίστορ και των πυρήνων που συνθέτουν, αλλά πλέον σε ένα διαφορετικό τοπίο. Είναι αλήθεια ότι το τοπίο μέσα στον πυρήνα και το ΟΚ έχει αλλάξει ριζικά, η τεχνολογία έχει κλιμακωθεί σημαντικά και οι διασυνδέσεις είναι πλέον κρίσιμες, γιατί τα μεγέθη τους έχουν σμικρυνθεί σε κομβικό σημείο, οι αποστάσεις από άκρη σε άκρη του ΟΚ είναι πλέον ιδιαίτερα μεγάλες και τα φαινόμενα πρόκλησης θορύβου στο δίκτυο γίνονται όλο και πιο σημαντικά.

Η διατριβή αυτή, συγκεντρώνει ερευνητικά αποτελέσματα των τελευταίων δύο δεκαετιών και τα συνδυάζει με βιομηχανικά εργαλεία, για την υλοποίηση σχεδιαστικών μεθοδολογιών με τη χρήση πραγματικών σχεδιάσεων. Στόχος μας, είναι να αναδείξουμε εργασίες στο χώρο της εκτίμησης των ρευμάτων, που διαρρέουν το ΔΔΙ, να υλοποιήσουμε πρωτότυπες μεθοδολογίες και να τις εντάξουμε σε σύγχρονες ροές σχεδίασης ΟΚ (Design Flows), που βασίζονται σε εργαλεία αυτοματοποίησης ηλεκτρονικής σχεδίασης (CAD). Το ευχάριστο, είναι πως τέτοια θέματα είναι όλο και πιο κρίσιμα στην ερευνητική, αλλά και βιομηχανική περιοχή που εντάσσεται η προσπάθεια αυτή.

Τέλος, αξίζει να αναφερθεί ότι τα αποτελέσματα της ερευνητικής δραστηριότητας, έγιναν αναφορά σε δημοσίευση που έγινε από τον Καθ. κ. Μ. Pedram με θέμα το «*state of the art*» στην περιοχή της «Μοντελοποίησης θέρμανσης, ανάλυσης και διαχείρισης κυκλωμάτων VLSI: Βασικές αρχές και Μεθοδολογίες» [Pedram]. Στην εργασία αυτή, η ακεραιότητα και αξιοπιστία του ΔΔΙ κατείχε σημαντική θέση και έγινε εκτενής αναφορά στα προβλήματα και τις προτεινόμενες λύσεις.

ΠΡΟΗΓΟΥΜΕΝΗ ΕΡΕΥΝΗΤΙΚΗ ΔΡΑΣΤΗΡΙΟΤΗΤΑ ΚΑΙ ΣΤΟΧΟΙ ΤΗΣ ΠΑΡΟΥΣΑΣ ΔΙΑΤΡΙΒΗΣ

Η μείωση του επιπέδου τάσης τροφοδοσίας στα ενεργά κελία και υποσυστήματα από τις γραμμές του Δικτύου Διανομής της Ισχύος (ΔΔΙ), το φαινόμενο της πτώσης τάσης (voltage-drop or IR-drop), αποτελεί ένα από τα σημαντικότερα προβλήματα αξιοπιστίας των κυκλωμάτων VLSI τεχνολογίας νανομέτρου και επιδρά αρνητικά στην ταχύτητα του κυκλώματος και τα περιθώρια θορύβου [1]-[2]. Οι γενιές ΟΚ που θα ακολουθήσουν, πρόκειται να έχουν σημαντικές πτώσεις τάσεις - λόγω των αυξημένων ρευμάτων και παρασιτικών -, οι οποίες σε συνδυασμό με τη μειωμένη στάθμη τροφοδοσίας πρόκειται να δημιουργήσουν μια κατάσταση ιδιαίτερα δύσκολη. Για να μπορέσουν να αποφύγουν τις καταστάσεις αυτές, οι σχεδιαστές ενδιαφέρονται να αποκτήσουν μεθόδους ελέγχου της αξιοπιστίας και της σταθερότητας του ΔΔΙ (robust

power grid), δηλαδή αν το ΔΔΙ διατηρεί σταθερά ένα ασφαλές επίπεδο τάσης για όλα τα ενεργά υποκυκλώματα και για όλες τις δυνατές καταστάσεις υπερφόρτωσης του δικτύου.

Η πτώση τάσης, αποτελεί ένα δυναμικό φαινόμενο και η τιμή της κάθε χρονική στιγμή είναι εξαρτημένη από τις μεταβολές των κυματομορφών ρεύματος σε σχέση με το χρόνο σε όλα τα ενεργά υποκυκλώματα - που συμπεριφέρονται σαν ενεργές πηγές ρεύματος. Οι κυματομορφές ρεύματος, μπορούν να προσδιοριστούν με προσομοίωση του μη-γραμμικού δικτύου που αναπαριστά ένα ψηφιακό κύκλωμα και η πτώση τάσης μπορεί στη συνέχεια να υπολογιστεί από την επίλυση του γραμμικού δικτύου που αντιπροσωπεύει το ΔΔΙ όπου οι καταβόθρες ρεύματος αναπαριστούνται ως ανεξάρτητες (μεταβλητές στο χρόνο) πηγές ρεύματος. Επειδή όμως, το αποτέλεσμα που καταγράφεται από την προσομοίωση για κάθε καταβόθρα ρεύματος είναι συνάρτηση των ακολουθιών ζευγών εισόδου που εφαρμόζονται στο ψηφιακό κύκλωμα, για να ελέγξεις την σταθερότητα του ΔΔΙ, κάθε φορά θα πρέπει να εκκινείς την ίδια διαδικασία και για όλα τα πιθανά ζευγάρια εισόδου (που είναι πρακτικά αδύνατο).

Αυτό σημαίνει, ότι η δυναμική ανάλυση μπορεί μόνο να εκτελεστεί για ένα αντιπροσωπευτικό σύνολο από ζεύγη εισόδου. Έτσι, πολλές από τις υπάρχουσες μεθοδολογίες, συμπληρώνουν τη δυναμική ανάλυση με κάποιου είδους στατική ανάλυση (DC), όπου ένα διάνυσμα (ή μια συλλογή διανυσμάτων) στατικών τιμών των ρευμάτων καταβόθρας, χρησιμοποιούνται για να αναπαραστήσουν τα μεταβαλλόμενα ρεύματα, που προκύπτουν από το σύνολο των ζευγαριών εισόδου [Dharchoudhury]-[Steele].

Η στατική ανάλυση, είναι πιο απλή στην υλοποίηση της μοντελοποίησης και επίλυσης του ΔΔΙ, μία και μόνο το ωμικό μοντέλο πρέπει να εξαχθεί και να χρησιμοποιηθεί για τον προσδιορισμό της πτώσης τάσης. Δύο πιθανές επιλογές, για τα στατικά ρεύματα είναι η μέση και η μέγιστη τιμή τους για τις κυματομορφές και για όλα τα πιθανά ζεύγη εισόδου. Οι τιμές των μέσων ρευμάτων, είναι εύκολο να εκτιμηθούν, αλλά δεν είναι προφανές ότι ανταποκρίνονται στη χειρίστη κατάσταση (worst case) και είναι πιθανό να παραμελήσουν καταστάσεις, για τις οποίες το ΔΔΙ δεν είναι σταθερό. Από την άλλη, τα μέγιστα ρεύματα παρουσιάζουν ένα άνω φράγμα για όλες τις πτώσεις τάσεις σε όλες τις καταβόθρες και μπορούν να εξασφαλίσουν τη σταθερότητα του δικτύου για όλες τις πιθανές καταστάσεις. Η εκτίμηση των μέγιστων ρευμάτων στις καταβόθρες, για όλα τα ζεύγη διανυσμάτων εισόδου, είναι ένα απαιτητικό πρόβλημα και έχει μελετηθεί σε παλαιότερες εργασίες [Chowdhury90]-[Kriplani]. Αλλά, στη συγκεκριμένη εργασία έγινε υλοποίηση των τεχνικών που αναπτύχθηκαν για την εκτίμηση του ρεύματος/ισχύος, με στατιστικές μεθόδους [Hill]-[Ping]-[Wu]-[Evmorfopoulos02], οι οποίες θεωρήσαμε ότι ταιριάζουν περισσότερο για την επίλυση του συγκεκριμένου προβλήματος. Το πρόβλημα είναι ότι η χρήση ρευμάτων εκτίμησης με στατικές τιμές, για την ανάλυση αξιοπιστίας του ΔΔΙ είναι σε μεγάλο βαθμό πεσιμιστικές και μπορεί να οδηγήσουν σε λανθασμένα αποτελέσματα. Αυτό ενισχύεται και από τη θεώρηση που κάνουμε ότι όλα τα ρεύματα στις καταβόθρες αναπτύσσουν την μέγιστή τιμή τους την ίδια χρονική στιγμή -γεγονός που δεν μπορείς να το ισχυριστείς στην πράξη.

Στη διατριβή αυτή, αναπτύσσεται μια μεθοδολογία για την κατασκευή μιας συλλογής από στατικά διανύσματα ρεύματος, τα οποία μπορούν να προσφέρουν μια ρεαλιστική εκτίμηση της χειρίστης πτώσης τάσης (και όχι μόνο ένα άνω φράγμα), σε κάθε καταβόθρα και για όλες τις πιθανές εισόδους. Η μεθοδολογία είναι βασισμένη στην κατασκευή ενός ακριβούς προφίλ του χώρου (space or locus) των ταυτόχρονων μεταβολών των ρευμάτων καταβόθρας και στον εντοπισμό των σημείων που προκαλούν τη χειρίστη περίπτωση πτώσης τάσης σε κάθε καταβόθρα. Φυσικά, για να βρεθεί ο χώρος των μεταβολών του ρεύματος με κάθε λεπτομέρεια, θα πρέπει να γίνει προσομοίωση του κυκλώματος για κάθε πιθανή είσοδο, το οποίο μας οδηγεί στο ίδιο εμπόδιο.

Στη πραγματικότητα όμως, μπορεί να δημιουργηθεί μια εικόνα του χώρου των ρευμάτων, για ένα δείγμα διανυσματικών ρευμάτων και αναλογικά να εξαχθούν συμπεράσματα για το συνολικό χώρο κάνοντας χρήση των τεχνικών της θεωρίας ακραίων τιμών (*Extreme Value Theory - EVT*) [Galambos]. Κάποιες παλαιότερες προσεγγίσεις [Kouroussis]-[Qian], προσπάθησαν να δημιουργήσουν τον χώρο των ρευμάτων, δίνοντας τη δυνατότητα στον σχεδιαστή, να δηλώνει τις παραμέτρους που εκφράζουν εξαρτήσεις μεταξύ των ρευμάτων. Το πρόβλημα είναι, ότι ο σχεδιαστής δεν είναι πάντα σε θέση να εισάγει όλη αυτή την πληροφορία και το θέμα αυτό εντείνεται με την πολυπλοκότητα των σύγχρονων κυκλωμάτων. Είναι λοιπόν, πιο ακριβές να προσομοιώσει το κύκλωμα για ένα δείγμα εισόδων και να κατασκευάσει τον χώρο από τα αποτελέσματα τις προσομοίωσης. Επίσης, οι παράμετροι και οι περιορισμοί των άλλων προσεγγίσεων αποτελούσαν στοιχεία, τα οποία εξέφραζαν άνω όρια και δεν κατασκεύαζαν τον πραγματικό χώρο των ρευμάτων. Στη νέα αυτή προσέγγιση, κατασκευάζεται με ακρίβεια ο χώρος των ρευμάτων - και πιο συγκεκριμένα το τμήμα τους που περιέχει την χειρίστη περίπτωση πτώσης τάσης - χωρίς περιορισμούς και λαμβάνοντας υπόψη όλες τις δυνατές συσχετίσεις μεταξύ των ρευμάτων καταβόθρας.

Για το θέμα της βέλτιστης σχεδίασης των αγωγών ισχύος, η σχετική βιβλιογραφία δεν είναι ιδιαίτερα εκτενής, αλλά αρκετή ώστε να φωτίσει τις πτυχές του προβλήματος και να τονίσει τα περιθώρια βελτίωσης που υπάρχουν στην αντιμετώπισή του. Οι πρώτες προσπάθειες ξεκίνησαν στα τέλη της δεκαετίας του 80 από τους Chowdhury και Breuer, οι οποίοι παρουσίασαν μια μέθοδο βελτιστοποίησης της επιφάνειας του δικτύου, υπό τους περιορισμούς της πτώσης τάσης σε δύο διαφορετικές υλοποιήσεις, μία για δίκτυα τοπολογίας δέντρου και μία για γενικότερα δίκτυα τοπολογίας γράφου [Chowdhury87]- [Chowdhury88].

Τα προβλήματα, όμως, με τις υλοποιήσεις αυτές ήταν αρκετά και σημαντικά. Συγκεκριμένα, η αρχική διατύπωση του προβλήματος, εμπειρείχε ως επιπρόσθετους περιορισμούς τους κανόνες ρευμάτων και τάσεων των ηλεκτρικών δικτύων, αντί να εκμεταλλευτεί τα κομψά μαθηματικά θεωρήματα επίλυσης των δικτύων (μέθοδος των κόμβων). Ο αλγόριθμος επίλυσης του προβλήματος, στηρίχθηκε στη χρήση ενός αριθμού συναρτήσεων ποινής (penalty functions) και στο μετασχηματισμό του προβλήματος σε αντίστοιχο πρόβλημα χωρίς περιορισμούς, κάτι που θεωρείται πλέον αναποτελεσματικό σε σχέση με τους σύγχρονους αλγορίθμους, οι οποίοι επικεντρώνονται στην επίλυση κάποιων αναγκαίων και ικανών συνθηκών (των επονομαζόμενων συνθηκών Kuhn-Tucker).

Επίσης, η μη ρεαλιστική υπόθεση ότι όλα τα στοιχεία λαμβάνουν ταυτόχρονα το μέγιστο ρεύμα τους, οδηγεί σε μια αρκετά συντηρητική σχεδίαση ως προς την επιφάνεια, κάτι που επιτείνεται περαιτέρω με την αύξηση του αριθμού των στοιχείων και την αναπόφευκτη όξυνση των μεταξύ τους συσχετίσεων. Ως επιπρόσθετο πρόβλημα, δεν περιγράφηκε κάποιος κατάλληλος τρόπος προσδιορισμού των μέγιστων ρευμάτων, ενώ οι ήδη υπάρχουσες μέθοδοι την εποχή εκείνη (όπως και μεταγενέστερα μέχρι την εργασία [Evmorforoulos02]) ήταν τουλάχιστον ανεπαρκείς.

Τέλος, η πειραματική επαλήθευση των μεθόδων έγινε σε κάποια απλά προβλήματα πολύ λίγων στοιχείων και γραμμών και όχι σε πραγματικές σχεδιάσεις ολοκληρωμένων κυκλωμάτων. Σε κάθε περίπτωση πάντως, το πρόβλημα δεν ήταν τόσο σημαντικό την εποχή εκείνη, καθώς η τεχνολογία δεν είχε φτάσει στα σημερινά επίπεδα μικροσκοπικών μεγεθών και χαμηλών τάσεων με αντιστοίχως μεγάλες συχνότητες και πυκνότητες ολοκλήρωσης (πλήθος ενεργών στοιχείων).

Έτσι, τα ανωτέρω προβλήματα τέθηκαν στο περιθώριο και, στο μεσοδιάστημα, μέχρι το τέλος της δεκαετίας του 90 και τις αρχές της τρέχουσας δεκαετίας, δεν παρουσιάστηκε κάτι αξιόλογο στη βιβλιογραφία. Η εργασία [Dutta92], απλά απομάκρυνε τους επιπλέον περιορισμούς των ρευμάτων και των τάσεων, αλλά και πάλι δεν εκμεταλλεύτηκε θεωρήματα επίλυσης δικτύων και τελικά απαιτούσε ένα σχήμα επαναληπτικού προσδιορισμού του πλάτους των γραμμών, εφόσον (για δίκτυα τοπολογίας γράφου), η αλλαγή τους επηρεάζει την κατανομή των ρευμάτων, που τις διατρέχουν.

Μέσα στην τελευταία δεκαετία, όμως και με την εκρηκτική ανάπτυξη της τεχνολογίας, το πρόβλημα έχει διογκωθεί σε οριακό βαθμό και έχει προσελκύσει το ενδιαφέρον αρκετών ερευνητών. Δύο από τις σημαντικότερες σύγχρονες αναφορές είναι των Tan και Shi [Tan99] – [Tan01], οι οποίοι έκαναν μια αρκετά αξιόλογη επέκταση της εργασίας των Chowdhury και Breuer ως προς το αλγοριθμικό κομμάτι, παρουσιάζοντας έναν σύγχρονο αλγόριθμο βελτιστοποίησης, που βασίζεται στην κατασκευή μιας ακολουθίας απλών προβλημάτων γραμμικού προγραμματισμού, τα οποία έχουν λύσεις συγκλίνουσες προς το βέλτιστο σημείο του γενικού προβλήματος. Δυστυχώς όμως παραμένουν αναλλοίωτα, όλα τα υπόλοιπα προβλήματα, που έχουν να κάνουν με την αρχική διατύπωση του θέματος, τον προσδιορισμό των μέγιστων ρευμάτων, καθώς και με την υπόθεση της ταυτόχρονης εμφάνισής τους σε όλα τα στοιχεία, ενώ και ο ίδιος ο αλγόριθμος επιδέχεται κάποιες βελτιώσεις, με βάση τα σύγχρονα δεδομένα στο πεδίο της βελτιστοποίησης. Η πρόσφατη εργασία [Boyd01], έρχεται να αναγνωρίσει όλα αυτά τα προβλήματα, αλλά η επίλυση που παρέχεται είναι απλά μια εμπειρική (και σε καμιά περίπτωση συστηματική) προσέγγιση σχεδίασης του δικτύου ισχύος, η οποία οδηγεί μονάχα σε “καλές” - και όχι βέλτιστες - λύσεις.

ΠΕΡΙΓΡΑΦΜΑ ΤΗΣ ΔΙΑΤΡΙΒΗΣ

Τα περίγραμμα της διατριβής αυτής, αναλύεται παρακάτω και βασίζεται σε (4) τέσσερα κεφάλαια. Στο Πρώτο κεφάλαιο γίνεται μια ανασκόπηση των βασικότερων θεμάτων που αφορούν την τεχνολογία των ημιαγωγών. Αρχικά, με βάση τις αναφορές ITRS από την SIA (Semiconductor Industry Association)

γίνεται μια παρουσίαση της εξέλιξης της τεχνολογίας και των σύγχρονων τάσεων. Στη συνέχεια, ορίζεται η κατανάλωση ισχύος σε ΟΚ και παρουσιάζεται η μεθοδολογία υπολογισμού της ισχύος σε υψηλότερο αφαιρετικό επίπεδο, για να αναδειχθεί ο διαφορετικός τρόπος προσέγγισης και μοντελοποίησης των ποσοτήτων. Ακολουθεί ο ορισμός της μέσης και μέγιστης ισχύος. Η κατανάλωση ισχύος και το ρεύμα που διαρρέει τους αγωγούς και τα κυκλώματα, αποτελούν τις βασικές αιτίες των διαφόρων προβλημάτων αξιοπιστίας που εμφανίζουν τα ΟΚ. Τα συμπεράσματα αυτά, οδηγούν στην βασική έρευνα της διατριβής, που είναι η μελέτη του ΔΔΙ και προχωράμε στην ανάπτυξη της δομής και των χαρακτηριστικών του δικτύου.

Στο Δεύτερο κεφάλαιο παρουσιάζεται η μέθοδος εκτίμησης των ρευμάτων και γίνεται αναλυτική παρουσίαση της μεθοδολογίας μοντελοποίησης και ανάλυσης του προβλήματος αξιοπιστίας ΔΔΙ με τη νέα τεχνική, η οποία προσφέρει πιο ακριβή αποτελέσματα. Τέλος, γίνεται και ανάλυση της μεθοδολογίας για τη βελτιστοποίηση των πλατών του ΔΔΙ, που βασίζεται και αυτή στη στατιστική μηχανή εκτίμησης ρευμάτων.

Στο Τρίτο κεφάλαιο, πλέον γίνεται αναφορά στις σύγχρονες βιομηχανικές ροές σχεδιάσεις και στα βασικά χαρακτηριστικά τους. Στη συνέχεια, παρουσιάζεται η ροή σχεδίασης, η οποία βασίζεται σε μια προσέγγιση σχεδίασης αναλογικών κυκλωμάτων (custom design) και υλοποιεί την πρώτη έκδοση της στατιστικής μηχανής. Η δεύτερη προσέγγιση, ακολουθεί τις τάσεις της εποχής, είναι πιο ώριμη από την πρώτη και αφορά καθαρά μια ψηφιακή ροή σχεδίασης. Αποτελεί, μια ροή που βασίζεται σε βιομηχανικά εργαλεία, αλλά δεν είναι εξαρτημένη από συγκεκριμένες εταιρικές τεχνολογίες. Η ροή αυτή, χρησιμοποιεί τη δεύτερη υλοποίηση της στατιστικής μηχανής και είναι σε θέση να δώσει στον σχεδιαστή πληροφορίες για την αξιοπιστία του ΔΔΙ.

Στο τελευταίο κεφάλαιο παρουσιάζονται τα πειραματικά αποτελέσματα των υλοποιήσεων της διατριβής. Αρχικά, γίνεται αναφορά στο πειραματικό πρόβλημα, που χρησιμοποιήθηκε για την ανάπτυξη της μεθοδολογίας βελτιστοποίησης των πλατών του ΔΔΙ και παρουσιάζονται τα αποτελέσματα βελτιστοποίησης. Ακολουθεί η πειραματική επιβεβαίωση της πρώτης ροής σχεδίασης, η οποία κάνει χρήση βιομηχανικών εργαλείων και πραγματικών κυκλωμάτων. Η δεύτερη ροή σχεδίασης, διαθέτει δεδομένα για τις επιδόσεις της προτεινόμενης στατιστικής μηχανής και διαφόρων ειδών πειραματικά αποτελέσματα με πιο πλήρη προσέγγιση σε διάφορα επίπεδα.

1^ο ΚΕΦΑΛΑΙΟ: Η ΚΑΤΑΝΑΛΩΣΗ ΚΑΙ ΤΟ ΔΙΚΤΥΟ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ.

Η ανασκόπηση των βασικότερων θεμάτων, που αφορούν στην τεχνολογία των ημιαγωγών είναι ιδιαίτερα σημαντική. Οι αναφορές ITRS από την SIA (Semiconductor Industry Association), παρουσιάζουν προβλέψεις για την εξέλιξη της τεχνολογίας των ημιαγωγών και των σύγχρονων τάσεων. Απαραίτητη, είναι και η παρουσίαση των ορισμών της κατανάλωσης ισχύος σε ΟΚ και ο ορισμός της μέσης και μέγιστης ισχύος. Τέλος, η κατανάλωση ισχύος και το ρεύμα που διαρρέει τους αγωγούς και τα κυκλώματα αποτελούν τις βασικές αιτίες των διαφόρων προβλημάτων αξιοπιστίας που εμφανίζουν τα ΟΚ. Όλα αυτά τα συμπεράσματα, οδηγούν στη βασική έρευνα της διατριβής αυτής, που είναι η μελέτη του ΔΔΙ και προχωρούμε στην ανάπτυξη της δομής και των χαρακτηριστικών του δικτύου.

1.1. Η ΤΕΧΝΟΛΟΓΙΑ ΤΩΝ ΗΜΙΑΓΩΓΩΝ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ

1.1.1. *International Technology Roadmap for Semiconductors*

Η τεχνολογία των ημιαγωγών, παρουσιάζει μια σημαντική πρόοδο στην κλιμάκωση της (scaling), που καθιστά πολύ σημαντική την συνεργασία πολλών εταιρειών και ερευνητικών/ακαδημαϊκών ιδρυμάτων. Στόχος της συνέργειας, είναι η αντιμετώπιση των προβλημάτων, η ανάπτυξη νέων και βιώσιμων τεχνολογιών (Process and Design Steps) και φυσικά η έγκαιρη αναγνώριση και ο σχεδιασμός για την πρόβλεψη και αντιμετώπιση των νέων προκλήσεων, έτσι ώστε να αποφύγει η βιομηχανία τις αποτυχίες. Σημαντική και απαιτητική, είναι η εντατική συνεργασία και για το λόγο αυτό η Ομοσπονδία της Βιομηχανίας των Ημιαγωγών υλοποιεί και ενημερώνει το Διεθνές Τεχνολογικό Στρατηγικό Σχέδιο για τους Ημιαγωγούς (ITRS - International Technology Roadmap for Semiconductors) [SIA02]. Το σχέδιο αυτό παρουσιάζει ιστορικά στοιχεία, αλλά προχωρά και στην πρόβλεψη για τα επόμενα χρόνια, ώστε να κοινοποιήσει στο ευρύτερο κοινό την πορεία της τεχνολογίας των ημιαγωγών. Άσχετα, λοιπόν με την μη επίτευξη των προβλέψεων -η ιστορία έχει δείξει ότι η βιομηχανία ξεπέρασε τις προβλέψεις- η αναφορά σε μια τέτοια μελέτη μπορεί να βοηθήσει και να δικαιολογήσει την συνεργατική έρευνα σε διάφορους τομείς της τεχνολογίας.

Το ITRS, προβλέπει μια βασική τεχνολογική γενιά περίπου κάθε τρία (3) χρόνια. Η κλιμάκωση μεταξύ δύο διαδοχικών γενεών είναι παραδοσιακά:

$$S = \sqrt{2} \quad (1.0)$$

Επομένως, ο αριθμός των τρανζίστορ ανά μονάδα χώρου διπλασιάζεται κάθε γενεά. Στον Πίνακα 1 παρουσιάζονται μερικές από τις προβλέψεις, ειδικά για υψηλών απαιτήσεων επεξεργαστές. Το μόνο σίγουρο είναι, πως οι σημαντικές προκλήσεις είναι προ των πυλών και οι καινοτόμες ιδέες, πρέπει να υλοποιηθούν σε πολλές γνωστικές περιοχές, για να επιτευχθεί η κλιμάκωση της τεχνολογίας.

Πίνακας 1. Οι προβλέψεις της SIA για την τεχνολογία των ημιαγωγών (ITRS 2002).

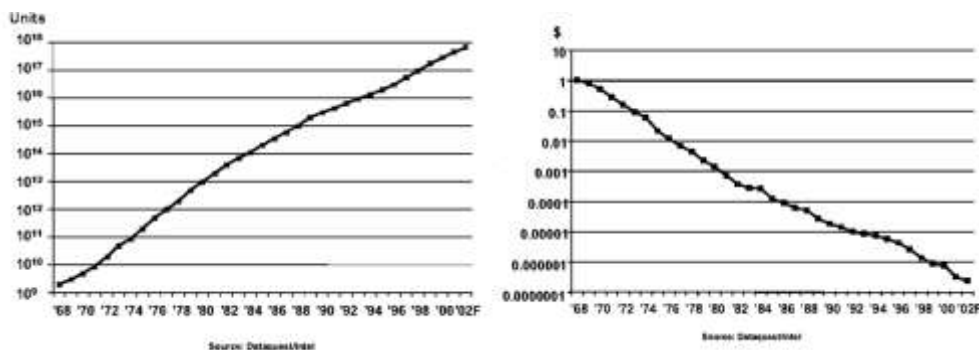
ITRS 2002 Predictions						
Year	2001	2004	2007	2010	2013	2016
Feature size (nm)	130	90	65	45	32	22
V _{DD} (V)	1.1-1.2	1-1.2	0.7-1.1	0.6-1.0	0.5-0.9	0.4-0.9
Millions of Transistors/Die	193	385	773	1564	3092	6184
Wiring Levels	8-10	9-13	10-14	11-15	11-15	11-15
Intermediate wire pitch (nm)	450	275	195	135	95	65
Interconnect dielectric constant	3-3.6	2.6-3.1	2.3-2.7	2.1	1.9	1.8
I/O signals	1024	1024	1024	1280	1408	1472
Clock Rate (MHz)	1684	3990	6739	11511	19348	28751
FO4 delays/cycle	13.7	8.4	6.8	5.8	4.8	4.7
Maximum Power (Watt)	130	160	190	218	251	288
DRAM capacity (Gbits)	0.5	1	4	8	32	64

1.1.2. Επιπτώσεις στη Σχεδίαση

Η τεχνολογία των ημιαγωγών, είναι άμεσα συνυφασμένη με την κλιμάκωση της τεχνολογίας, αλλά είναι λανθασμένη η εικόνα που μπορεί να δημιουργηθεί, ότι η μετάβαση από μια σχεδίαση με μια μικρότερη είναι 1 προς 1 και ότι γίνεται ανέξοδα και χωρίς προβλήματα. Στην πραγματικότητα, η μετάβαση σε μια νέα γενιά ημιαγωγών είναι γεμάτη προκλήσεις και μπορεί να επιφυλάσσει σημαντικά προβλήματα. Η ιστορία έχει δείξει, ότι ένας σημαντικός αριθμός παραμέτρων αλλάζει με την κλιμάκωση της τεχνολογίας, αλλά και σε συνδυασμό με τις νέες αρχιτεκτονικές και εφαρμογές, δημιουργώντας ένα σχεδιαστικό τοπίο γεμάτο προκλήσεις. Εμείς, θα επιδιώξουμε να παρουσιάσουμε διάφορους παράγοντες, οι οποίοι θα επηρεάσουν την σχεδίαση στα επόμενα χρόνια. Επίσης, συνεχίζουμε να πιστεύουμε στις δυνατότητες του δυναμικού της βιομηχανίας, στο να βρίσκει ευφυείς λύσεις, για την αντιμετώπιση των σχεδιαστικών και παραγωγικών σκοπέλων.

1.1.3. Βελτίωση στην Απόδοση και το κόστος

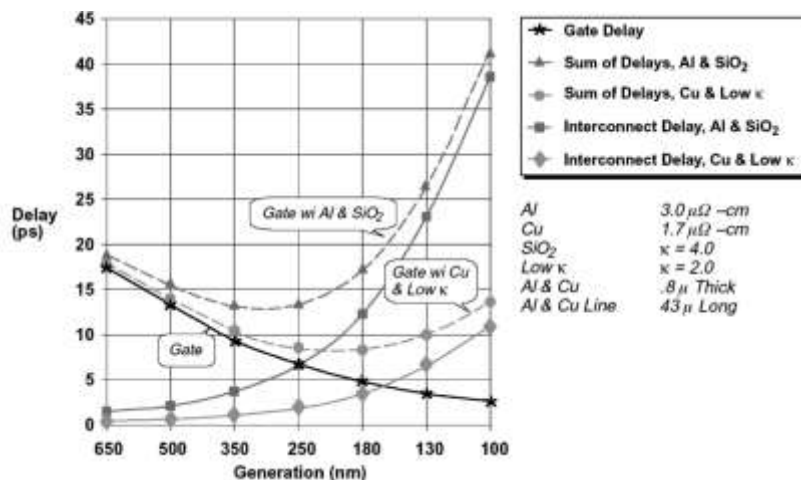
Είναι ευχάριστο, ότι οι νέες γενιές της τεχνολογίας ημιαγωγών προσφέρουν αποδοτικότερα και οικονομικότερα κυκλώματα. Το κόστος του τρανζίστορ συνεχώς μειώνεται και είναι πλέον πρόκληση για του αρχιτέκτονες συστημάτων να παρουσιάσουν λύσεις, οι οποίες να εκμεταλλεύονται την εξεργαστική ισχύ και να προσφέρουν περισσότερες και καλύτερες λειτουργίες, πλέον μέσα στον ίδιο πυρήνα ή συσκευασία. Η εφεύρεση του τρανζίστορ πριν από χρόνια και οι πρώτες προβλέψεις, το καθιστούσαν μια τεχνολογία, που θα μπορούσε να προσφέρει προϊόντα, τα οποία είχαν βιομηχανικό κόστος περίπου στα \$50 cent. Η πραγματικότητα, όμως έδειξε (δείτε *Εικόνα 2*), ότι το 2003 μπορούσε να αγοράσει περισσότερα από 100.000 τρανζίστορ με \$1 πέννα.



Εικόνα 2. Η αύξηση της ζήτησης των τρανζίστορ και η πορεία μείωση του κόστους [Harris].

1.1.4. Διασυνδέσεις

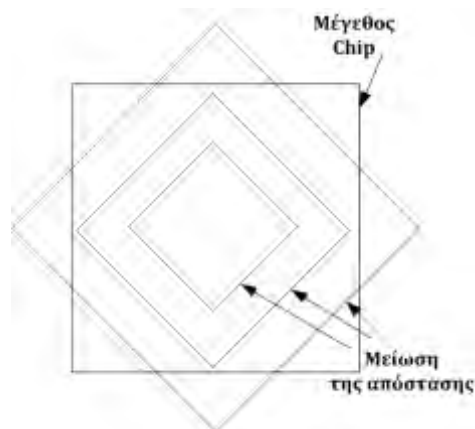
Η σμίκρυνση των τρανζίστορ, σταθερά βελτιώνει την καθυστέρηση των πυλών, αλλά η κλιμάκωση στις διασυνδέσεις δεν προκαλεί καμιά βελτίωση και συνήθως δημιουργεί νέα προβλήματα. Στην *Εικόνα 3*, παρουσιάζεται η πτωτική πορεία και των δύο μεγεθών αλλά μέχρι τα 180nm. Στις σύγχρονες τεχνολογίες ημιαγωγών, το πρόβλημα των διασυνδέσεων παραμένει ιδιαίτερα σημαντικό και για το λόγω αυτό σήμερα προκαλεί ιδιαίτερη ερευνητική δραστηριότητα για την ανάπτυξη νέων υλικών διασύνδεσης, τα οποία θα προσφέρουν βελτιωμένα χαρακτηριστικά.



Εικόνα 3. Καθυστέρηση πύλης και αγωγών διασύνδεσης [SIA97].

Η ανάλυση του σχήματος, παρουσιάζει κάποιες αδυναμίες στην πρόβλεψη αυτή. Όπως αναφέρει ο Καθηγητής David Harris, η καθυστέρηση αναφέρεται σε μια μοναδική πύλη (Καθυστέρηση=RC) και όχι σε μια διάταξη με φορτίο (FO4 καθυστέρηση αναστροφή = 15RC). Επίσης, η πρόβλεψη για την καθυστέρηση των διασυνδέσεων κρύβει αναλήθειες, αφού αναφέρεται σε σταθερό μήκος διασύνδεσης, ενώ αυτό κλιμακώνεται για κάθε χωρική μονάδα σε κάθε νέα τεχνολογία.

Οι διαπιστώσεις αυτές μας οδηγούν σε λανθασμένα συμπεράσματα; Δεν το πιστεύουμε αυτό, απλά αναδεικνύουν τις παγίδες και την γοητεία που κρύβει η τεχνολογία των ημιαγωγών. Στην ουσία, η μείωση της καθυστέρησης της πύλης, αντισταθμίζεται από την αύξηση του πλήθους των πυλών σε μια χωρική μονάδα, αλλά και την ανάδειξη νέων σχεδιαστικών ζητημάτων, όπως της διαχείρισης της ισχύος.



Εικόνα 4. Η ικανότητα της διασύνδεσης μακρινών σημείων κλιμακώνεται [Harris].

Η καθυστέρηση των διασυνδέσεων - αν και στο εσωτερικό των πυλών θα συνεχίσει να είναι αμελητέα η περίπτωση των μεγάλων - μακρινών διασυνδέσεων - αποτελεί μεγάλη πρόκληση. Στην πραγματικότητα, η κλιμάκωση προσφέρει περισσότερα λειτουργικά μπλοκ στο OK και η διασύνδεση μεγάλων δομικών

στοιχείων δεν είναι τόσο εύκολο να επιτευχθεί. Δεν είναι λοιπόν απλή υπόθεση, να σταλεί ένα σήμα από τη μια άκρη του ΟΚ στην άλλη και σε κάθε νέα γενιά η απόσταση μετάδοσης που μπορεί να μεταδοθεί το σήμα συρρικνώνεται, όπως χαρακτηριστικά παρουσιάζεται στην *Εικόνα 4*.

Η μετάδοση του σήματος, μπορεί να βελτιωθεί με συστοιχίες επαναληπτών, οι οποίοι μπορούν να βελτιώσουν την απόδοση, αλλά η εισαγωγή νέων υποκυκλωμάτων (φάρμες επαναληπτών) στο ΟΚ κρίνει απαραίτητη τη λήψη νέων σχεδιαστικών προσεγγίσεων (Floorplanning).

Πίνακας 2. Η αύξηση των επιπέδων μετάλλου στις τεχνολογίες της TSMC.

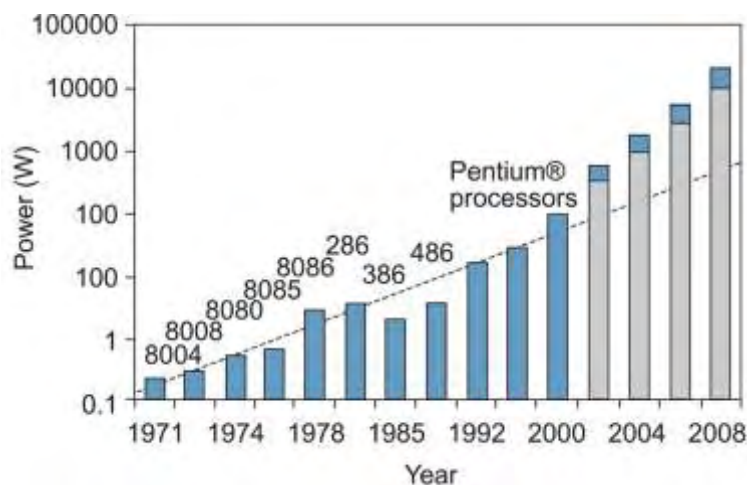
TSMC Process	
Process (nm)	Metal Layers
500	3 (Al)
350	4 (Al)
250	5 (Al)
180	6 (Al, low-k)
150	7 (Cu, low-k)
130	8 (Cu, low-k)
90	9 (Cu, low-k)

Μια συνήθης τεχνική, για την αποφυγή των προβλημάτων διασύνδεσης είναι η εισαγωγή νέων επιπέδων διασύνδεσης στις νέες τεχνολογίες. Αυτό παρουσιάζεται στον *Πίνακα 2*, όπου φαίνεται η αύξηση των επιπέδων στη τεχνολογία της εταιρίας TSMC. Σχεδιαστικά και λόγω της κλιμάκωσης της τεχνολογίας, τα χαμηλά επίπεδα διασύνδεσης συρρικνώνονται, για να προσφέρουν υψηλής πυκνότητας κοντινές διασυνδέσεις. Τα υψηλότερα επίπεδα, δεν ακολουθούν τον ίδιο ρυθμό συρρίκνωσης και θα λέγαμε, ότι παραμένουν το ίδιο πλατιά και χονδρά ώστε να προσφέρουν χαμηλή αντίσταση, υψηλών ταχυτήτων διασυνδέσεις, καλή μετάδοση ρολογιού και αξιόπιστο Δίκτυο Διανομής της Ισχύος (*ΔΔΙ – Power Grid*).

1.1.5. Ισχύς

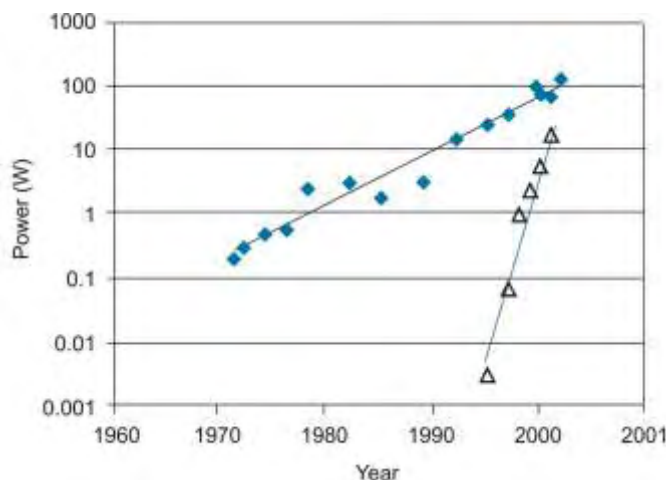
Η κατανάλωση Ισχύος, αποτελεί ένα από τα σημαντικότερα θέματα της σύγχρονης σχεδίασης. Η σταθερή κλιμάκωση του μεγέθους, οδηγεί σε σταθερή αύξηση της πυκνότητας ισχύος και η πυκνότητα ισχύος του ΟΚ αυξάνεται αργά ακολουθώντας την αύξηση του μεγέθους του ΟΚ. Στην πράξη όμως, η κατανάλωση ισχύος εκτοξεύτηκε, για το λόγο ότι οι συχνότερες ρολογιού αυξήθηκαν πιο γρήγορα από ότι προβλέπαμε με την κλασική κλιμάκωση και η τάση τροφοδοσίας V_{DD} παρέμεινε σε υψηλά επίπεδα.

Είναι χαρακτηριστική η αύξηση της κατανάλωσης. Δείτε την *Εικόνα 5*, όπου παρουσιάζεται η κατανάλωση ισχύος των επεξεργαστών της εταιρείας INTEL και γίνεται η πρόβλεψη, ότι η πυκνότητα ισχύος των επεξεργαστών το 2010 θα είναι κοντά σε αυτή των πυρηνικών αντιδραστήρων.



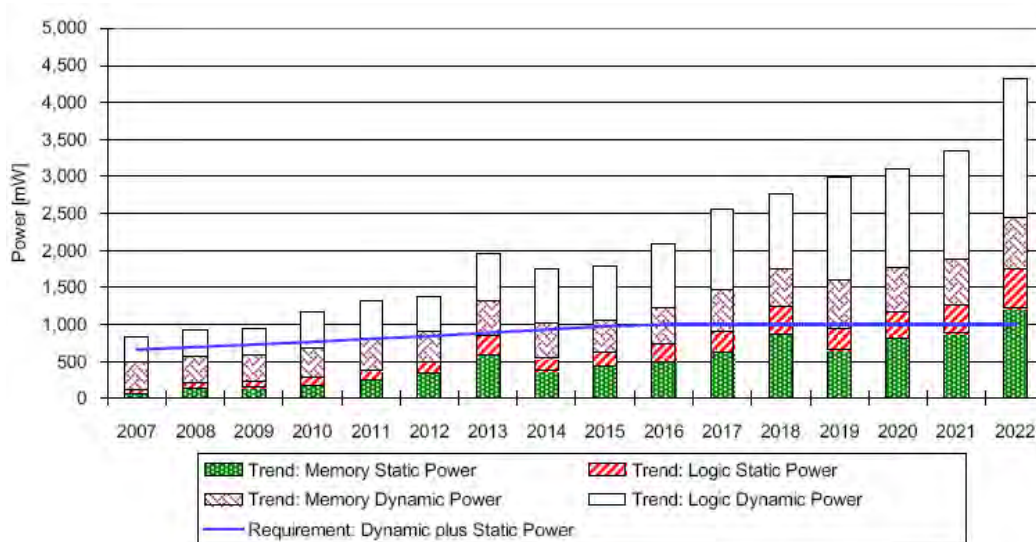
Εικόνα 5. Η αύξηση της κατανάλωσης ισχύος στους επεξεργαστές της Intel [Harris].

Η κατανάλωση ισχύος, είναι συνιστώσα δύο (2) παραγόντων, της Δυναμικής ισχύος και της Στατικής Ισχύος (θα παρουσιαστούν αναλυτικά στο επόμενο κεφάλαιο). Η δυναμική ισχύς, αποτελεί το σημαντικότερο ποσοστό της καταναλισκόμενης ισχύος, αλλά δεν πρόκειται να αυξηθεί σημαντικά στα επόμενα χρόνια, γιατί αν συμβεί αυτό θα είναι δύσκολο και δαπανηρό να παραμείνει το ΟΚ σε κανονική θερμοκρασία. Διαφαίνεται, ότι τα επόμενα χρόνια θα είναι λίγο δύσκολο να έχουμε πιο γρήγορα ρολόγια, για το λόγο ότι, η κυματομορφή τους θα μοιάζει με ημιτονοειδή κυματομορφή και όχι με παλμό ρολογιού. Επίσης, υπάρχει μια τάση να αυξηθεί το μέγεθος της κρυφής μνήμης (Cache) στο ΟΚ, άρα λόγω του ότι εμφανίζουν χαμηλότερα ποσοστά εναλλαγής (activity factors), η κατανάλωση αναμένεται να είναι χαμηλότερη ανά μονάδα χώρου. Η στατική ισχύς, ήταν αμελητέα, αλλά στις τεχνολογίες με Τάση Κατωφλιού (Threshold Voltage) περίπου στο 0.3 V -0.4 V μπορεί να αρχίσει να αποτελεί σημαντική ποσότητα και συγκρίσιμη με την δυναμική ισχύ, ειδικά σε συστήματα που λειτουργούν κοντά στο 1V. Στις *Εικόνα 6* και *Εικόνα 7*, παρουσιάζεται η τάση για αύξηση της στατικής σε σύγκριση με την δυναμική κατανάλωση ισχύος:



Εικόνα 6. Η τάση για κατανάλωση Δυναμικής και Στατικής Ισχύος [IEEE03].

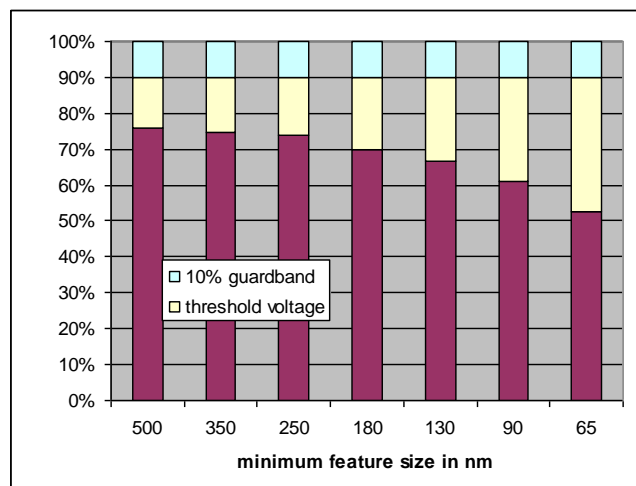
Στη περίπτωση, που η κατανάλωση ισχύος παραμένει σταθερή, οι χαμηλότερες τάσεις τροφοδοσίας οδηγούν σε υψηλότερες πυκνότητες ρεύματος. Αυτό προκαλεί μεγαλύτερες Πτώσεις Τάσης (*IR drops*) και Ldi/dt θόρυβο στο Δίκτυο Διανομής της Ισχύος. Οι επιπτώσεις αυτές, οδηγούν σε αύξηση των ακροδεκτών ισχύος στο ΟΚ και των μεταλλικών διασυνδέσεων για την δημιουργία πιο αξιόπιστων ΔΔΙ. Στις υπάρχουσες μεθοδολογίες, η ανάλυση του κυκλώματος κατανομής της τάσης τροφοδοσίας και της γείωσης και η ανάλυση - βελτιστοποίηση του κυκλώματος είναι δύο ξεχωριστές διαδικασίες, οι οποίες προχωρούν παράλληλα και δημιουργούν αποκλίσεις από τη βέλτιστη λύση, οι οποίες επιτείνονται με τη σμίκρυνση των τρανζίστορ, καθώς οι ανοχές στην τάση τροφοδοσίας έχουν όλο και μεγαλύτερη επίδραση στην ταχύτητα μεταγωγής των τρανζίστορ.



Εικόνα 7. Η τάση κατανάλωσης ισχύος σε σύγχρονα SOC εμπορικά συστήματα [SIA08].

Στη μεν σχεδίαση του κυκλώματος τροφοδοσίας, οι μέθοδοι ανάλυσης είναι μη αξιόπιστες και οι μέθοδοι σχεδίασης αντιμετωπίζουν αυτό το γεγονός με υπερβολικά σχεδιαστικά περιθώρια. Αποτέλεσμα αυτού, είναι ότι

στην πραγματικότητα, οι πτώσεις τάσης πάνω τους αγωγούς τροφοδοσίας είναι πολύ μικρότερες από τις αναμενόμενες από την σχεδιαστική διαδικασία. Επίσης, θεωρούνται σταθερές καθ' όλη τη διάρκεια της λειτουργίας του κυκλώματος. Έτσι, δημιουργείται μια επαλληλία σχεδιαστικών ανοχών, οι οποίες οδηγούν σε μια λύση μακριά από τη βέλτιστη. Σε δεύτερο στάδιο και κατά τη διάρκεια της σχεδίασης του κυκλώματος, η οποία συμπεριλαμβάνει και τον καθορισμό του μεγέθους των τρανζίστορ, οδηγεί τους σχεδιαστές σε βελτιστοποίηση διαδρομών, οι οποίες δεν είναι κρίσιμες, ενώ δεν δίνεται η πρέπουσα σημασία στις πραγματικά κρίσιμες διαδρομές που περιορίζουν την απόδοση του κυκλώματος.



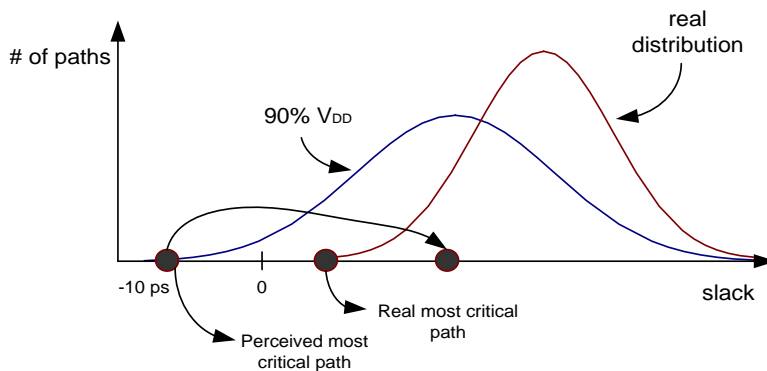
Εικόνα 8. Ανάλυση των συνιστωσών της τάσης τροφοδοσίας σαν ποσοστό επί της ονομαστικής τάσης τροφοδοσίας [PENED03].

Η μεθοδολογία, που χρησιμοποιείται από όλες τις σχεδιαστικές ομάδες, προϋποθέτει ότι η τάση τροφοδοσίας μπορεί να είναι μέχρι και 10% κάτω από την ονομαστική και ο σχεδιασμός και η ανάλυση του χρονισμού του κυκλώματος γίνεται με το 90% της ονομαστικής τάσης τροφοδοσίας, λόγω της πτώσης τάσης πάνω στους αγωγούς τροφοδοσίας του ολοκληρωμένου.

Το γεγονός, ότι το ποσοστό ανοχής παραμένει σταθερό σε συνδυασμό με το γεγονός ότι η τάση καταφλίου των τρανζίστορ δεν μειώνεται με την ίδια ταχύτητα που μειώνεται η τάση τροφοδοσίας (δείτε Εικόνα 8), οδηγεί σε μεγαλύτερη απόκλιση των αποτελεσμάτων, που προέρχονται από την εξομοίωση με το τι συμβαίνει στην πραγματικότητα. Επίσης, λαμβάνοντας υπόψη ότι, οι πραγματικές καθυστερήσεις μιας πύλης πρέπει να υπολογιστούν με την τάση τροφοδοσίας που υπάρχει στις επαφές τροφοδοσίας κατά τη διάρκεια της μεταγωγής, οδηγούμαστε στο συμπέρασμα, ότι δεν επηρεάζονται όλες οι πύλες πάνω στη πλέον κρίσιμη διαδρομή του κυκλώματος που αναλύουμε με τον ίδιο τρόπο, αλλά μάλλον από τις ιδιαίτερες για κάθε πύλη συνθήκες.

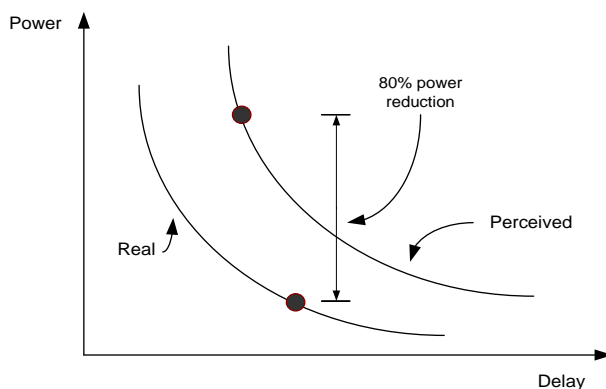
Σαν φυσικό αποτέλεσμα της παρατήρησης αυτής, προκύπτει ότι εάν ακολουθήσουμε την υπάρχουσα μεθοδολογία σχεδιασμού, πιθανότατα η κρίσιμη διαδρομή, που παρουσιάζεται από τα εργαλεία ανάλυσης χρονισμού, δεν είναι αυτή η οποία στην πραγματικότητα έχει τη μέγιστη καθυστέρηση στο ολοκληρωμένο. Στην Εικόνα 9, παρουσιάζονται η θεωρούμενη κατανομή των καθυστερήσεων μιας σχεδίασης όπως προκύπτει από την

ανάλυση χρονισμού στο 90% της τάσης τροφοδοσίας και η πραγματική κατανομή των καθυστερήσεων όπως αυτές προκύπτουν μετά από ανάλυση στην οποία λάβαμε υπόψη την ακριβή πτώση τάσης στους αγωγούς τροφοδοσίας. Είναι προφανές, ότι η σχεδιαστική προσπάθεια επικεντρώνεται, με την υπάρχουσα μεθοδολογία, σε διαδρομές, οι οποίες δεν έχουν πραγματικά τη μέγιστη καθυστέρηση και δεν δίνεται αρκετή σημασία σε αυτές που πραγματικά θα περιορίσουν την ταχύτητα του κυκλώματος.



Εικόνα 9. Σύγκριση της προκύπτουσας κατανομής των διαδρομών από την ανάλυση χρονισμού με την πραγματική κατανομή [Pened03].

Το αποτέλεσμα των παραπάνω είναι ότι αυξάνουμε το μέγεθος κάποιων τρανζίστορ χωρίς να χρειάζεται. Αυτό μας οδηγεί σε αύξηση της καθυστέρησης των πυλών, που τα οδηγούν και σε αύξηση της κατανάλωσης ισχύος, δύο ανεπιθύμητα αποτελέσματα. Ιδιαίτερα, σε κυκλώματα τα οποία είναι πιεσμένα από πλευράς χρονισμού, τα αποτελέσματα των λανθασμένων επιλογών παίρνουν δραματικές διαστάσεις και συγκεκριμένα στον τομέα της κατανάλωσης ισχύος όπως φαίνεται στην *Εικόνα 10*.



Εικόνα 10. Σύγκριση των καμπυλών ισχύος-καθυστέρησης που προκύπτουν από την υπάρχουσα και την προτεινόμενη μεθοδολογία [Pened03].

Είναι χαρακτηριστικό, ότι με σύγχρονες μεθοδολογίες μπορούμε να πετύχουμε το σχεδιαστικό στόχο που έχουμε θέσει, με πολύ μικρότερη κατανάλωση ισχύος από την υπάρχουσα μεθοδολογία.

1.1.6. Παραγωγικότητα

Στο τομέα αυτό, παρατηρείται ότι αυξάνεται το πλήθος των τρανζίστορ σε ένα ΟΚ, πιο γρήγορα από την απόδοση των σχεδιαστών ΟΚ (πύλες / εβδομάδα). Αυτό οδηγεί, στην αναγκαιότητα αύξησης του πλήθους των σχεδιαστών σε μια ομάδα. Αλλά, ειδικά όταν διανύουμε δύσκολες οικονομικές περιόδους είναι απαγορευτικό να επενδύσεις σε έμπειρο προσωπικό. Έτσι, οι εταιρείες έχουν στραφεί σε μεθοδολογίες, που επιτρέπουν την ορθή και αποτελεσματική σχεδίαση ΟΚ, με σύγχρονες ροές σχεδίασης και φυσικά θυσιάζοντας λίγο από την απόδοση και την επιφάνεια του ΟΚ. Είναι λοιπόν, σύνηθες πολλά από τα σύγχρονα ΟΚ να κατασκευάζονται με τεχνολογικές βιβλιοθήκες πυλών (Standard cells), εργαλεία σύνθεσης (Synthesis) και αυτόματης τοποθέτησης και διασύνδεσης (Place & Route), ελαχιστοποιώντας τις περιπτώσεις όπου ο μη-αυτοματοποιημένος σχεδιασμός (custom) είναι απαραίτητος. Το κόστος σχεδιασμού και ανάπτυξης ενός σύγχρονου ΟΚ παρουσιάζεται στην *Εικόνα 11*.



Εικόνα 11. Επιμερισμός το κόστους για την προτυποποίηση ενός αναλογικού-ψηφιακού ΟΚ (mixed-signal chip).

Η τάση, της ανάπτυξης σύγχρονων ροών σχεδίασης και της ενθυσίασης εργαλείων αυτόματης σχεδίασης, αυξάνει την παραγωγικότητα ενώ ταυτόχρονα βοηθά και στην ανάπτυξη της βιομηχανίας των εργαλείων CAD. Η έντονη αύξηση των SOC και SiP συστημάτων, εντείνει την απαίτηση για παράλληλη ανάπτυξη και επαναχρησιμοποίηση δομικών λειτουργικών μονάδων Πνευματικής Ιδιοκτησίας (IP – Intellectual Property) για την ανάπτυξη μεγαλύτερων και πολυπλοκότερων συστημάτων.

1.1.7. Φυσικά Όρια της Τεχνολογίας των Ημιαγωγών

Είναι σημαντικό να αναφέρουμε, ότι ιστορικά η κλιμάκωση της CMOS τεχνολογίας αποτέλεσε μεγάλο θέμα συζήτησης. Ανά περιόδους υπάρχουν δημοσιευμένες εργασίες, οι οποίες προβλέπουν την λήξη της κλιμάκωσης αυτής και το αδιέξοδο που θα βρεθεί η τεχνολογία CMOS. Αξίζει, λοιπόν να αναφερθεί ότι το 1972 είχε προβλεφθεί ότι για κατασκευαστικούς λόγους, η τεχνολογία θα σταματήσει στα 0.25nm με ταχύτητες ρολογιού 10-30 MHz. Το έτος 1999, από τα εργαστήρια της IBM δημοσιεύτηκε, ότι η τεχνολογία θα αντιμετωπίσει προβλήματα στα 100nm γύρω στο έτος 2004. Είναι σίγουρο, ότι βρισκόμαστε στο 2009 και έχουμε νέους επεξεργαστές χαμηλής κατανάλωσης ισχύος στα 45nm, συστήματα, τα οποία διαθέτουν πολλούς πυρήνες στο ίδιο ΟΚ και μια τεχνολογία που έχει να αντιμετωπίσει μεγαλύτερες προκλήσεις.

Είναι θέμα χρόνου να αναπτυχθούν νέες σχεδιάσεις στα 35nm μέσα στην επόμενη τριετία και πιο δύσκολο να προβλέψεις τι μπορεί να συμβεί μετά από το σταυροδρόμι αυτό. Το μόνο σίγουρο είναι, ότι τα τρανζίστορ αποτελούν φυσικά δομικά κατασκευάσματα και έχουν φυσικούς περιορισμούς. Εμείς ελπίζουμε, ότι η τεχνολογία και η συνέργια των μηχανικών μπορεί να προσφέρει νέες λύσεις και στην περίπτωση που η φύση προβάλλει φυσικούς περιορισμούς, τότε η ανθρώπινη γνώση θα υπερπηδήσει τους φραγμούς αυτούς και θα προσφέρει βελτιωμένα προϊόντα, τα οποία θα ικανοποιούν και θα προάγουν την κοινωνία μας.

1.2. ΜΕΣΗ ΚΑΙ ΜΕΓΙΣΤΗ ΙΣΧΥΣ ΣΕ ΣΥΓΧΡΟΝΑ ΟΚ

1.2.1. Βασικές έννοιες

Για την αποτελεσματική αντιμετώπιση του προβλήματος ανάλυσης της ισχύος, θα πρέπει πρώτα από όλα να εξετάσουμε και να κατανοήσουμε την προέλευση της κατανάλωσης ισχύος στα ψηφιακά κυκλώματα CMOS VLSI. Υποθέτοντας αρχικά, ότι η πηγή τροφοδοσίας του κυκλώματος είναι ιδανική πηγή τάσης, δηλαδή μπορεί να δώσει ανά πάσα στιγμή όλο το ρεύμα που χρειάζεται το κύκλωμα για τη λειτουργία του, διατηρώντας σταθερή την τάση τροφοδοσίας V_{DD} , η *στιγμιαία* (*instantaneous*) ισχύς του κυκλώματος για κάθε χρονική στιγμή t θα δίνεται από το γινόμενο της τάσης V_{DD} με το συνολικό ρεύμα $I(t)$ που εισέρχεται στους ακροδέκτες τροφοδοσίας:

$$P(t) = V_{DD} \cdot I(t) \quad (1.1)$$

Με αυτό τον τρόπο, προκύπτει ότι, η κατανάλωση ισχύος του κυκλώματος θα είναι ανάλογη του ρεύματος εισόδου, πράγμα που σημαίνει ότι οι δύο αυτές ποσότητες θα μπορούν στο εξής να χρησιμοποιούνται εναλλακτικά η μια της άλλης. Το κύριο μέρος της ανάλυσης και εκτίμησης ισχύος, διεξάγεται συνήθως στα δύο ενδιάμεσα αφαιρετικά επίπεδα της λογικής και του κυκλώματος, καθώς στο ανώτερο επίπεδο της αρχιτεκτονικής, η ανάλυση δεν είναι δυνατό να έχει την απαιτούμενη ακρίβεια και χρησιμοποιείται μόνο για μια αρχική αποτίμηση της κατάστασης. Ενώ στο κατώτερο φυσικό επίπεδο, οι περισσότερες σχεδιαστικές παράμετροι έχουν ήδη παγιωθεί και η εκτίμηση θα πρέπει να υπάρχει από τα προηγούμενα επίπεδα πριν η σχεδίαση καταλήξει εδώ.

Επικεντρώνοντας, λοιπόν, την προσοχή μας στα δύο ενδιάμεσα επίπεδα, και καθώς εκεί η φυσική διάταξη των αγωγών τροφοδοσίας μέσα στο ολοκληρωμένο κύκλωμα δεν έχει ακόμα σχηματιστεί, μπορούμε να θεωρήσουμε ότι όλες οι πύλες του κυκλώματος τροφοδοτούνται από την ίδια σταθερή τάση η οποία είναι ίση με V_{DD} (στην πραγματικότητα υπάρχει μια πτώση τάσης πάνω στους αγωγούς τροφοδοσίας που σχηματίζονται στο φυσικό επίπεδο, οι επιπτώσεις της οποίας θα εξεταστούν αργότερα). Καθώς, οι πύλες αυτές συνδέονται με παράλληλο τρόπο πάνω στους αγωγούς τροφοδοσίας και γείωσης, το συνολικό ρεύμα του κυκλώματος, θα λαμβάνεται από την επαλληλία των ρευμάτων κάθε μεμονωμένης πύλης ξεχωριστά και επομένως η στιγμιαία ισχύς του -εάν το κύκλωμα αποτελείται από q πύλες- θα είναι:

$$P(t) = V_{DD} \sum_{i=1}^q I_i(t) \quad (1.2)$$

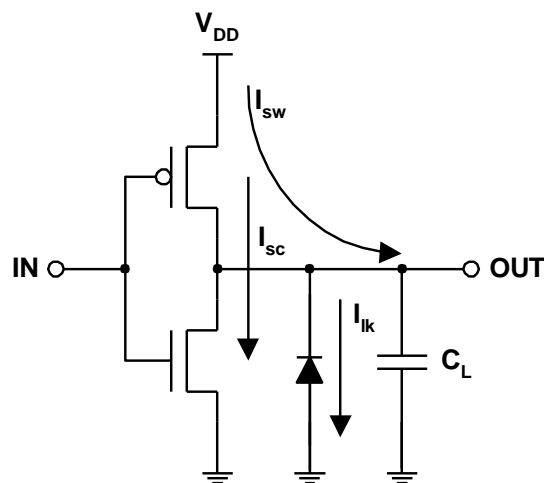
Εκτός από τη στιγμιαία κατανάλωση ισχύος, ένας άλλος σημαντικός τύπος ισχύος είναι η μέση (*average*) ισχύς, που καταναλώνεται σε ένα χρονικό διάστημα T , η οποία θα λαμβάνεται από το χρονικό μέσο της στιγμιαίας ισχύος για το διάστημα αυτό:

$$P_T = \frac{1}{T} \int_0^T P(t) dt = \frac{V_{DD}}{T} \int_0^T I(t) dt \quad (1.3)$$

Εύκολα μπορεί κανείς να διαπιστώσει, ότι και η μέση ισχύς του κυκλώματος δύναται να γραφεί ως η επαλληλία των επιμέρους τιμών της, για κάθε μεμονωμένη πύλη ξεχωριστά, ως εξής:

$$P_T = V_{DD} \sum_{i=1}^q \frac{1}{T} \int_0^T I_i(t) dt \quad (1.4)$$

Η κατανάλωση ισχύος σε ένα κύκλωμα CMOS, γενικά, μπορεί να αναλυθεί σε άθροισμα τριών συνιστωσών οι οποίες είναι η ισχύς μεταγωγής (*switching*) P_{sw} , η ισχύς βραχυκυκλώματος (*short-circuit*) P_{sc} και η ισχύς διαρροής (*leakage*) P_{lk} [Weste]-[Kang]. Οι δύο πρώτες, είναι οι δυναμικές συνιστώσες της συνολικής ισχύος καθώς, όπως θα δούμε στη συνέχεια, εμφανίζονται μόνο κατά τη μετάβαση (*transition*) μεταξύ δύο λογικών καταστάσεων, ενώ η τρίτη είναι η στατική συνιστώσα, η οποία αντιπροσωπεύει μια μόνιμη πηγή κατανάλωσης. Οι συνιστώσες αυτές, παριστάνονται γραφικά στην *Εικόνα 12*, για μια γενική πύλη CMOS και εξετάζονται αναλυτικότερα στις ενότητες που ακολουθούν.



Εικόνα 12. Συνιστώσες κατανάλωσης ισχύος σε μια πύλη CMOS.

1.2.2. Ισχύς μεταγωγής

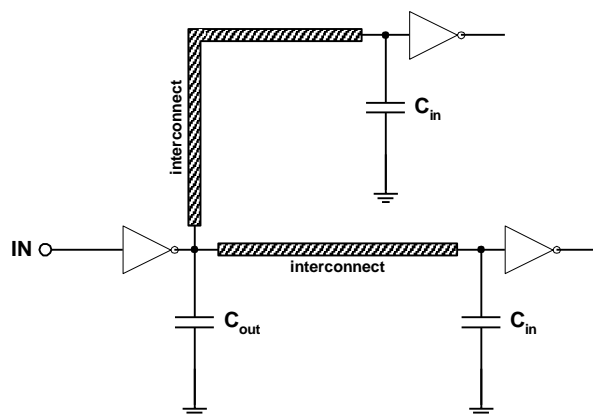
Η ισχύς μεταγωγής, αποτελεί τη σημαντικότερη συνιστώσα ισχύος της πύλης και κατ' επέκταση του κυκλώματος, τόσο λόγω του μεγέθους της, όσο και επειδή είναι η λειτουργική ισχύς που καταναλώνεται κατά τη διάρκεια μιας αλλαγής στη λογική κατάσταση της πύλης και η οποία είναι απαραίτητη ώστε η νέα κατάσταση να εμφανιστεί στην έξοδο της τελευταίας. Από την πλευρά του κυκλώματος, η ισχύς μεταγωγής καταναλώνεται για τη φόρτιση και την εκφόρτιση της χωρητικότητας (πυκνωτή) C_L , η οποία παίζει το ρόλο του φορτίου στην έξοδο της πύλης. Η εν λόγω χωρητικότητα φορτίου, εκλαμβάνεται ως η συνολική παρασιτική χωρητικότητα, την οποία βλέπει η πύλη στην έξοδό της και απαρτίζεται από τη χωρητικότητα εξόδου C_{out} του ίδιου του στοιχείου της πύλης, την *κατανεμημένη (distributed) χωρητικότητα* C_{ic} των αγωγών διασύνδεσης και τέλος το σύνολο των χωρητικότητων εισόδου C_{in} όλων των υπολοίπων πυλών του κυκλώματος, που οδηγούνται από την έξοδο της συγκεκριμένης πύλης:

$$C_L = C_{out} + C_{ic} + \sum_{i \in fanout} (C_{in})_i \quad (1.5)$$

Η χωρητικότητα εισόδου C_{in} , κάθε λογικής πύλης του κυκλώματος, είναι κατά βάση η χωρητικότητα που σχηματίζεται κάτω από τα ηλεκτρόδια πύλης (*gate electrodes*) των δύο τρανζίστορ που την απαρτίζουν και μπορεί να προσεγγιστεί (αρκετά απλοϊκά) από τη σχέση:

$$C_{in} = \frac{\epsilon_{ox}}{t_{ox}} (W_p L_p + W_n L_n) \quad (1.6)$$

όπου t_{ox} και ϵ_{ox} είναι το πάχος και η διηλεκτρική σταθερά του οξειδίου πύλης (*gate oxide*) αντίστοιχα, ενώ $W_p L_p + W_n L_n$ είναι η συνολική ωφέλιμη επιφάνεια των ηλεκτροδίων πύλης με W_p , L_p , W_n και L_n τις διαστάσεις (πλάτος και μήκος) καναλιού των pMOS και nMOS τρανζίστορ αντίστοιχα. Αν και παλαιότερα η C_{in} ήταν η κυρίαρχη συνιστώσα της χωρητικότητας φορτίου, στα σύγχρονα κυκλώματα βαθέως υπομικρού η χωρητικότητα διασύνδεσης C_{ic} , η οποία εξαρτάται κυρίως από το μήκος των αγωγών διασύνδεσης, είναι συγκρίσιμη με αυτήν (και πολλές φορές υπέρτερη) όσον αφορά το μέγεθος. Για την τελευταία, καθώς και για τη C_{out} , τα αντίστοιχα μοντέλα είναι αρκετά πιο πολύπλοκα και μπορούν να αναζητηθούν στις [Weste]-[Kang]. Όλες οι προαναφερθείσες παρασιτικές χωρητικότητες της εξόδου μιας πύλης CMOS απεικονίζονται στην *Εικόνα 13*.



Εικόνα 13. Παρασιτικές χωρητικότητες φορτίου στην έξοδο μιας πύλης CMOS.

Η αναφορά της χωρητικότητας C_L ως “παρασιτική”, ίσως δημιουργεί την εντύπωση ότι πρόκειται για ένα ανεπιθύμητο χαρακτηριστικό, απεναντίας όμως παίζει σπουδαίο ρόλο στα ψηφιακά κυκλώματα καθώς είναι αυτή που αποθηκεύει τη λογική κατάσταση της πύλης. Έτσι, ανάλογα με το εάν η C_L είναι φορτισμένη (σε τάση V_{DD}) ή αφόρτιστη (σε μηδενική τάση), η έξοδος της πύλης βρίσκεται σε λογικό 1 ή λογικό 0 αντίστοιχα. Επίσης, είναι προφανές ότι η εναλλαγή της εξόδου της πύλης μεταξύ των λογικών τιμών 0 και 1 ουσιαστικά αντιπροσωπεύει τη φυσική διεργασία της φόρτισης και εκφόρτισης του πυκνωτή C_L .

Έχοντας τα προηγούμενα κατά νου, μπορούμε πλέον να προχωρήσουμε στον υπολογισμό της κατανάλωσης ισχύος μεταγωγής. Θεωρούμε αρχικά, μια πύλη CMOS, η οποία εκτελεί τη μετάβαση από 0 σε 1 στην έξοδό της, ως αποτέλεσμα της αλλαγής λογικής στάθμης σε μια ή περισσότερες από τις εισόδους της. Κατά τη συγκεκριμένη μετάβαση το nMOS τρανζίστορ της πύλης βρίσκεται σε αποκοπή (δεν άγει), ενώ αντίθετα το pMOS τρανζίστορ άγει προσφέροντας μια διόδο για τη φόρτιση του πυκνωτή C_L μέσω της πηγής τροφοδοσίας από την τάση 0 στην τάση V_{DD} . Από γνωστή σχέση, το στιγμιαίο ρεύμα στον πυκνωτή φορτίου θα είναι:

$$I_L(t) = C_L \frac{dV_L(t)}{dt} \quad (1.7)$$

οπότε η στιγμιαία ισχύς της φόρτισης, η οποία τελικά ταυτίζεται με τη στιγμιαία κατανάλωση μεταγωγής, θα είναι:

$$P_{sw}(t) = P_L(t) = V_{DD} C_L \frac{dV_L(t)}{dt} \quad (1.8)$$

όπου $V_L(t)$ είναι η στιγμιαία τάση του πυκνωτή φορτίου. Η ισχύς που απαιτείται για τη φόρτιση του πυκνωτή παρέχεται προφανώς από την πηγή τροφοδοσίας. Έτσι, εάν σε χρόνο T η φόρτιση έχει ολοκληρωθεί, τότε η μέση ισχύς που έδωσε η πηγή στο διάστημα αυτό θα είναι:

$$P_T = \frac{V_{DD}C_L}{T} \int_0^T dV_L(t) = \frac{V_{DD}C_L}{T} V_L(t) \Big|_{t=0}^{t=T} = \frac{V_{DD}^2 C_L}{T} \quad (1.9)$$

Αυτό σημαίνει ότι η ενέργεια που δαπανήθηκε στο ίδιο χρονικό διάστημα θα είναι ίση με $E_T = P_T T = V_{DD}^2 C_L$ και καθώς η ηλεκτροστατική ενέργεια που αποθηκεύεται σε έναν πυκνωτή C_L με τάση V_{DD} είναι ως γνωστόν $\frac{V_{DD}^2 C_L}{2}$, έχουμε ότι το υπόλοιπο ποσό $\frac{V_{DD}^2 C_L}{2}$, το οποίο καταναλώθηκε ως θερμότητα πάνω στην εσωτερική αντίσταση καναλιού του pMOS τρανζίστορ, μέσω του οποίου έγινε η φόρτιση. Εάν τώρα, η πύλη εκτελέσει την αντίστροφη μετάβαση από 1 σε 0 στην έξοδό της, τότε το pMOS τρανζίστορ είναι σε αποκοπή ενώ το nMOS τρανζίστορ άγει και μέσω αυτού ο πυκνωτής εκφορτίζεται προς τη γη από την τάση V_{DD} στην τάση 0. Στην περίπτωση αυτή της εκφόρτισης, δεν παρέχεται ισχύς από την πηγή, αλλά αυτό που συμβαίνει είναι ότι όλη η αποθηκευμένη ενέργεια $\frac{V_{DD}^2 C_L}{2}$ στον πυκνωτή καταναλώνεται ως θερμότητα πάνω στην εσωτερική αντίσταση καναλιού του nMOS τρανζίστορ.

Εάν στα προηγούμενα υποθεθεί ότι η αλλαγή των εισόδων και η μετάβαση μεταξύ των λογικών καταστάσεων, γίνεται πάντοτε σε συγχρονισμό με τη θετική ακμή ενός ρολογιού, δηλαδή ότι το κύκλωμα είναι *σύγχρονο* (*synchronous*), τότε η σχέση (1.9) θα δίνει συνολικά τη μέση ισχύ μεταγωγής σε έναν πλήρη κύκλο ρολογιού διάρκειας $T = \tau$ (εφόσον εκτελείται η μετάβαση από 0 σε 1), ενώ για μεγαλύτερο πλήθος κύκλων θα έχουμε την εξής τροποποιημένη σχέση:

$$P_{sw} = a \cdot f \cdot C_L \cdot V_{DD}^2 \quad (1.10)$$

Όπου $f = 1/\tau$ είναι η συχνότητα του ρολογιού και a ένας συντελεστής ο οποίος ονομάζεται *παράγοντας δραστηριότητας μεταγωγής* (*switching activity factor*) και αντιπροσωπεύει το μέσο αριθμό των μεταβάσεων που εκτελεί η πύλη ανά κύκλο ρολογιού για το χρονικό διάστημα που εξετάζουμε. Η ύπαρξη του συντελεστή αυτού, είναι απαραίτητη καθώς η πύλη γενικά δεν αλλάζει κατάσταση σε κάθε κύκλο, αλλά μπορεί και να παραμείνει αμετάβλητη ανάλογα με τα συγκεκριμένα διανύσματα, που εφαρμόζονται στις εισόδους της. Επιπλέον, κάθε φορά που προκαλείται μια λογική μετάβαση σε κάποιο κύκλο ρολογιού ως αποτέλεσμα της αλλαγής των εισόδων, η πύλη ενδέχεται να εκτελέσει (τόσο στην έξοδό της όσο και στους εσωτερικούς της κόμβους) ένα συμπληρωματικό αριθμό ενδιάμεσων μεταβάσεων ή *glitches* μέχρι να σταθεροποιηθεί στην τελική της κατάσταση, η οποία προβλέπεται από τα διανύσματα εισόδου, κάτι που θα πρέπει επίσης να ληφθεί υπόψη στον υπολογισμό του a . Οι ενδιάμεσες αυτές μεταβάσεις, ανακύπτουν εξαιτίας των διαφορετικών χρόνων άφιξης των εισόδων και προφανώς συνιστούν ένα πρόσθετο αίτιο κατανάλωσης ισχύος μεταγωγής, καθώς προκαλούν τη φόρτιση και την εκφόρτιση του πυκνωτή φορτίου. Βέβαια, κατά τις εν λόγω ενδιάμεσες μεταβάσεις, υπάρχει η πιθανότητα ο πυκνωτής να μην προλάβει σε όλες να φορτιστεί πλήρως, πριν ξεκινήσει η διαδικασία εκφόρτισης του και αντίστροφα. Έτσι, ένας ακριβέστερος τύπος για τη μέση ισχύ μεταγωγής, ο οποίος καλύπτει τη λεπτομέρεια αυτή θα ήταν ο εξής:

$$P_{sw} = a \cdot f \cdot C_L \cdot V_{DD} \cdot V_{swing} \quad (1.11)$$

όπου V_{swing} είναι η μέση μεταβολή της τάσης φόρτισης του πυκνωτή φορτίου. Στην πράξη όμως, η ποσότητα αυτή είναι πολύ δύσκολο να καθοριστεί με ακρίβεια, οπότε δικαιολογημένα η σχέση (1.10) έχει επικρατήσει σχεδόν καθολικά στη βιβλιογραφία για τον χαρακτηρισμό της μέσης ισχύος μεταγωγής P_{sw} .

Μια σημαντική απόρροια της τελευταίας σχέσης, είναι ότι η μέση ισχύς μεταγωγής δεν εξαρτάται από τα χαρακτηριστικά και τις παραμέτρους των τρανζίστορ της πύλης, κάτι που είναι αναμενόμενο, καθώς γενικά η ενέργεια που απαιτείται για τη φόρτιση πυκνωτή σε συγκεκριμένη τάση, είναι ανεξάρτητη του στοιχείου μέσω του οποίου πραγματοποιείται η φόρτιση και καθορίζεται αποκλειστικά και μόνο από τον ίδιο τον πυκνωτή. Έτσι, για όλες τις πύλες του κυκλώματος, όσο διαφορετικές και αν είναι μεταξύ τους, η μέση ισχύς μεταγωγής θα εξαρτάται μόνο από τις παρασιτικές χωρητικότητες, που εμφανίζονται στην έξοδό τους και φυσικά από τα διανύσματα εισόδου, οπότε η συνολική μέση ισχύς μεταγωγής του κυκλώματος, θα δίνεται τελικά από το άθροισμα:

$$P_{sw} = f \cdot V_{DD}^2 \cdot \sum_{i=1}^q a_i C_i \quad (1.12)$$

όπου προφανώς C_i είναι η παρασιτική χωρητικότητα φορτίου και a_i ο παράγοντας δραστηριότητας μεταγωγής, για κάθε πύλη του κυκλώματος.

1.2.3. Ισχύς βραχυκυκλώματος

Εκτός από την κατανάλωση ισχύος μεταγωγής, κατά τη μετάβαση μεταξύ δύο λογικών καταστάσεων, υπάρχει επιπλέον και μη λειτουργική κατανάλωση ισχύος, η οποία οφείλεται στο γεγονός ότι οι αλλαγές στις εισόδους της πύλης δεν συμβαίνουν ποτέ ακαριαία, αλλά ορίζουν πάντοτε ένα μικρό χρονικό διάστημα στο οποίο τα δύο τρανζίστορ άγουν μαζί ταυτόχρονα (ευρισκόμενα στην περιοχή του κόρου), σχηματίζοντας ένα μονοπάτι βραχυκυκλώματος από την τροφοδοσία προς τη γείωση. Η συνιστώσα αυτή της ισχύος, ονομάζεται ισχύς βραχυκυκλώματος και δεν είναι λειτουργική γιατί προφανώς δεν μεταφέρεται ρεύμα στον πυκνωτή φορτίου της πύλης. Το ρεύμα βραχυκυκλώματος $I_{sc}(t)$, θα είναι ίσο με το άθροισμα των ρευμάτων των δύο τρανζίστορ που βρίσκονται στην περιοχή του κόρου, οπότε η στιγμιαία ισχύς βραχυκυκλώματος θα είναι:

$$P_{sc}(t) = V_{DD} \cdot I_{sc}(t) \quad (1.13)$$

Αντικαθιστώντας τις πολύ γνωστές (για παράδειγμα από την [Sedra]) εξισώσεις των ρευμάτων κόρου των δύο τρανζίστορ και υποθέτοντας γραμμική άνοδο και κάθοδο στον ίδιο χρόνο $t_r = t_f = t_{rf}$ για τις εισόδους, καθώς και κοινό συντελεστή κέρδους διαγωγιμότητας (transconductance) $k_n = k_p = k_{np}$ και τάση κατωφλίου (threshold voltage) V_t για τα τρανζίστορ (δηλαδή συμμετρική πύλη CMOS), η μέση ισχύς

βραχυκυκλώματος θα προκύπτει κατόπιν ολοκλήρωσης της (1.13) σε έναν κύκλο ρολογιού διάρκειας τ ως εξής [Weste]-[Kang]:

$$P_{sc} = \frac{k_{np}}{12} \frac{t_{rf}}{\tau} (V_{DD} - 2V_t)^3 \quad (1.14)$$

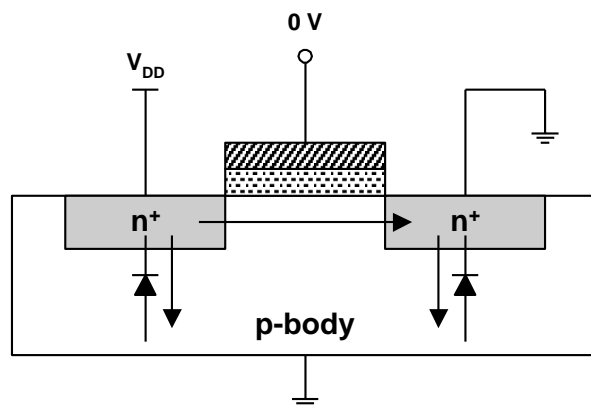
Για μεγαλύτερο πλήθος κύκλων, ο προηγούμενος τύπος τροποποιείται κατά τα γνωστά ως εξής:

$$P_{sc} = \frac{a \cdot f \cdot k_{np} \cdot t_{rf}}{12} (V_{DD} - 2V_t)^3 \quad (1.15)$$

Όπου $f = 1/\tau$ είναι η συχνότητα του ρολογιού και a ο παράγοντας δραστηριότητας μεταγωγής, για το εξεταζόμενο χρονικό διάστημα. Παρατηρούμε, ότι αντίθετα με την ισχύ μεταγωγής, η ισχύς βραχυκυκλώματος εξαρτάται από τα χαρακτηριστικά και τις παραμέτρους των τρανζίστορ της πύλης, ενώ είναι ευθέως ανάλογη του χρόνου ανόδου/καθόδου t_{rf} των εισόδων, κάτι απόλυτα λογικό και αναμενόμενο, καθώς ο χρόνος αυτός ουσιαστικά καθορίζει το διάστημα κατά το οποίο το μονοπάτι από την τροφοδοσία προς τη γείωση παραμένει ανοικτό. Πιο λεπτομερείς σχέσεις για την κατανάλωση ισχύος βραχυκυκλώματος, οι οποίες λαμβάνουν υπόψη τους και την επίδραση του πυκνωτή φορτίου, μπορούν να βρεθούν στις [Veendrick]-[Turgis]-[Hedenstierna] καθώς και στην πιο πρόσφατη [Nose].

1.2.4. Ισχύς διαρροής

Ιδανικά, η κατανάλωση ισχύος σε μια συμπληρωματική πύλη CMOS είναι μηδενική σε συνθήκες ηρεμίας, καθώς πάντοτε ένα από τα δύο τρανζίστορ βρίσκεται σε αποκοπή. Στην πραγματικότητα όμως, υπάρχει μια μικρή στατική κατανάλωση, η οποία προέρχεται τόσο από τα ρεύματα διαρροής των τρανζίστορ που βρίσκονται στην περιοχή της αποκοπής, ή την περιοχή *υποκατωφλίου* (*subthreshold*) όπως είναι αλλιώς γνωστή, όσο και από τα αντίστοιχα ρεύματα των ανάστροφα πολωμένων παρασιτικών διόδων, που σχηματίζονται ανάμεσα στις περιοχές πηγής-υποδοχής και στο υπόστρωμα κάθε τρανζίστορ, όπως φαίνεται στην *Εικόνα 14*.



Εικόνα 14. Ρεύματα διαρροής ενός τρανζίστορ MOS στην περιοχή της αποκοπής.

Το ρεύμα ανάστροφης πόλωσης, μιας γενικής διάταξης διόδου, είναι πολύ γνωστό στη βιβλιογραφία (για παράδειγμα από την [Sedra]), ενώ το ρεύμα υποκατωφλίου ενός τρανζίστορ MOS εξαρτάται εκθετικά από την τάση εισόδου του ηλεκτροδίου πύλης, με έναν αρκετά πολύπλοκο τρόπο, ο οποίος αναλύεται βασικά στη [Tsividis], αλλά και στην [Fjeldly] για την περίπτωση των τρανζίστορ μικρού μήκους καναλιού, που χρησιμοποιούνται στα κυκλώματα βαθέως υπομικρού. Το άθροισμα των ρευμάτων ανάστροφης πόλωσης και υποκατωφλίου, δίνει το συνολικό ρεύμα διαρροής I_{lk} της πύλης, οπότε η στατική κατανάλωση διαρροής, η οποία σε συνθήκες ηρεμίας μπορεί να θεωρηθεί σταθερή ως προς το χρόνο, θα είναι:

$$P_{lk} = V_{DD} \cdot I_{lk} \quad (1.16)$$

Τα ρεύματα και η στατική ισχύς διαρροής, εξαρτώνται κυρίως από τις παραμέτρους της τεχνολογίας, ενώ το μέγεθός τους είναι αρκετά μικρό (μερικές τάξεις μεγέθους μικρότερο από τις αντίστοιχες δυναμικές ποσότητες), πράγμα που σημαίνει ότι ο ρόλος τους θα περιορίζεται αποκλειστικά και μόνο στην περίπτωση όπου το κύκλωμα βρίσκεται σε ηρεμία και δεν καταναλώνει δυναμική ισχύ, ενώ θα μπορούν να αγνοούνται με ασφάλεια κατά τις μεταβάσεις μεταξύ λογικών καταστάσεων. Πάντως, το σχετικό μέγεθος των στατικών ποσοτήτων αυξάνεται με τη μείωση των τάσεων τροφοδοσίας και κατωφλίου, οπότε αυτές ενδέχεται να γίνουν υπολογίσιμες στα κυκλώματα βαθέως υπομικρού.

1.2.5. Η Ισχύς σε υψηλότερο αφαιρετικό επίπεδο

Η διατριβή αυτή, αναφέρεται σε ροές σχεδίασης ψηφιακών κυκλωμάτων και βασικός στόχος της είναι να προτείνει συνδυασμούς εργαλείων CAD, που θα επιτρέψουν στο σχεδιαστή να έχει σαφή εικόνα της κατανάλωσης ισχύος του κυκλώματος και να χρησιμοποιήσει τα δεδομένα αυτά, ώστε να καταφέρει να υλοποιήσει ένα αξιόπιστο ψηφιακό κύκλωμα. Η ισχύς, που καταναλώνεται σε ένα κύκλωμα, είναι ο βασικότερος παράγοντας για την ορθή σχεδίαση και αν θεωρήσουμε ότι η ανάλυση μέχρι τώρα αναφέρεται σε εργαλεία, που αναλύουν κυκλώματα σε επίπεδο τρανζίστορ (φυσικά και με την χρήση βελτιωμένων αλγορίθμων), μπορούμε στην συνέχεια να παρουσιάσουμε πως οι μηχανικοί μπορούν να αναλύσουν την

ισχύ σε υψηλότερο αφαιρετικό επίπεδο και να επιτύχουν μια προσέγγιση της κατανάλωσης της ισχύος. Η κατανάλωση της ισχύος χωρίζεται σε 2 υποκατηγορίες:

- Δυναμική ισχύς (dynamic power).
- Στατική ισχύς (static power).

1.2.5.1. Ορισμός Δυναμικής Ισχύος

Δυναμική ισχύς, είναι η ισχύς που καταναλώνεται όταν μια πύλη είναι ενεργή. Ένα κύκλωμα, είναι ενεργό κάθε φορά που οι τάσεις των δικτύων του εναλλάσσονται σύμφωνα πάντα με τις εισόδους που εφαρμόζονται στο κύκλωμα. Επειδή λοιπόν η τιμή της τάσης σε ένα δίκτυο εισόδου μπορεί να αλλάξει, χωρίς αυτό να σημαίνει ότι θα έχουμε και μια εναλλαγή λογικής τιμής στο δίκτυο εξόδου, δυναμική κατανάλωση ισχύος μπορεί να παρατηρηθεί και σε περιπτώσεις που το δίκτυο εξόδου δεν αλλάζει λογική τιμή. Η δυναμική κατανάλωση ισχύος σε ένα κύκλωμα, συνθέτεται από δύο συντελεστές, οι οποίοι παρουσιάζονται παρακάτω:

- Ισχύς λόγω μεταγωγής λογικής τιμής (Switching power).
- Εσωτερική ισχύς (Internal power).

1.2.5.2. Ορισμός ισχύος λόγω μεταγωγής λογικής τιμής

Η κατανάλωση ισχύος, λόγω μεταγωγής λογικής τιμής ενός οδηγούμενου κελιού προκύπτει από την φόρτιση και εκφόρτιση της χωρητικότητας φορτίου στην έξοδο του κελιού. Η συνολική χωρητικότητα φορτίου, στην έξοδο του οδηγούμενου κελιού, είναι το άθροισμα της χωρητικότητας του δικτύου και της πύλης όπου οδηγείται η έξοδος.

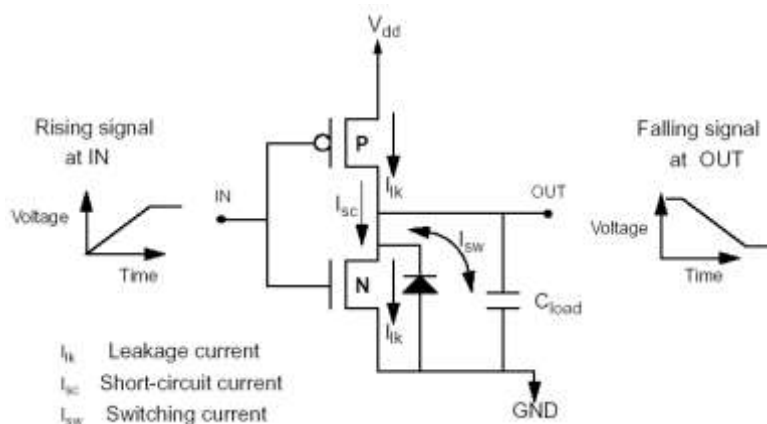
Επειδή, τέτοιες φορτίσεις και εκφορτίσεις, είναι αποτέλεσμα των λογικών μεταγωγών των τιμών της εξόδου του κελιού, η κατανάλωση ισχύος, λόγω μεταγωγής λογικής τιμής αυξάνεται όσο και η συχνότητα των μεταγωγών λογικών τιμών. Καταλήγουμε λοιπόν στο συμπέρασμα, ότι η ισχύς λόγω μεταγωγής λογικής τιμής είναι μια συνάρτηση δύο παραγόντων, της συνολικής χωρητικότητας φορτίου στην έξοδο του κελιού και της συχνότητας των εναλλαγών λογικών τιμών. Η κατανάλωση ισχύος, λόγω εναλλαγής λογικής τιμής αποτελεί το μεγαλύτερο ποσοστό της κατανάλωσης ισχύος ενός ενεργού CMOS κυκλώματος.

1.2.5.3. Ορισμός εσωτερικής ισχύος

Η κατανάλωση εσωτερικής ισχύος λαμβάνει χώρα μέσα στα όρια του κελιού. Κατά την διάρκεια της εναλλαγής, ένα κύκλωμα καταναλώνει εσωτερική ισχύ λόγω της φόρτισης και εκφόρτισης των οποιοδήποτε εσωτερικών χωρητικοτήτων που διαθέτει το κελί. Κατανάλωση εσωτερικής ισχύος έχουμε

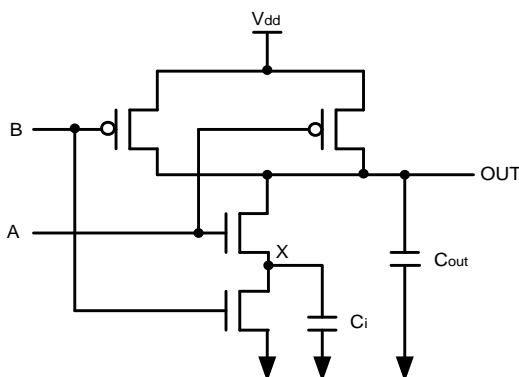
λόγω της στιγμιαίας εμφάνισης βραχυκυκλώματος μεταξύ του P και N τρανζίστορ της πύλης, η οποία αναφέρεται και ως ισχύς βραχυκυκλώσεως (short-circuit power).

Για να αντιληφθούμε για ποιο λόγο έχουμε αυτή την κατανάλωση, δώστε προσοχή στην πύλη που παρουσιάζεται παρακάτω, στην *Εικόνα 15*. Ένα ανοδικό σήμα εφαρμόζεται στην είσοδο IN. Αφού το σήμα εναλλάσσεται από χαμηλή τιμή σε υψηλή, το τρανζίστορ τύπου N ανοίγει και το τρανζίστορ τύπου P κλείνει. Ωστόσο, για λίγο χρονικό διάστημα, όσο έχουμε την εναλλαγή του σήματος, τόσο το P όσο και το N τύπου τρανζίστορ μπορούν να είναι ανοιχτά ταυτόχρονα. Στο προαναφερθέν αυτό χρονικό διάστημα, το ρεύμα I_{SC} ρέει από την τάση V_{dd} στην γείωση GND, προκαλώντας κατανάλωση ισχύος βραχυκυκλώματος P_{SC} .



Εικόνα 15. Μια απλή πύλη όπου φαίνεται σε ποια σημεία έχουμε στατική και δυναμική κατανάλωση ισχύος.

Ένα ακόμα χαρακτηριστικό παράδειγμα κατανάλωσης εσωτερικής ισχύος, είναι όταν έχουμε μεταγωγή ενός εσωτερικού κόμβου χωρίς να έχουμε μεταγωγή στην έξοδο. Για παράδειγμα, θα δούμε την CMOS πύλη NAND 2-εισόδων που φαίνεται παρακάτω στην *Εικόνα 16*:



Εικόνα 16. Μια CMOS πύλη NAND 2-εισόδων.

Αν, στην είσοδο της πύλης, εφαρμόσουμε τις εισόδους που φαίνονται στον παρακάτω Πίνακα 3, η έξοδος δεν αλλάζει κατάσταση, όμως ο κόμβος X αλλάζει λογική τιμή με αποτέλεσμα να καταναλώνει ισχύ.

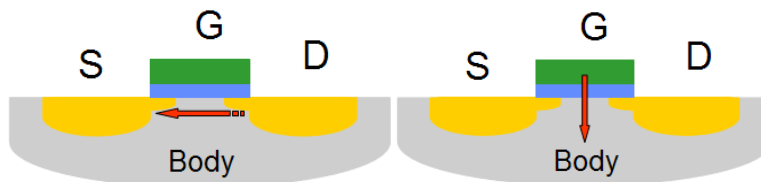
Πίνακας 3. Μια CMOS πύλη NAND 2-εισόδων.

A	1	0	0	0	1
B	0	0	1	0	0
OUT	1	1	1	1	1
X	1	1	0	0	1

Για κυκλώματα με γρήγορους χρόνους μεταγωγής, η κατανάλωση ισχύος βραχυκυκλώματος μπορεί να είναι μικρή. Ωστόσο, για κυκλώματα με αργούς χρόνους μεταγωγής, η κατανάλωση ισχύος βραχυκυκλώματος μπορεί να προκαλεί περίπου το 30% επί της συνολικής κατανάλωσης της πύλης. Η κατανάλωση ισχύος βραχυκυκλώματος, επηρεάζεται από το μέγεθος του τρανζίστορ και τη χωρητικότητα φορτίου στην έξοδο της πύλης. Στα απλά κελιά, που παρέχονται από μια βιβλιοθήκη, η εσωτερική ισχύς οφείλεται συνήθως στην ισχύ βραχυκυκλώματος. Για το λόγο αυτό οι δύο αυτοί όροι θεωρούνται συνώνυμοι.

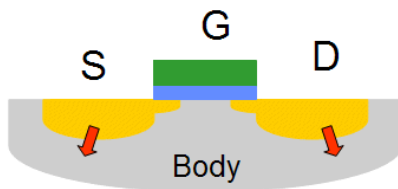
1.2.5.4. Ορισμός Στατικής Ισχύος

Στατική ισχύς, είναι η ισχύς που καταναλώνει μια πύλη όταν δεν αλλάζει την λογική τιμή της εξόδου της. Στατική ισχύς καταναλώνεται για πολλούς λόγους. Το μεγαλύτερο ποσοστό κατανάλωσης στατικής ισχύος στις τεχνολογίες που αναλύθηκαν, όπως φαίνεται και στην *Εικόνα 17*, προκύπτει από την αγωγή υποκατωφλίου μεταξύ πηγής και υποδοχής (source-to-drain subthreshold leakage) και το ρεύμα διαρροής πύλης καναλιού που οφείλεται σε φαινόμενα διόδευσης από το οξειδίο (tunneling effects).



Εικόνα 17. Αγωγή υποκατωφλίου τρανζίστορ και αγωγή μεταξύ πύλης και καναλιού.

Η κατανάλωση στατικής ισχύος, βλέπε *Εικόνα 18*, παρουσιάζεται επειδή η ανάστροφα πολωμένη δίοδος άγει μεταξύ των στρωμάτων διαχύσεως και του υποστρώματος. Για το λόγο αυτό, η στατική ισχύς συχνά αναφέρεται ως ισχύς διαρροής (leakage power).



Εικόνα 18. Αγωγή της ανάστροφα πολωμένης διόδου που σχηματίζεται από την περιοχή διαχύσεως και το υπόβαθρο.

1.2.5.5. Υπολογισμός της κατανάλωσης ισχύος

Στην παράγραφο αυτή, θα παρουσιάσουμε τους μαθηματικούς τύπους που χρησιμοποιεί για την Ανάλυση Ισχύος το λογισμικό που χρησιμοποιήθηκε για την παρούσα εργασία. Στην ουσία ο Power Compiler [Pcompiler], υπολογίζει την συνολική κατανάλωση ισχύος εφαρμόζοντας τους τύπους, με είσοδο, πληροφορία που είναι μοντελοποιημένη για ισχύ στην εκάστοτε τεχνολογική βιβλιοθήκη.

Υπολογισμός Ισχύος Διαρροής (Leakage Power Calculation)

Όταν ζητείται από τον Power Compiler να δώσει μια ανάλυση της κατανάλωσης ισχύος για ένα κύκλωμα, υπολογίζει την συνολική ισχύ διαρροής, προσθέτοντας την ισχύ διαρροής κάθε τεχνολογικού κελιού, που έχει χρησιμοποιηθεί στο συγκεκριμένο κύκλωμα, όπως φαίνεται και στους παρακάτω μαθηματικούς τύπους:

$$P_{LeakageTotal} = \sum_{\forall cells(i)} P_{CellLeakage_i} \quad (1.17)$$

όπου:

$P_{LeakageTotal}$: Συνολική κατανάλωση ισχύος διαρροής για το κύκλωμα.

$P_{CellLeakage_i}$: Κατανάλωση ισχύος διαρροής για το κάθε κελί i .

Οι μηχανικοί που αναπτύσσουν κελιά για βιβλιοθήκες (library cells), επισυνάπτουν μέσα στην περιγραφή του μοντέλου τους και την κατά προσέγγιση συνολική τιμή της ισχύος διαρροής, που καταναλώνει το κάθε κελί της βιβλιοθήκης.

Η ισχύς διαρροής πολλές φορές εξαρτάται και από την λογική κατάσταση στην οποία βρίσκεται το κελί (state-dependent leakage power). Η τιμή αυτή μπορεί να μοντελοποιηθεί κατά τη δημιουργία της βιβλιοθήκης, προσαρτώντας τη νέα πληροφορία με ένα when statement στην περιγραφή του LEAKAGE_POWER σε κάθε κελί.

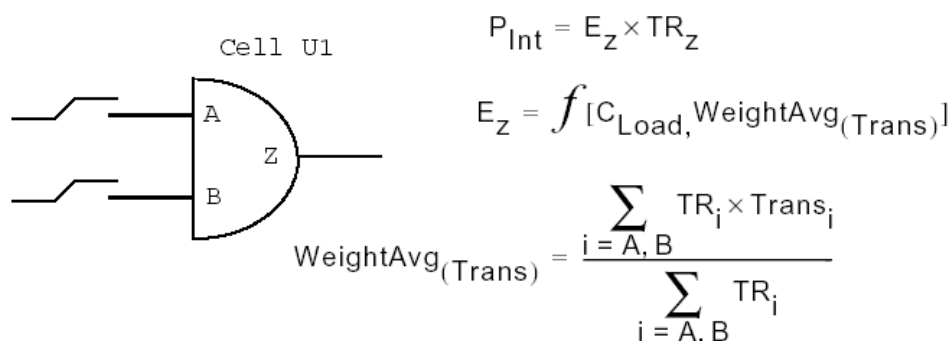
Σύμφωνα με μετρήσεις για κυκλώματα που είναι ενεργά τον περισσότερο χρόνο της λειτουργίας τους, η ισχύς διαρροής είναι μικρότερη του 1% της συνολικής κατανάλωσης. Ωστόσο, για κυκλώματα που συνήθως είναι ανενεργά, η μοντελοποίηση της ισχύος διαρροής είναι σημαντική. Είναι σημαντικό όμως να

αναφερθεί, ότι η κατανάλωση διαρροής έχει αρχίσει να αποκτά σημαντικές τιμές στα σύγχρονα ΟΚ και μπορούμε να ισχυριστούμε, ότι πλέον αποτελεί μια σημαντική παράμετρο που εξαρτάται από διάφορους παράγοντες.

Υπολογισμός Εσωτερικής Ισχύος (Internal Power Calculation)

Για τον υπολογισμό, της εσωτερικής κατανάλωσης ισχύος χρησιμοποιείται πληροφορία από την τεχνολογική βιβλιοθήκη. Έτσι, σε κάθε βιβλιοθήκη υπάρχει η αντίστοιχη ομάδα παραμέτρων για INTERNAL_POWER. Οι μηχανικοί, που αναπτύσσουν βιβλιοθήκες, κατασκευάζουν τον πίνακα κατανάλωσης εσωτερικής ισχύος, πάνω στον οποίο μοντελοποιούν την κατανάλωση της εν λόγω ισχύος για κάθε ακροδέκτη (pin) του κελιού.

Η συνολική κατανάλωση της εσωτερικής ισχύος ενός κελιού είναι ίση με το άθροισμα της κατανάλωσης όλων των ακροδεκτών εισόδου και εξόδου του κελιού, σύμφωνα πάντα με την μοντελοποίηση του στην βιβλιοθήκη. Στην *Εικόνα 19*, φαίνεται ποιους τύπους χρησιμοποιεί το λογισμικό της SYNOPSIS για power analysis, ώστε να υπολογίσει την κατανάλωση εσωτερικής ισχύος για ένα απλό συνδυαστικό κελί, U1.



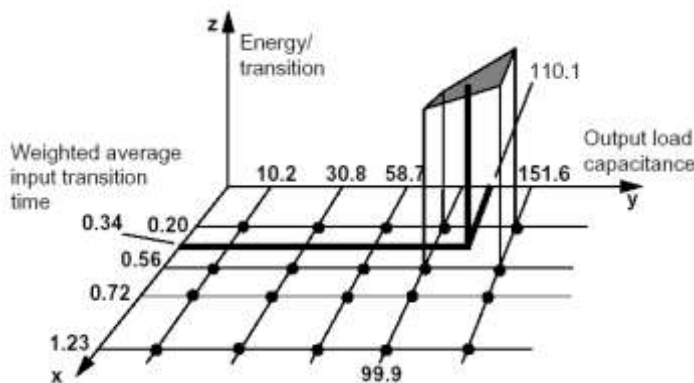
Εικόνα 19. Μοντέλο υπολογισμού κατανάλωσης εσωτερικής ισχύος για ένα απλό συνδυαστικό κελί, U1.

όπου:

- P_{Int} : Συνολική εσωτερική ισχύς του κελιού.
- E_Z : Εσωτερική ενέργεια της εξόδου Z συναρτήσει των μεταγωγών της λογικής τιμής της εισόδου και του φορτίου εξόδου.
- TR_Z : Μέσος αριθμός μεταγωγών ακροδέκτη εξόδου Z.
- TR_i : Μέσος αριθμός μεταγωγών ακροδέκτη εισόδου i, εναλλαγές/sec.
- $Trans_i$: Χρόνος μεταγωγής εισόδου i.
- $WeightAvg_{(Trans)}$: Χρόνος μεταγωγής με βάρη της εξόδου Z.

Με βάση πληροφορίες, όπως τον μέσο αριθμό μεταγωγών και τον χρόνο μεταγωγής της εισόδου, ο Power Compiler παράγει ένα μέσο χρόνο μεταγωγής με βάρη (weighted average transition time), ο οποίος

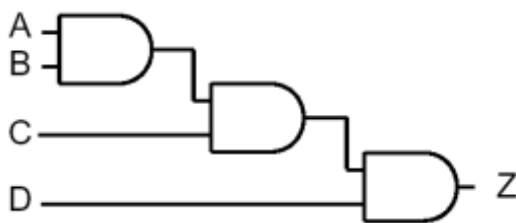
χρησιμοποιείται ως δείκτης στο πίνακα τιμών, για την κατανάλωση εσωτερικής ισχύος στον ακροδέκτη εξόδου. Η χωρητικότητα φορτίου της εξόδου (output load capacitance), χρησιμοποιείται από τον Power Compiler ως πρόσθετος δείκτης. Οι δύο αυτοί δείκτες δίνουν τη δυνατότητα στον Power Compiler να διαβάσει το δισδιάστατο πίνακα τιμών (two-dimensional lookup table) της εξόδου, όπως και φαίνεται στην *Εικόνα 20*:



Εικόνα 20. Δισδιάστατος πίνακας τιμών (two-dimensional lookup table) της εξόδου.

Τα κελιά, συνήθως καταναλώνουν διαφορετική εσωτερική ισχύ, η οποία εξαρτάται από το ποιος ακροδέκτη εισόδου αλλάζει κατάσταση ή από την κατάσταση της λογικής τιμής, που βρίσκεται το κελί. Έχουμε λοιπόν, κατανάλωση εσωτερικής ισχύος εξαρτώμενη από την κατάσταση (state dependent internal power) και από τη διαδρομή (path dependent internal power).

Για να σας παρουσιάσουμε ένα παράδειγμα κατανάλωσης εσωτερικής ενέργειας εξαρτώμενης από τη διαδρομή (path dependent internal power), ας παρατηρήσουμε στην *Εικόνα 21*, όπου έχουμε ένα απλό κελί μιας βιβλιοθήκης, το οποίο έχει τρία επίπεδα λογικής και ένα πλήθος από ακροδέκτες εισόδου.



Εικόνα 21. Απλό κελί με τρία επίπεδα λογικής και τέσσερις εισόδους.

Οι εισοδοί A και D, μπορούν κάθε μια ξεχωριστά να προκαλέσουν αλλαγή στην λογική τιμή της εξόδου. Ωστόσο, η είσοδος D επηρεάζει μόνο ένα επίπεδο λογικής, ενώ η είσοδος A επηρεάζει και τις τρεις. Όπως, είναι φυσιολογικό μια εναλλαγή στην έξοδο Z να καταναλώνει περισσότερη εσωτερική ισχύ όταν είναι αποτέλεσμα μιας αλλαγής της τιμής της εισόδου A, σε σύγκρισή με την κατανάλωση όταν προκαλείται από μια εναλλαγή της εισόδου D. Έτσι, μπορούμε να καθορίζουμε πολλαπλούς πίνακες τιμών (lookup tables) για τις εξόδους, εξαρτώμενους από τις εναλλαγές στις εισόδους.

Η επιλογή του κατάλληλου πίνακα με πληροφορίες, που έχουν να κάνουν με εξαρτήσεις μονοπατιού για κάθε έξοδο, από τον Power Compiler, γίνεται με τον έλεγχο της μεταβλητής RELATED_PIN, που βρίσκεται στην βιβλιοθήκη.

Ένα χαρακτηριστικό παράδειγμα κελιού με κατανάλωση ισχύος με εξάρτηση κατάστασης (state dependent internal power) είναι το κελί μνήμης (RAM cell). Ένα κελί μνήμης, καταναλώνει διαφορετικά ποσά εσωτερικής ενέργειας, ανάλογα με την κατάσταση λειτουργίας (mode) στην οποία βρίσκεται -εγγραφής ή ανάγνωσης. Μπορούμε, να ορίσουμε διαφορετικούς πίνακες τιμών για εσωτερική ισχύ, εξαρτώμενους από την λογική κατάσταση ή την κατάσταση λειτουργίας του κελιού.

Όταν ένα σήμα αλλάζει λογική κατάσταση, η εσωτερική ενέργεια που καταναλώνεται όταν το σήμα είναι ανοδικό (από 0 σε 1), είναι διαφορετική από αυτή που καταναλώνεται όταν είναι καθοδικό (από 1 σε 0). Ο Power Compiler υποστηρίζει την δυνατότητα να μπορεί κάποιος να ορίζει ξεχωριστά τις δύο αυτές τιμές ισχύος. Επίσης, υποστηρίζει και μοντέλα βιβλιοθηκών, οι οποίες υποστηρίζουν το μέσο όρο αυτών των δύο τιμών.

Στην περίπτωση, που ένα κελί έχει ακροδέκτες εισόδου, που οι λογικές τους τιμές είναι ίσες ή αντίθετες, ο Power Compiler μπορεί να χρησιμοποιήσει ένα τρισδιάστατο πίνακα τιμών (three-dimensional lookup table). Ο πίνακας αυτός δημιουργείται με το χρόνο εναλλαγής της εισόδου και τις χωρητικότητες εξόδου των δύο ακροδεκτών εξόδου που έχουν ίδιες ή αντίθετες λογικές τιμές. Ένας τέτοιος πίνακας θα μπορούσε να χρησιμοποιηθεί για την περιγραφή ενός flip-flop, το οποίο έχει Q και Q-bar εξόδους με αντίθετες τιμές.

Η ομάδα παραμέτρων INTERNAL_POWER της βιβλιοθήκης υποστηρίζει μόνο-, δις- ή τρις - διάστατους πίνακες τιμών. Ο Πίνακας 4, παρουσιάζει τους τύπους των πινάκων τιμών, που εφαρμόζονται και τις τιμές που καταχωρούνται σε αυτούς.

Πίνακας 4. Πίνακες Τιμών (Lookup Tables).

Πίνακας τιμών	Ορίζεται στην	Με δείκτες
Μονοδιάστατος	Είσοδος	Μεταγωγή εισόδου
	Έξοδος	Χωρητικότητα φορτίου εξόδου
Δισδιάστατος	Έξοδος	Μεταγωγή εισόδου και χωρητικότητα φορτίου εξόδου
Τρισδιάστατος	Έξοδος	Μεταγωγή εισόδου και χωρητικότητα φορτίου εξόδου των δύο ακροδεκτών εξόδου που έχουν ίδιες ή αντίθετες λογικές τιμές

Υπολογισμός Ισχύος Μεταγωγής (Switching Power Calculation)

Ο Power Compiler, κατά την ανάλυση ισχύος που πραγματοποιεί, υπολογίζει την ισχύ Μεταγωγής (P_C) σύμφωνα με τον παρακάτω τύπο:

$$P_C = \frac{V_{dd}^2}{2} \sum_{\forall nets(i)} (C_{Load_i} \times TR_i) \quad (1.18)$$

όπου:

- P_C : Ισχύς Μεταγωγής του κυκλώματος
- C_{Load_i} : Χωρητικότητα φορτίου του δικτύου i
- TR_i : Μέσος αριθμός μεταγωγών του δικτύου i , μεταγωγές/sec
- V_{dd} : Τάση τροφοδοσίας

Η παράμετρος C_{Load_i} αντιπροσωπεύει την συνολική χωρητικότητα του δικτύου i , δηλαδή είναι το άθροισμα της παρασιτικής χωρητικότητας (parasitic capacitance), της χωρητικότητας πύλης (gate capacitance) και υποδοχής (drain capacitance) όλων των ακροδεκτών που είναι συνδεδεμένοι με το δίκτυο i .

Το λογισμικό του Power Compiler, για τους υπολογισμούς αυτούς, χρησιμοποιεί πληροφορία από τον τύπο του μοντέλου καλωδίωσης (wire load model) για το δίκτυο και από την πληροφορία που προσφέρει η τεχνολογική βιβλιοθήκη για τις πύλες που είναι συνδεδεμένες με το δίκτυο. Επίσης, αν διαθέτουμε και τον Physical Compiler, μπορούμε στο κύκλωμα που θα έχουμε σε transistor-level να κρατήσουμε τη χωρητική πληροφορία του (back-annotate capacitance) και να τη χρησιμοποιήσουμε για πιο ακριβείς υπολογισμούς.

Υπολογισμός Δυναμικής Ισχύος (Dynamic Power Calculation)

Επειδή, η δυναμική ισχύς (Dynamic Power) είναι η ισχύς που καταναλώνεται όταν το κύκλωμα είναι ενεργό, το άθροισμα της ισχύος μεταγωγής και της εσωτερικής ισχύος μας δίνει το συνολικό ποσό της δυναμικής ισχύος που καταναλώνεται, άρα:

$$\text{Δυναμική Ισχύς} = \text{Ισχύς Μεταγωγής} + \text{Εσωτερική Ισχύς}$$

Υπολογισμός της κατανάλωσης ισχύος των κελιών

Η συνολική κατανάλωση ισχύος ενός CMOS ολοκληρωμένου κυκλώματος, είναι το άθροισμα της στατικής και της δυναμικής κατανάλωσης ισχύος. Σε ένα τεχνικό φυλλάδιο (datasheet), αναγράφεται τόσο η στατική όσο και η δυναμική κατανάλωση ισχύος για ένα κελί.

Κατανάλωση Στατικής Ισχύος

Στα περισσότερα κυκλώματα, το μεγαλύτερο μέρος της κατανάλωσης στατικής ισχύος είναι λόγω της κατανάλωσης της ισχύος διαρροής και είναι ανεξάρτητη από την συχνότητα μεταγωγής του κελιού. Η συνολική κατανάλωση στατικής ισχύος, για ένα μπλοκ λογικής, είναι το άθροισμα της πληροφορίας για την στατική ισχύ κάθε στοιχείου της βιβλιοθήκης που χρησιμοποιείται στο μπλοκ. Στο datasheet η στατική ισχύς είναι σε μονάδες microwatts.

Κατανάλωση Δυναμικής Ισχύος.

Η κατανάλωση ισχύος ανά μεταγωγή είναι άμεσα συνυφασμένη με την δραστηριότητα μεταγωγής του κυκλώματος. Στην σημερινή CMOS τεχνολογία, η κατανάλωση δυναμικής ισχύος αποτελεί το μεγαλύτερο ποσοστό της κατανάλωσης. Στο τεχνικό δελτίο (datasheet), η κατανάλωση δυναμικής ενέργειας παρουσιάζεται σε μονάδες picojoules ανά μεταγωγή. Η πληροφορία αυτή, είναι η ενέργεια ανά μεταγωγή και επιπρόσθετα η ισχύς που καταναλώνεται όταν φορτίζονται και εκφορτίζονται οι χωρητικότητες φορτίου εισόδου-εξόδου (fanout load capacitances). Τέλος, η πληροφορία αυτή δείχνει την εσωτερική ισχύ για μια δοσμένη μεταγωγή, συμπεριλαμβανομένου τόσο της εσωτερικής μεταγωγής όσο και των επιδράσεων από τα βραχυκυκλώματα.

Υπολογισμός της κατανάλωσης Ισχύος

Για μια ακριβή εκτίμηση της κατανάλωσης ισχύος για ένα κελί, πρέπει να συμπεριλάβουμε στον υπολογισμό μας τα παρακάτω:

- Την κατανάλωση στατικής ισχύος.
- Την κατανάλωση ενέργειας κατά την ανοδική και καθοδική μεταγωγή.
- Την κατανάλωση ενέργειας κατά την φόρτιση και εκφόρτιση του φορτίου (fanout load, αν φυσικά η μεταγωγή προκαλεί αλλαγή στην έξοδο).
- Την συχνότητα μεταγωγής.

Για να υπολογίσουμε την κατανάλωση ισχύος για ένα κελί της βιβλιοθήκης σε μια συγκεκριμένη συχνότητα χρησιμοποιούμε την παρακάτω σχέση:

$$P_{diss} = (E_{rise} + E_{fall} + (C_{fanout} \cdot V^2)) \cdot F_{switching} + P_{static} \quad (1.19)$$

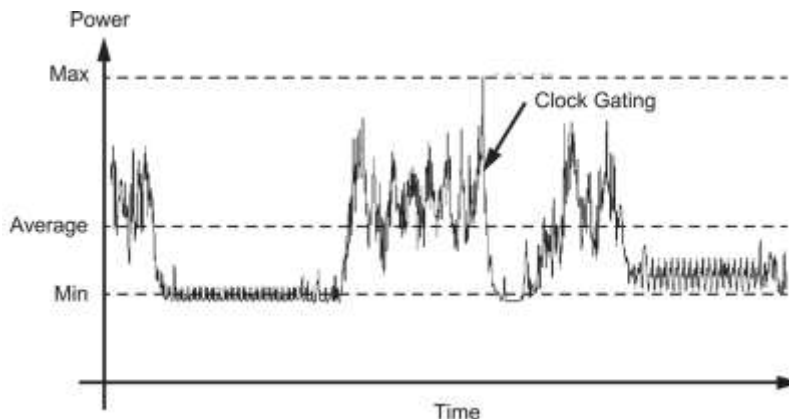
όπου:

P_{diss}	: Η κατανάλωση ισχύος της πύλης (uW).
E_{rise}	: Η ενέργεια την μεταγωγής ανόδου (pJ).
E_{fall}	: Η ενέργεια την μεταγωγής καθόδου (pJ).
C_{fanout}	: Η χωρητικότητα του φορτίου εξόδου (pF), ο αριθμός των φορτίων πολλαπλασιασμένος με την τιμή ενός standard φορτίου.
V	: Η τάση τροφοδοσίας (V).
$F_{switching}$: Η συχνότητα μεταγωγής (MHz).
P_{static}	: Η στατική κατανάλωση ισχύος του κελιού (uW).

Σημείωση: η ποσότητα $C_{fanout} V^2$ πρέπει να λαμβάνεται υπόψη μόνο αν η σχετιζόμενη μεταγωγή προκαλεί αλλαγή στην έξοδο (δείτε το ΠΑΡΑΡΤΗΜΑ Α).

1.2.6. Οι ορισμοί της μέσης και της μέγιστης ισχύος στα κυκλώματα CMOS VLSI

Στην αρχή της προηγούμενης ενότητας κάναμε λόγο για τις δύο κυριότερες μορφές ισχύος που γενικά υπάρχουν, δηλαδή τη στιγμιαία και τη μέση ισχύ, οι οποίες ορίστηκαν στις σχέσεις (1.1) και (1.3) ως συναρτήσεις των χρονικών μεταβλητών t (χρονική στιγμή) και T (χρονικό διάστημα) αντίστοιχα. Στη συνέχεια, επίσης κατέστη εμφανές, ότι ειδικά για την περίπτωση των κυκλωμάτων CMOS, λόγω της ύπαρξης των δυναμικών συνιστωσών μεταγωγής (κατά κύριο λόγο) και βραχυκυκλώματος, οι οποίες εμφανίζονται αποκλειστικά κατά την αλλαγή λογικών καταστάσεων, ο προσδιορισμός των παραπάνω μορφών ισχύος από τις αντίστοιχες σχέσεις τους έχει νόημα μόνο εάν είναι γνωστά τα συγκεκριμένα διανύσματα εισόδου του κυκλώματος που εφαρμόζονται (πάντα σε συγχρονισμό με το ρολόι) τη στιγμή ή το διάστημα όπου αυτές εξετάζονται. Η Ισχύς με το χρόνο παρουσιάζεται στην *Εικόνα 22*, όπου φαίνεται χαρακτηριστικά η επίδραση της ενεργοποίησης νέων συστημάτων με την ακμή του ρολογιού, καθώς και οι ελάχιστες και οι μέγιστες τιμές που εμφανίζει σε διάφορες περιόδους του ρολογιού και η τιμή της μέσης κατανάλωσης ισχύος.



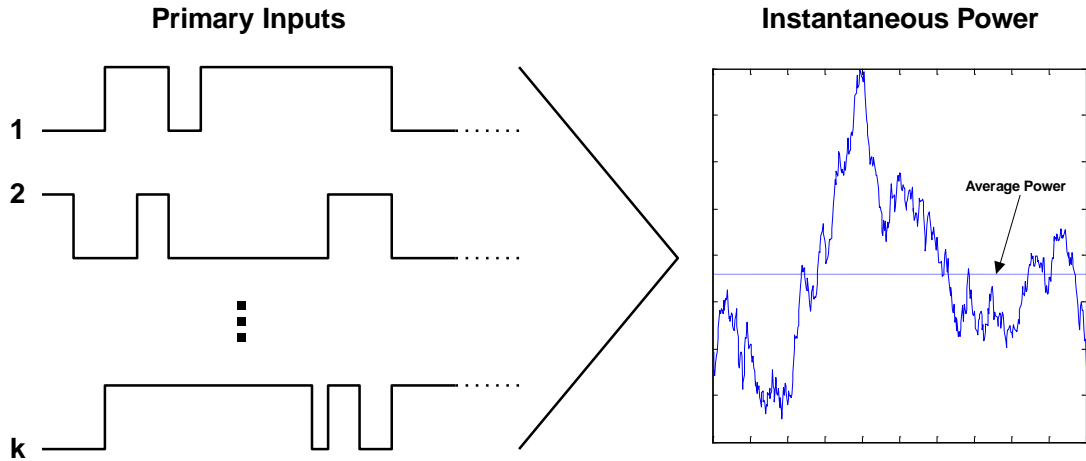
Εικόνα 22. Η κατανάλωση Ισχύος σε συνάρτηση του χρόνου σε έναν μικροεπεξεργαστή [Sun Microsystems].

Με βάση όμως, τις προαναφερθείσες σχέσεις μπορούν για κάθε κύκλωμα να οριστούν δύο μοναδικές ανεξάρτητες του χρόνου τιμές ισχύος, ήτοι η μέγιστη ισχύς P_{mx} και η μέση (ανεξαρτήτως διαστήματος) ισχύς P_{av} , οι οποίες καλύπτουν το σύνολο των διανυσμάτων εισόδου και έχουν ξεχωριστή σημασία γενικότερα για τη σχεδίαση ολοκληρωμένων κυκλωμάτων.

Διαισθητικά, ως μέση ισχύς ενός κυκλώματος CMOS νοείται η μέση ισχύς της σχέσης (1.3) για ένα εκτεταμένο χρονικό διάστημα T , το οποίο περιλαμβάνει μεγάλο πλήθος κύκλων ρολογιού και εξαντλεί όλες τις δυνατές μεταβολές μεταξύ των διανυσμάτων εισόδου, όπως απεικονίζεται στην *Εικόνα 23*. Σε αυστηρούς μαθηματικούς όρους, η μέση ισχύς του κυκλώματος ορίζεται ως το ακόλουθο όριο της σχέσης (1.3) για $T \rightarrow +\infty$:

$$P_{av} = \lim_{T \rightarrow +\infty} P_T = \lim_{T \rightarrow +\infty} \frac{1}{T} \int_0^T P(t) dt \quad (1.20)$$

το οποίο σύμφωνα με ορισμένα αποτελέσματα που δόθηκαν στη [Najm] υπάρχει πάντοτε και συγκλίνει, για κάθε κύκλωμα, σε μια συγκεκριμένη τιμή P_{av} .



Εικόνα 23. Γραφική απεικόνιση του ορισμού της μέσης ισχύος στα κυκλώματα CMOS VLSI.

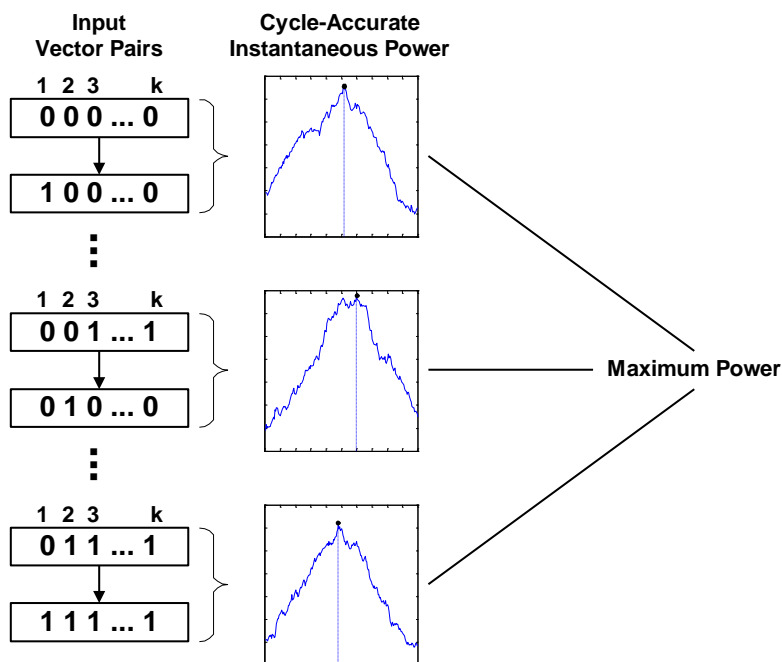
Από την άλλη, η μέγιστη ισχύς ενός κυκλώματος CMOS, η οποία είναι συνήθως αρκετά μεγαλύτερη της αντίστοιχης μέσης, θα είναι όπως αναμένεται η μέγιστη ή αλλιώς η *χειρότερη δυνατή* (*worst case*) τιμή της στιγμιαίας ισχύος (1.1) που καταναλώνεται από το κύκλωμα για κάθε χρονική στιγμή t :

$$P_{mx} = \max_{t \in \mathfrak{R}} P(t) \quad (1.21)$$

Με βάση την ανάλυση της ισχύος των κυκλωμάτων CMOS, σε δύο δυναμικές και μια στατική συνιστώσα, που έγινε στην προηγούμενη ενότητα και λαμβάνοντας υπόψη ότι η τελευταία είναι αρκετά μικρότερη από τις άλλες δύο, προκύπτει ότι οι δυσμενέστερες συνθήκες, ως προς την κατανάλωση ισχύος, θα υφίστανται στο διάστημα που επακολουθεί μιας λογικής μετάβασης, το οποίο εκτείνεται για μια περίοδο τ του ρολογιού μέχρι την επόμενη μετάβαση, πράγμα που σημαίνει ότι η εξέταση της στιγμιαίας ισχύος δύναται να περιοριστεί εκεί. Γενικότερα, όταν η στιγμιαία ισχύς εξετάζεται στο διάστημα μιας περιόδου ή ενός κύκλου του ρολογιού, τότε θα αναφέρεται ως (ακριβής) στιγμιαία ισχύς *κύκλου* (*cycle-accurate*). Τελικά, η μέγιστη ισχύς του κυκλώματος θα είναι ίση με τη μέγιστη στιγμιαία ισχύ που μπορεί να καταναλωθεί μέσα σε έναν κύκλο ρολογιού, οπότε θα ορίζεται αυστηρά ως η μέγιστη τιμή των κορυφών (μεγίστων) της στιγμιαίας ισχύος κύκλου ανάμεσα σε όλα τα δυνατά ζεύγη $(\underline{v}_1, \underline{v}_2)$ των διανυσμάτων εισόδου που σηματοδοτούν μια λογική μετάβαση στην απαρχή ενός νέου κύκλου:

$$P_{mx} = \max_{(\underline{v}_1, \underline{v}_2) \in \Omega} \left(\max_{t \in [0, \tau]} P_{(\underline{v}_1, \underline{v}_2)}(t) \right) \quad (1.22)$$

όπου \underline{v}_1 και \underline{v}_2 είναι το “προηγούμενο” και το “επόμενο” διάνυσμα της μετάβασης αντίστοιχα, ενώ Ω είναι το πλήρες σύνολο των ζευγών $(\underline{v}_1, \underline{v}_2)$. Ο ορισμός αυτός της μέγιστης ισχύος, απεικονίζεται γραφικά στην ακόλουθη Εικόνα 24.



Εικόνα 24. Γραφική απεικόνιση του ορισμού της μέγιστης ισχύος στα κυκλώματα CMOS VLSI.

Στο επόμενο κεφάλαιο, θα επανέλθουμε στους παραπάνω ορισμούς της μέσης και της μέγιστης ισχύος, όπου και θα αναφέρουμε τις έννοιες αυτές από την στατιστική τους σκοπιά και την ιδιαίτερη αξία που αποκτούν με εφαρμογή νέων τεχνικών, όπως αυτή που αναλύεται στην εργασία [Enmorfopoulos02] και τη σημασία που κατέχει η αποτελεσματική τους εκτίμηση στη σχεδίαση ολοκληρωμένων κυκλωμάτων CMOS VLSI.

1.3. ΠΡΟΒΛΗΜΑΤΑ ΑΞΙΟΠΙΣΤΙΑΣ ΣΤΑ ΣΥΓΧΡΟΝΑ ΟΚ

1.3.1. Θέματα συσκευασίας και απαγωγής θερμότητας

Εκτός από τη σημασία της, στην προσπάθεια μείωσης της κατανάλωσης ισχύος μέσω της σχεδιαστικής οδού, η εκτίμηση της μέσης ισχύος είναι επίσης απαραίτητη στη θερμική σχεδίαση του ολοκληρωμένου κυκλώματος, η οποία για δεδομένη κατανάλωση αποσκοπεί στην αποτελεσματική απαγωγή της εκλυόμενης θερμότητας με το ελάχιστο δυνατό κόστος. Όπως γνωρίζουμε, ένα ολοκληρωμένο κύκλωμα κατά τη διάρκεια της λειτουργίας του απελευθερώνει θερμότητα, η οποία προέρχεται από την κατανάλωση ισχύος πάνω στις εσωτερικές αντιστάσεις καναλιού των τρανζίστορ που βρίσκονται σε κατάσταση αγωγής. Η απαγωγή αυτή της θερμότητας, είναι απαραίτητη προκειμένου αφενός να διατηρηθεί η απόδοση του κυκλώματος, καθώς η συνολική του καθυστέρηση αυξάνει σχεδόν γραμμικά με την αύξηση της εσωτερικής του θερμοκρασίας [Glasser] και αφετέρου να μην υποβαθμιστεί η αξιοπιστία του εφόσον η υπερβολική θέρμανσή του συντελεί στη φθορά και τη μείωση του χρόνου ζωής τόσο του ίδιου συνολικά, όσο και των στοιχείων του μεμονωμένα.

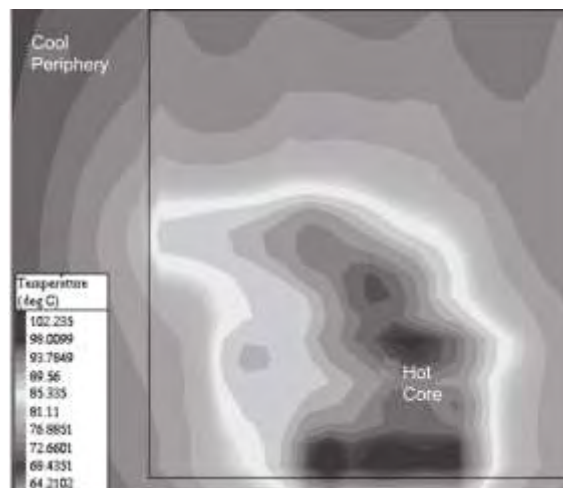
Ο κύριος φορέας απαγωγής της θερμότητας, ενός ολοκληρωμένου κυκλώματος, είναι η *συσκευασία* (*package*) του, η οποία αποτελεί μια από τις πιο κρίσιμες παραμέτρους σχεδίασης, καθώς το κόστος της καταλαμβάνει σημαντικό ποσοστό του συνολικού κόστους του ολοκληρωμένου. Η ικανότητα της συσκευασίας να *απάγει* τη θερμότητα εκτός της *ψηφίδας* (*die*) του ολοκληρωμένου και να διατηρεί τη θερμοκρασία του όσο το δυνατόν πιο κοντά στη θερμοκρασία του περιβάλλοντος, καθορίζεται από το μέγεθος της *θερμικής αντίστασης* (*thermal resistance*) που αυτή εμφανίζει. Γενικά, η θερμοκρασία της ψηφίδας ενός ολοκληρωμένου κυκλώματος δίνεται από την ακόλουθη σχέση [Weste]:

$$T_d = T_0 + R_\theta \cdot P_{av} \quad (1.23)$$

Όπου T_0 είναι η θερμοκρασία περιβάλλοντος, R_θ η προαναφερθείσα θερμική αντίσταση της συσκευασίας, η οποία μετριέται σε $^{\circ}C/W$ και P_{av} είναι, κατά τα γνωστά, η μέση κατανάλωση ισχύος του κυκλώματος. Βλέπουμε λοιπόν, ότι η (θετική) διαφορά της θερμοκρασίας του ολοκληρωμένου κυκλώματος σε σχέση με τη θερμοκρασία περιβάλλοντος είναι ίση με το γινόμενο της θερμικής αντίστασης της συσκευασίας επί τη μέση κατανάλωση ισχύος, πράγμα που σημαίνει ότι όσο μικρότερη είναι η θερμική αντίσταση τόσο καλύτερη θα είναι η συσκευασία ως προς την απαγωγή της θερμότητας. Όπως είναι φυσικό, η ικανότητα της συσκευασίας στην απαγωγή της θερμότητας έχει άμεσο αντίκτυπο στο κόστος της. Πράγματι, συσκευασίες όπως οι κεραμικές, οι οποίες διαθέτουν χαμηλή θερμική αντίσταση, η οποία κυμαίνεται μεταξύ $15-30^{\circ}C/W$, είναι γενικά ακριβότερες από άλλες συσκευασίες σαν τις πλαστικές όπου η θερμική αντίσταση είναι υψηλότερη και βρίσκεται στα επίπεδα των $40-50^{\circ}C/W$. Προκειμένου, να καθοριστούν οι απαιτήσεις της συσκευασίας σε θερμική αντίσταση και να γίνεται αποτελεσματική απαγωγή της θερμότητας χωρίς να επιβαρύνεται άσκοπα με πρόσθετο κόστος το τελικό ολοκληρωμένο κύκλωμα, θα πρέπει να είναι διαθέσιμη η ακριβής εκτίμηση της μέσης κατανάλωσης ισχύος του κυκλώματος.

Σημειώνεται εδώ ότι εκτός της ίδιας της συσκευασίας, στην όλη προσπάθεια (και βέβαια στο συνολικό κόστος) απαγωγής της θερμότητας συμβάλλουν επίσης και κάποιες πρόσθετες διατάξεις ψύξης του ολοκληρωμένου κυκλώματος, όπως είναι οι ψύκτρες και οι ανεμιστήρες, οι οποίες προφανώς θα πρέπει να ληφθούν και αυτές υπόψη κατά τη διαδικασία θερμικής σχεδίασης.

Μέχρι τώρα, αναφερθήκαμε αποκλειστικά στη συνολική θερμότητα που αναπτύσσει το ολοκληρωμένο κύκλωμα (δείτε *Εικόνα 25*), ως αποτέλεσμα της κατανάλωσης ισχύος στις αντιστάσεις των τρανζίστορ που απαρτίζουν τις λογικές πύλες του. Γενικά όμως, η θερμότητα αυτή δεν κατανέμεται ομοιόμορφα επάνω στην επιφάνεια της ψηφίδας του ολοκληρωμένου, καθώς κάποιες πύλες (συγκεκριμένα αυτές που παρουσιάζουν τη μεγαλύτερη χωρητικότητα μεταγωγής, σύμφωνα με την προηγούμενη ενότητα) καταναλώνουν περισσότερη ισχύ από άλλες ομόλογές τους. Η ανομοιομορφία αυτή στην επιφανειακή κατανομή της θερμότητας προφανώς μειώνει την ικανότητα απαγωγής της από τη συσκευασία και τις διατάξεις ψύξης του ολοκληρωμένου κυκλώματος, ενώ σε ακραίες περιπτώσεις η συγκέντρωση πολλών πυλών αυξημένης κατανάλωσης μέσα σε μικρό χώρο, μπορεί να προκαλέσει την εμφάνιση των λεγόμενων *θερμών σημείων (hot spots)*, τα οποία συνιστούν πηγή τοπικών προβλημάτων.



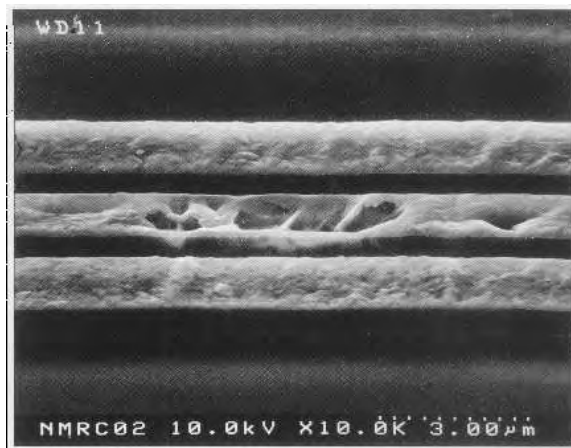
Εικόνα 25. Θερμοκρασία πυρήνα Itanium 2 [Intel].

Επομένως, πέρα από την απαγωγή της συνολικής εκλυόμενης θερμότητας, η ομοιόμορφη κατανομή της στην επιφάνεια του ολοκληρωμένου κυκλώματος κατέχει επίσης ιδιαίτερη σημασία και αποτελεί ένα επιπλέον ζήτημα, το οποίο θα πρέπει να τύχει κατάλληλης αντιμετώπισης κατά τη διαδικασία σχεδίασης του κυκλώματος. Για το σκοπό αυτό, είναι και πάλι απαραίτητη η εκτίμηση της μέσης ισχύος του κυκλώματος, όχι όμως πλέον στο σύνολό της, αλλά σε επίπεδο μεμονωμένων πυλών, όπου βέβαια το άθροισμα των επιμέρους τιμών της για κάθε πύλη ξεχωριστά δίνει σύμφωνα με τις σχέσεις (1.4) και (1.20) τη συνολική μέση ισχύ του κυκλώματος. Το εν λόγω πρόβλημα, εξετάστηκε ειδικώς στην [Najm98] και τα σχετικά αποτελέσματα της εκτίμησης μπορούν κατόπιν να χρησιμοποιηθούν στην κατάλληλη διαμόρφωση της φυσικής χωροθέτησης των πυλών του κυκλώματος, με βάση την ισχύ που καταναλώνει κάθε μια από αυτές (ανάμεσα και σε άλλους παράγοντες), έτσι ώστε η συνολική εικόνα κατανομής της ισχύος (και

συνεπώς της εκλυόμενης θερμότητας) στην επιφάνεια της ψηφίδας του ολοκληρωμένου να προκύψει τελικά όσο γίνεται πιο ομοιόμορφη.

1.3.2. Ηλεκτρομετανάστευση στους αγωγούς τροφοδοσίας

Είναι γνωστό ότι, η παροχή της ισχύος σε όλες τις πύλες ενός ολοκληρωμένου κυκλώματος γίνεται μέσω ενός δικτύου από μεταλλικούς αγωγούς τροφοδοσίας και γείωσης. Όπως ισχύει γενικά με όλους τους μεταλλικούς αγωγούς, έτσι και εκείνοι που επιτελούν τη διανομή της ισχύος έχουν κάποιο όριο στην ικανότητα μεταφοράς ρεύματος, το οποίο καθορίζεται από ένα φαινόμενο που είναι γνωστό ως *μετανάστευση μετάλλου* ή *ηλεκτρομετανάστευση* (*metal migration* or *electromigration*). Η ηλεκτρομετανάστευση [Black]-[D’Heurle]-[Woods], είναι μια πηγή φυσικής φθοράς των αγωγών, η οποία κάνει την εμφάνισή της όταν υπάρχει υπέρμετρη πυκνότητα ρεύματος προς μια κατεύθυνση για εκτεταμένες χρονικές περιόδους. Σε μια τέτοια περίπτωση, η *μονόπλευρη* (*unidirectional*) ροή του ρεύματος προκαλεί τη σταδιακή μετατόπιση των ιόντων πλέγματος του μετάλλου προς την κατεύθυνση κίνησης των ελεύθερων ηλεκτρονίων λόγω της μεταξύ τους αλληλεπίδρασης και ανταλλαγής ορμής, δημιουργώντας έτσι εν τέλει ανοικτοκυκλώματα ή βραχυκυκλώματα στους αγωγούς όπως φαίνεται στην *Εικόνα 26*. Προφανώς, η εμφάνιση του φαινομένου αυτού στους αγωγούς τροφοδοσίας και γείωσης έχει ως άμεσο επακόλουθο τη βλάβη του κυκλώματος, γεγονός το οποίο καθιστά την ηλεκτρομετανάστευση ως ένα μείζον πρόβλημα αξιοπιστίας για τα σύγχρονα ολοκληρωμένα κυκλώματα [Chatterjee].

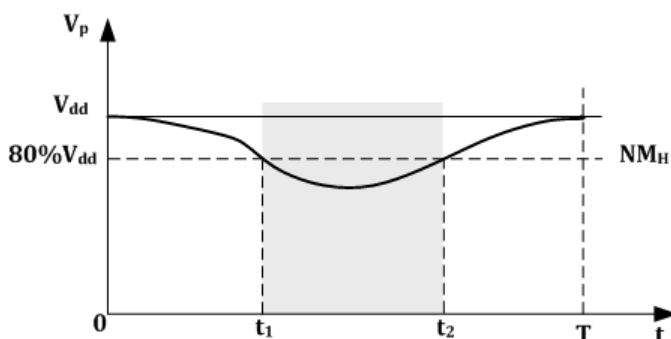


Εικόνα 26. Ανοικτοκύκλωμα μεταλλικού αγωγού εξαιτίας του φαινομένου της ηλεκτρομετανάστευσης.

1.3.3. Πτώση τάσης στους αγωγούς τροφοδοσίας

Ένα ακόμη σημαντικό πρόβλημα αξιοπιστίας, που παρατηρείται στο δίκτυο διανομής ισχύος ενός ολοκληρωμένου κυκλώματος, είναι η *πτώση τάσης* (*voltage drop* or *IR-drop*) κατά μήκος των αγωγών τροφοδοσίας (δείτε *Εικόνα 27*), όπως επίσης και η συγγενική της *αναπήδηση γείωσης* (*ground bounce*) πάνω στους αντίστοιχους αγωγούς της γείωσης [Dharchoudhury]-[Steele]-[Bobba]-[Lin]. Αντίθετα όμως, με την ηλεκτρομετανάστευση, το φαινόμενο της πτώσης τάσης είναι στιγμιαίο και με σαφώς καθορισμένη

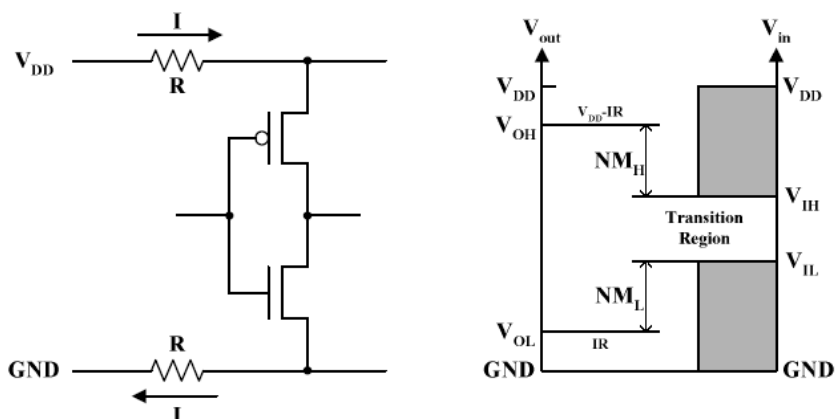
(χωρίς στατιστικό χαρακτήρα) χρονική συμπεριφορά, οπότε φυσιολογικά θα σχετίζεται με την ποσότητα της μέγιστης (στιγμιαίας) ισχύος που καταναλώνεται στο ολοκληρωμένο κύκλωμα.



Εικόνα 27. Η πτώση τάσης που εμφανίζεται σε σύγχρονα ΟΚ μέσα σε μια περίοδο ρολογιού.

Αυτό σημαίνει, ότι ο αντίκτυπος του, στη λειτουργία του κυκλώματος, θα είναι άμεσος και συνεπώς πολύ μεγαλύτερης σημασίας για τη σχεδίαση, απαιτώντας εξαρχής την πλήρη αντιμετώπιση όλων των σχετικών προβλημάτων που ενδέχεται να εμφανιστούν στο δίκτυο διανομής ισχύος. Απεναντίας, τα αντίστοιχα προβλήματα της ηλεκτρομετανάστευσης θα μπορούν να αγνοηθούν μέχρι κάποιο βαθμό, αφού ακόμα και αν δεν αντιμετωπιστούν πλήρως, το κύκλωμα θα συνεχίσει να λειτουργεί κανονικά, εμφανίζοντας απλά μειωμένο χρόνο ζωής.

Το φαινόμενο της πτώσης τάσης, προκαλείται από το γεγονός ότι οι αγωγοί μεταφοράς της ισχύος δεν είναι ποτέ τέλει, αλλά παρουσιάζουν πάντοτε πεπερασμένη αντίσταση, η οποία -όπως άλλωστε υποδηλώνει και η ονομασία του φαινομένου- έχει σαν αποτέλεσμα την πτώση τάσης κατά μήκος τους και συνεπώς την ελάττωση της στάθμης τροφοδοσίας που παρέχεται στα ενεργά στοιχεία (τρανζίστορ) του κυκλώματος. Η χαμηλή αυτή στάθμη τροφοδοσίας προκαλεί, στην καλύτερη περίπτωση, τη μείωση της ταχύτητας (οπότε και της ικανότητας οδήγησης) των πυλών του κυκλώματος, καθώς γενικά, η καθυστέρηση μιας πύλης αυξάνεται με τη μείωση της ενεργού τάσης τροφοδοσίας της, ή στη χειρότερη περίπτωση την πρόκληση λειτουργικής βλάβης, η οποία προέρχεται από την υποβάθμιση των λογικών σταθμών και τη συνακόλουθη μείωση της ανοσίας του κυκλώματος στο θόρυβο [Bakoglu]. Προκειμένου να γίνει το τελευταίο πιο κατανοητό, ας θεωρήσουμε τη γενική πύλη CMOS που απεικονίζεται στην *Εικόνα 28*, η οποία τροφοδοτείται από μη ιδανικούς αγωγούς τροφοδοσίας και γείωσης.

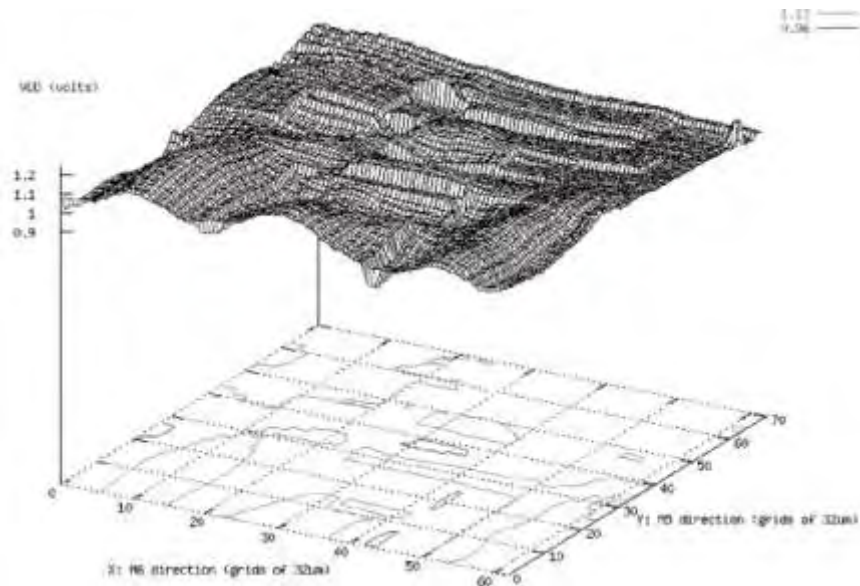


Εικόνα 28. Πτώση τάσης (και αναπήδηση γείωσης) κατά μήκος των αγωγών του δικτύου διανομής ισχύος, και αντίκτυπος στα περιθώρια θορύβου μιας γενικής πύλης CMOS.

Λόγω των αντιστάσεων σειράς των αγωγών, το επίπεδο της τάσης τροφοδοσίας στην πύλη θα είναι χαμηλότερο από το γενικό επίπεδο τροφοδοσίας V_{DD} του κυκλώματος κατά ένα ποσό IR , ενώ αντίστοιχα υψηλότερο κατά το ίδιο ποσό θα είναι το επίπεδο της γείωσης σε σύγκριση με το γενικό επίπεδο γείωσης 0. Οι διαφορές αυτές, θα αντανακλώνται στις τάσεις που αντιστοιχούν στις λογικές στάθμες εξόδου της πύλης, καθώς η τάση εξόδου V_{OH} που αντιστοιχεί στο λογικό 1 θα είναι κατά IR χαμηλότερη από την ιδανική τάση V_{DD} , δηλαδή $V_{OH} = V_{DD} - IR$, ενώ η τάση εξόδου V_{OL} που αντιστοιχεί στο λογικό 0 θα είναι κατά IR πάνω από την ιδανική τάση 0, δηλαδή $V_{OL} = IR$. Εάν, η πύλη οδηγεί στην έξοδό της, μια πανομοιότυπη πύλη με προδιαγραφές εισόδου V_{IH} και V_{IL} ως προς την ελάχιστη τάση που αναγνωρίζεται ως λογικό 1 και τη μέγιστη τάση που αναγνωρίζεται ως λογικό 0 αντίστοιχα, οι οποίες τοποθετούνται στα σημεία μοναδιαίου κέρδους της χαρακτηριστικής εισόδου-εξόδου της οδηγούμενης πύλης, τότε η τιμή της V_{OH} ενδέχεται να μην υπερβαίνει επαρκώς τη V_{IH} και η τιμή της V_{OL} να μην είναι επαρκώς μικρότερη της V_{IL} , έτσι ώστε οι λογικές στάθμες εξόδου να αναγνωρίζονται σωστά στην είσοδο της επόμενης πύλης, λαμβάνοντας υπόψη και τον τυχόν θόρυβο που είναι δυνατόν να υπερτεθεί κατά τη διαδρομή μεταξύ εξόδου και εισόδου. Οι σχετικές διαφορές:

$$NM_H = V_{OH} - V_{IH} \quad , \quad NM_L = V_{IL} - V_{OL} \quad (1.24)$$

οι οποίες επίσης διακρίνονται στην *Εικόνα 27*, ορίζουν το υψηλό και το χαμηλό *περιθώριο θορύβου (noise margin)* της πύλης αντίστοιχα [Weste]-[Kang]. Η μείωσή τους λόγω της πτώσης τάσης στους αγωγούς ισχύος, μπορεί τελικά να γίνει αιτία λανθασμένης μεταγωγής και επομένως λειτουργικού σφάλματος της πύλης (και κατ' επέκταση του κυκλώματος) εάν ο εισαγόμενος θόρυβος είναι αρκετά μεγάλος ώστε να ωθήσει την τάση εξόδου κάτω από το επίπεδο της V_{IH} (ενώ βρίσκεται κανονικά σε λογικό 1) ή πάνω από το επίπεδο της V_{IL} (όντας κανονικά σε λογικό 0).



Εικόνα 29. Πτώση Τάσης στην επιφάνεια στο επεξεργαστή Itanium 2.

Το πρόβλημα της πτώσης τάσης, επιδεινώνεται περαιτέρω με κάθε νέα γενιά ολοκληρωμένων κυκλωμάτων, καθώς η μείωση του χαρακτηριστικού μεγέθους μαζί με την αύξηση του αριθμού των στοιχείων και της συχνότητας λειτουργίας, αυξάνουν την αντίσταση των αγωγών και την ένταση των ρευμάτων που τους διαρρέουν αντίστοιχα, ενώ επιπλέον, η μείωση της τάσης τροφοδοσίας περιορίζει το αποδεκτό μέγεθος που μπορεί να προσλάβει η πτώση της κατά μήκος των αγωγών ισχύος του κυκλώματος, όπως φαίνεται και στην *Εικόνα 29*. Ο συνδυασμός των τριών αυτών παραγόντων, διογκώνει τα δυσμενή αποτελέσματα της πτώσης τάσης που αναφέρθηκαν προηγουμένως, καθιστώντας το εν λόγω φαινόμενο ως το μεγαλύτερο ίσως πρόβλημα αξιοπιστίας που πρόκειται να αντιμετωπίσει η βιομηχανία ολοκληρωμένων κυκλωμάτων τα αμέσως επόμενα χρόνια.

1.4. ΤΟ ΔΙΚΤΥΟ ΔΙΑΝΟΜΗΣ ΤΗΣ ΙΣΧΥΟΣ

1.4.1. Εισαγωγή

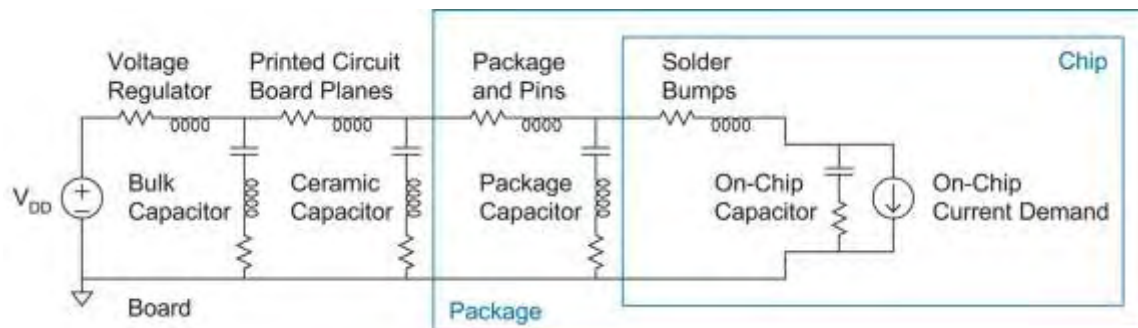
Το *Δίκτυο Διανομής της Ισχύος – ΔΔΙ* είναι το υποσύστημα του ΟΚ, το οποίο αποτελείται από μεταλλικούς αγωγούς ή πλάκες στη περιοχή του ΟΚ, της συσκευασίας και της μητρικής πλακέτας. Συνήθως, διαθέτει και πυκνωτές διαφυγής (bypass capacitors), ώστε να υποστηρίξει τις ειδικές απαιτήσεις στιγμιαίας παροχής ρεύματος στο σύστημα. Ένα ιδανικό *ΔΔΙ* έχει τα παρακάτω χαρακτηριστικά:

- Διατήρηση της τάσης τροφοδοσίας κατά μήκος του ΟΚ.
- Δυνατότητα να ικανοποιεί τις απαιτήσεις του ΟΚ για μέση και στιγμιαία παροχή ισχύος.
- Να είναι σχεδιασμένο με τέτοιο τρόπο ώστε να αποφεύγονται φαινόμενα ηλεκτρομετανάστευσης και υπερθέρμανσης.
- Να χρησιμοποιεί όσο λιγότερο χώρο στο ΟΚ και τους ελάχιστους πόρους μετάλλου για τις διασυνδέσεις.
- Ευκολία σχεδιασμού και ελέγχου.
- Παροχή μονοπατιών επιστροφής ρεύματος για τα σήματα.

Τα σύγχρονα ΔΔΙ, πρέπει να εμφανίζουν τα χαρακτηριστικά αυτά, για να ικανοποιούν τα επίπεδα θορύβου και να μπορούν να λειτουργήσουν αξιόπιστα. Το επίπεδο θορύβου, που είναι συνήθως αποδεκτό σχεδιαστικά είναι $\pm 5\%$ ή $\pm 10\%$. Δηλαδή, σε ένα ΟΚ με τάση τροφοδοσίας 1.2V θα πρέπει να εξασφαλίζεται σε όλο το μήκος τάση τροφοδοσίας από 1.08V – 1.32V. Από την πλευρά της αξιοπιστίας, θα πρέπει ο σχεδιασμός του ΔΔΙ να είναι ικανός να παρέχει την απαραίτητη ποσότητα ρεύματος, ειδικά όταν έχουμε περιπτώσεις μεγάλων στιγμιαίων ρευμάτων και αυτό απαιτεί ειδικό σχεδιασμό του ΔΔΙ (πλάτος, πάχος, vias), στα σημεία που εμφανίζουν αυξημένη ζήτηση ρευμάτων. Συγκεκριμένα, οι δυο βασικές πηγές θορύβου σε ένα σύγχρονο ΔΔΙ είναι η πτώση τάσης (IRdrop) και το Ldi/dt .

1.4.2. Η δομή του ΔΔΙ

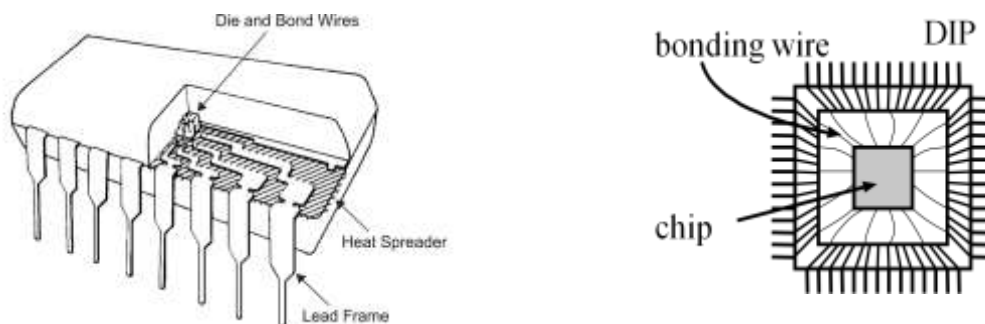
Το ΔΔΙ αποτελεί ένα υποσύστημα που ξεκινά από της πηγή τροφοδοσίας και καταλήγει στα τρανζίστορ, στον πυρήνα το ΟΚ. Η δομή (lumped model) ενός τέτοιου ΔΔΙ παρουσιάζεται στην *Εικόνα 30*.



Εικόνα 30. Η μοντελοποίηση του συνολικού ΔΔΙ [Harris].

Το ΔΔΙ, αποτελείται από το κύκλωμα Ισοστάθμισης Τάσης, το τυπωμένο κύκλωμα μεταφοράς της ισχύος, τους ακροδέκτες (Pin), τα νήματα διασύνδεσης (Bond Wires) στην συσκευασία και τα πέλματα υποδοχής (Pads) ή τις C4 σφαίρες συγκόλλησης και φυσικά το ΔΔΙ για την παροχή ισχύος στο εσωτερικό του πυρήνα του ΟΚ. Κατά μήκος της διαδρομής αυτής, οι παρασιτικές αντιστάσεις και επαγωγές προστίθενται και αντιμετωπίζονται με την κατάλληλη εισαγωγή πυκνωτών σε όλα τα επίπεδα.

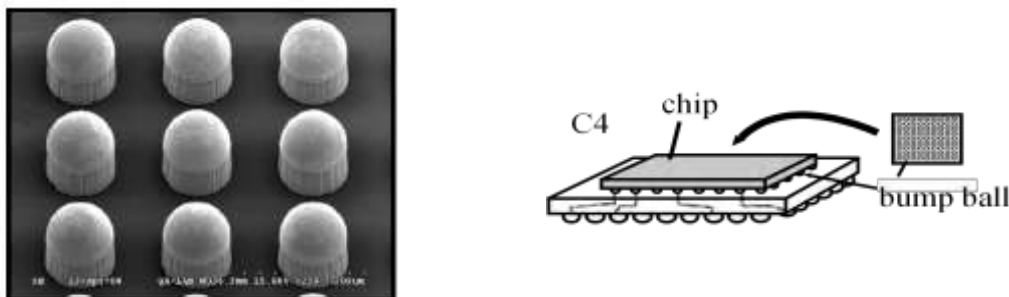
Ο Ισοσταθμιστής Τάσης παράγει σταθερή τάση τροφοδοσίας ανεξάρτητη του φορτίου ρεύματος. Μοντελοποιείται ως μια ιδανική πηγή τάσης σε σειρά με την παρασιτική αντίσταση και επαγωγή στους ακροδέκτες του. Δίπλα στον ισοσταθμιστή έχει τοποθετηθεί ένας μεγάλος πυκνωτής (Ηλεκτρολυτικός ή Τανταλίου). Οι γραμμές τάσης και γείωσης στο τυπωμένο κύκλωμα μεταφέρουν το ρεύμα μέχρι τη συσκευασία του ΟΚ και προσθέτουν μερική αντίσταση και επαγωγή. Οι σχεδιαστές τυπωμένων κυκλωμάτων τοποθετούν αρκετούς μικρούς κεραμικούς πυκνωτές γύρω από τη συσκευασία του ΟΚ. Η διανομή της ισχύος ακολουθεί την πορεία της από τους ακροδέκτες του ΟΚ και μέχρι τον πυρήνα μπορεί να συνδεθεί με χρήση πελμάτων PADS ή τεχνολογίας C4, με αποτέλεσμα να προστίθεται κάποιο ποσό αντίστασης και επαγωγής.



Εικόνα 31. Τομή σε συσκευασία DIP16 και ο τρόπος διασύνδεσης με Bond Wires.

Η τεχνολογία των πελμάτων (PAD) αποτελεί μια συνήθη, οικονομική τεχνολογία διασύνδεσης και απαιτεί την σχεδίαση ειδικού πλαισίου πελμάτων (PAD Frame ή PAD Ring) περιμετρικά του πυρήνα του ΟΚ. Στην Εικόνα 31, παρουσιάζεται μια τομή της συσκευασίας ενός DIP16 ΟΚ και δίπλα απεικονίζεται ο

τρόπος διασύνδεσης σε μια τέτοια συσκευασία. Η τεχνολογία αυτή κάνει χρήση των μεταλλικών δεσμών ένωσης (Bond wires, συνήθως από χρυσό) για να συνδεθεί με τους ακροδέκτες της συσκευασίας. Σε βελτιωμένες τεχνολογίες συσκευασίας αυτού του τύπου, η τροφοδοσία/γείωση και τα σήματα του ΟΚ εισέρχονται από διαφορετικά πλαίσια για μείωση του θορύβου. Ένα σημαντικό ζήτημα όσον αφορά την τεχνολογία αυτή είναι ότι πρόκειται για τεχνολογία περιορισμένων πελμάτων (PAD limited) και δεν μπορεί να συσκευάσει συστήματα με πολλούς ακροδέκτες I/O.



Εικόνα 32. Οι σφαίρες C4 στο μικροσκόπιο και ο τρόπος διασύνδεσης [Harris].

Οι διασυνδέσεις της τεχνολογίας flip-chip, που αναπτύχθηκε από την IBM την δεκαετία του 1960, αλλά εισήχθη μαζικά στην βιομηχανία την δεκαετία του 1990, παρέχει διασύνδεση με χρήση των μεταλλικών σφαιρών συγκόλλησης C4 (Controlled Collapse Chip Connection), όπως παρουσιάζεται και στην Εικόνα 32. Με την τεχνολογία αυτή, επιτρέπεται η διασύνδεση χιλιάδων ακροδεκτών, γιατί δημιουργείται μια συστοιχία πινάκων από μεταλλικά πέλατα στο υψηλότερο επίπεδο του ΟΚ. Αφού κατασκευαστεί ο πυρήνας του ΟΚ, αναποδογυρίζεται και στα πέλατα ακουμπούν οι C4 και με θέρμανση γίνεται η συγκόλληση τους. Με την τεχνολογία αυτή επιτρέπεται η τοποθέτηση περισσότερων ακροδεκτών σε σημεία και στο εσωτερικό του πυρήνα. Επίσης, επειδή υπάρχει άμεση σύνδεση με τη συσκευασία ελαττώνονται οι παρασιτικές αντιστάσεις και επαγωγές.

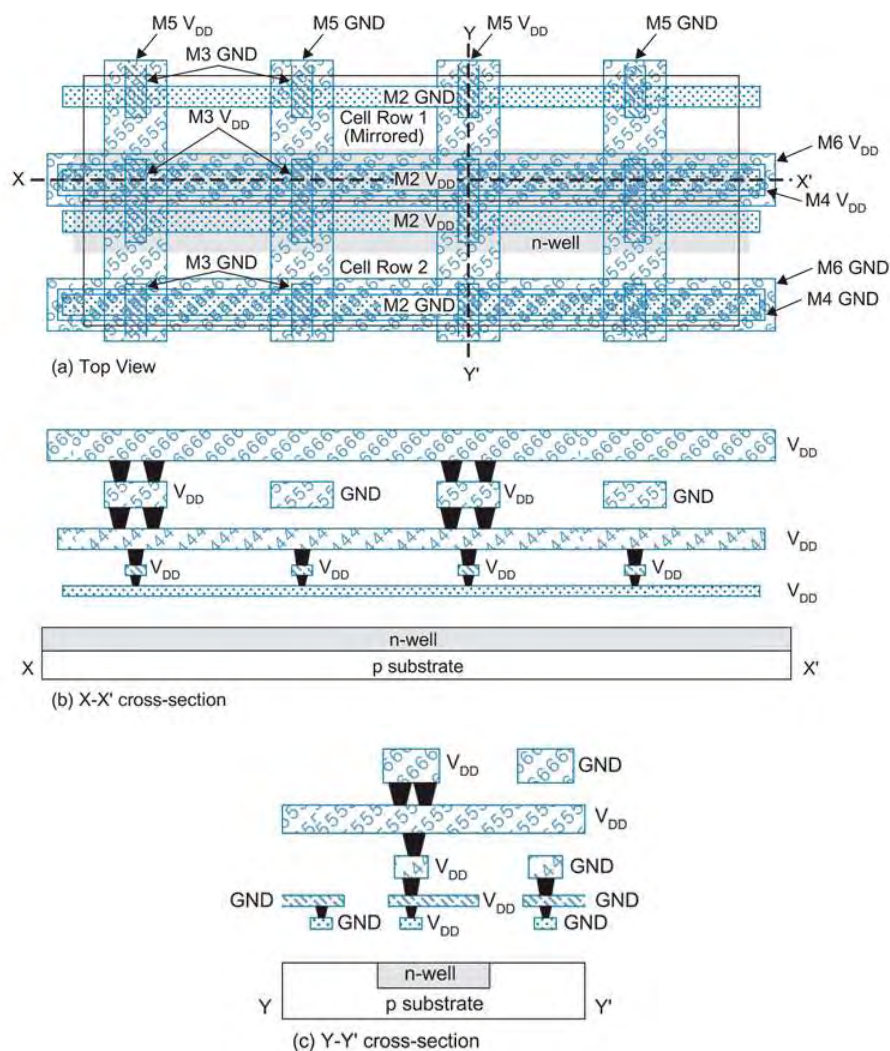


Εικόνα 33. Το ΔΔΙ ισχύος στο χαμηλότερο επίπεδο για την διασύνδεση std cell [Harris].

Η διανομή της ισχύος μέσα στον πυρήνα του ΟΚ, αποτελεί ένα ιδιαίτερα σημαντικό ζήτημα και στη συνέχεια θα αναλύσουμε την δομή αυτού του δικτύου. Η δομή των σύγχρονων τεχνολογιών κάνει χρήση πολλών επιπέδων μετάλλου για την διασύνδεση των κυκλωμάτων. Αν ξεκινήσουμε από το χαμηλότερο

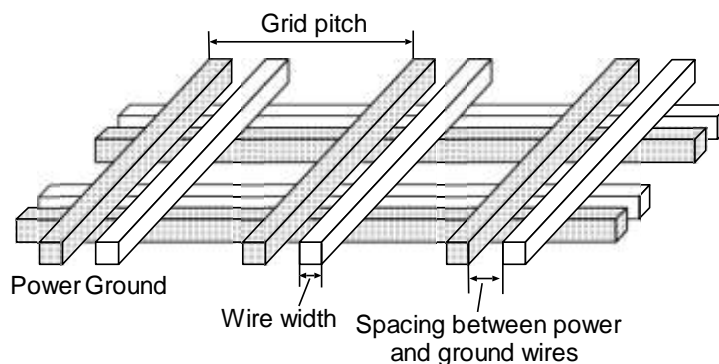
επίπεδο, διαπιστώνουμε ότι σε μια σχεδίαση (για παράδειγμα με standard cells), οι πύλες είναι διασυνδεδεμένες σε οριζόντια σειρά και αντίστοιχα αναπτύσσονται οριζόντιες μεταλλικές γραμμές που συνδέουν το δίκτυο τάσης/γείωσης με κατακόρυφες γραμμές διανομής σε υψηλότερο επίπεδο μετάλλου, όπως παρουσιάζεται και στην *Εικόνα 33*.

Αν παρατηρήσουμε τις όψεις και τις τομές που παρουσιάζονται στην παρακάτω *Εικόνα 34*, διαπιστώνουμε ότι το ΔΔΙ χρησιμοποιεί όλα τα επίπεδα μετάλλου σε μια τεχνολογία, για να καταφέρει να υποστηρίξει τις απαιτήσεις σε κατανάλωση ρεύματος. Η σχεδίαση του, κατά βάση, αποτελείται από οριζόντιες και κατακόρυφες γραμμές που με την χρήση των νία επιτυγχάνεται η σύνδεση τους και διασφαλίζεται η ροή του ρεύματος. Οι μεταλλικές αυτές γραμμές και τα νία, διαθέτουν παρασιτικές αντιστάσεις, χωρητικότητες και επαγωγές που συμβάλλουν στην ανάπτυξη των φαινομένων της πτώσης τάσης και Ldi/dt , ιδιαίτερα αν λάβουμε υπόψη ότι το μήκος των γραμμών διασύνδεσης είναι κάποιες δεκάδες χιλιόμετρα μέσα στο ΟΚ.



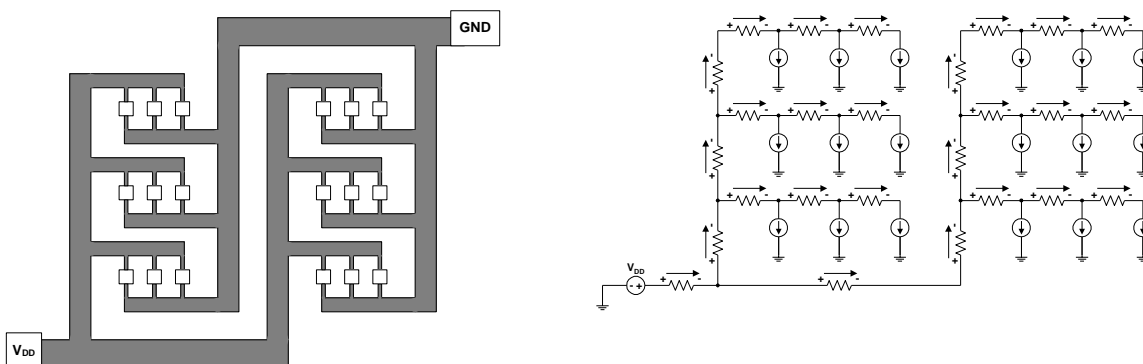
Εικόνα 34. Το ΔΔΙ σε όλα τα επίπεδα και σε διάφορες τομές [Harris].

Στη σχεδίαση του ΔΔΙ είναι λοιπόν σημαντικά κάποια μεγέθη και κανόνες που πρέπει να λάβουμε υπόψη για το σωστό σχεδιασμό. Όπως παρουσιάζεται στην *Εικόνα 35*, κατά τον σχεδιασμό του ΔΔΙ (και σύμφωνα με τους κανόνες αποστάσεων μετάλλων της τεχνολογίας), είναι σημαντικό να επισημάνουμε ότι η γραμμές τάσης και γείωσης αναπτύσσονται σε ζευγάρια που διατηρούν κάποια απόσταση (Grid Pitch). Η κάθε γραμμή έχει κάποιο πλάτος (w - width) και πάχος (t - thickness) και φυσικά ικανοποιούν του κανόνες σχεδίασης (Design Rules Check).



Εικόνα 35. Διάφορες σχεδιαστικές παράμετροι ενός ΔΔΙ.

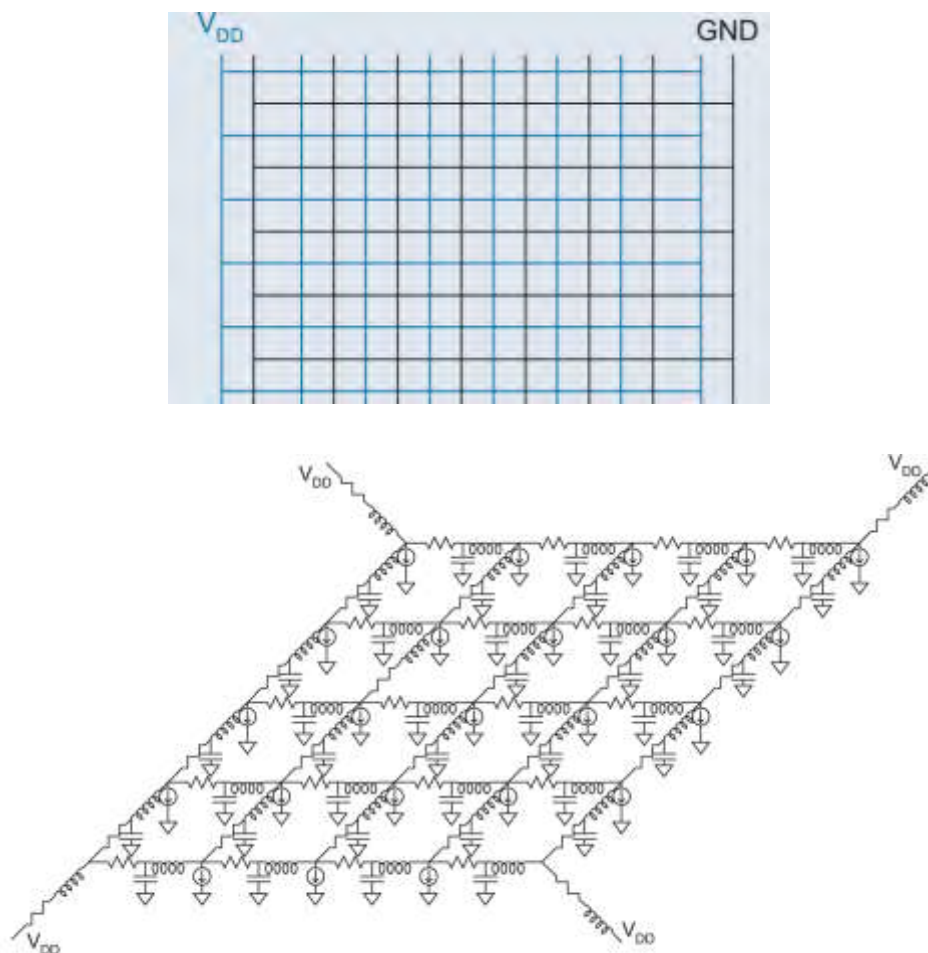
Το ΔΔΙ στον πυρήνα του ΟΚ εμφανίζει διάταξη γενικού γράφου. Ανάμεσα, όμως, σε όλα τα πιθανά είδη τοπολογίας, το πιο δημοφιλές παλαιότερα, για την υλοποίηση του δικτύου διανομής ισχύος των ολοκληρωμένων κυκλωμάτων, ήταν εκείνο του δέντρου (*tree*). Η δομή αυτή παρουσιάζεται στην *Εικόνα 36*.



Εικόνα 36. Τοπολογία μορφής δέντρου και ηλεκτρική ανάλυση του δικτύου διανομής ισχύος.

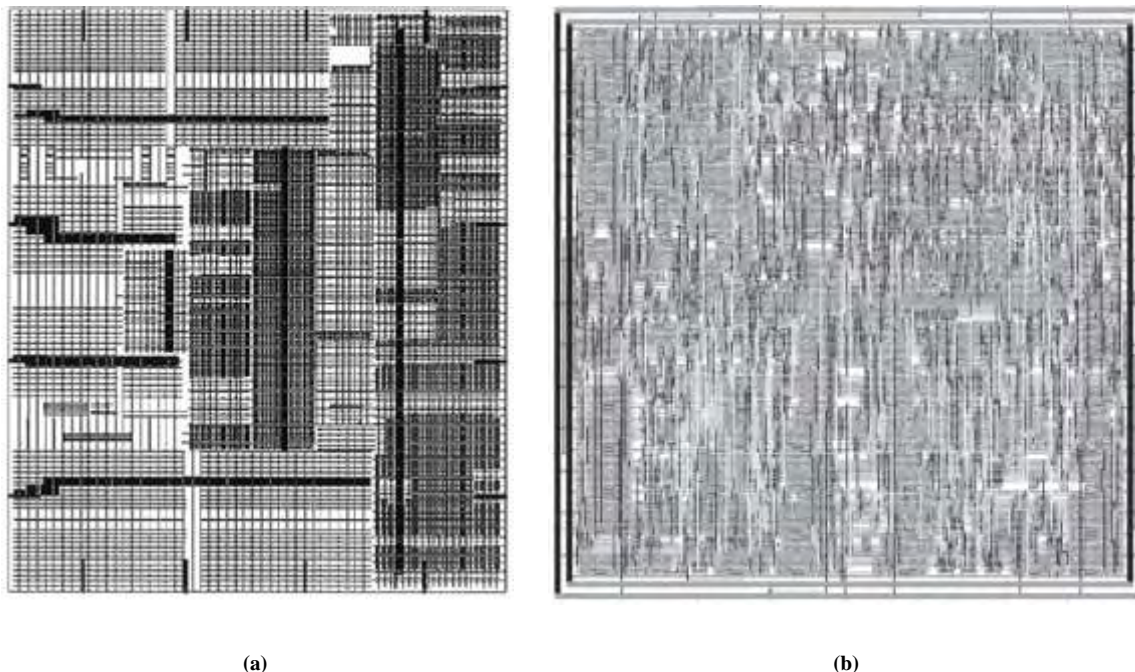
Η τοπολογία αυτή είναι ουσιαστικά μια ειδική περίπτωση γράφου που δεν περιέχει κλειστούς βρόχους και στην οποία υπάρχει ένας αρχικός κόμβος (ρίζα) που ταυτίζεται με τον ακροδέκτη τροφοδοσίας, καθώς και πολλοί τερματικοί (φύλλα) που αντιστοιχούν στα ενεργά στοιχεία του κυκλώματος. Είναι προφανές, ότι για δεδομένο πλήθος κόμβων, ένα δίκτυο δομής δέντρου θα έχει τον ελάχιστο αριθμό κλάδων σε σχέση με οποιονδήποτε άλλο γενικότερο γράφο, γεγονός το οποίο του επιτρέπει υπό ορισμένες προϋποθέσεις να καταλαμβάνει τη μικρότερη επιφάνεια επάνω στο ολοκληρωμένο κύκλωμα.

Στα σύγχρονα ολοκληρωμένα κυκλώματα, η τοπολογία του ΔΔΙ στον πυρήνα του ΟΚ εμφανίζει μορφή πλέγματός (mesh), όπου το δίκτυο αποτελείται από ένα πυκνό δίκτυο οριζόντιων και κατακόρυφων γραμμών διανομής, που διασυνδέονται σε κόμβους και παριστάνονται με κατανεμημένα ωμικά, χωρητικά και επαγωγικά παρασιτικά στοιχεία. Τα υποκυκλώματα αποτελούν ανεξάρτητες πηγές ρεύματος που καθορίζουν και τις απαιτήσεις ισχύος του κάθε υποσυστήματος. Ανάλογα με την τεχνολογία διασύνδεσης το ΔΔΙ συνδέεται με την τροφοδοσία και τη γείωση. Στην περίπτωση του πλαισίου πελμάτων, αυτό γίνεται περιμετρικά και είναι λογικό να περιμένουμε μεγαλύτερες πτώσεις τάσεις στο εσωτερικό του πλέγματος, ενώ με διασύνδεση τύπου C4 μπορούμε να τροφοδοτήσουμε το κύκλωμα και στο εσωτερικό για να εξασφαλίσουμε καλύτερα επίπεδα τροφοδοσίας στα σημεία που αντιμετωπίζουν προβλήματα.



Εικόνα 37. ΔΔΙ Τοπολογία μορφής πλέγματος και ηλεκτρική ανάλυση του δικτύου διανομής ισχύος [Harris].

Στο τελικό σημείο και με την χρήση όλων των απαραίτητων κανόνων, ο μηχανικός είναι σε θέση να σχεδιάσει το ΔΔΙ ανάλογα με τις απαιτήσεις της σχεδίασης. Ανάλογα, λοιπόν με τη μέθοδο, ο σχεδιαστής μπορεί να δημιουργήσει το πλέγμα (που παρουσιάζεται στην *Εικόνα 37-38*), το οποίο μπορεί να αναπτυχθεί σε όλη την επιφάνεια του πυρήνα και να συγκολληθεί με διασύνδεση τύπου C4 ή να αναπτυχθεί περιμετρικά και να γίνει συγκόλληση σε διάφορα σημεία περιφερειακά.



Εικόνα 38. Το ΔΔΙ σε διάφορους επεξεργαστές (a.PPC 750 Power Grid, b. Automated MIPS Power Grid).

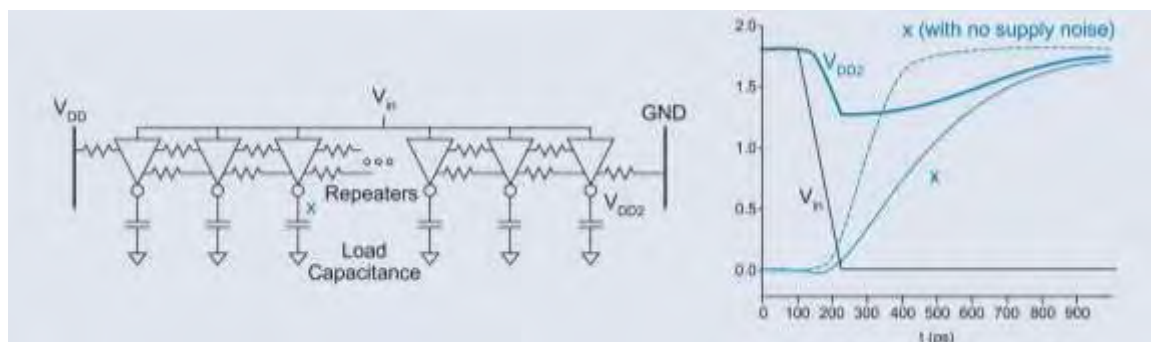
1.4.3. Η Πτώση τάσης ως Παράγοντας Θορύβου στο ΔΔΙ

Όπως είδαμε, η αντίσταση στο ΔΔΙ εκτείνεται κατά μήκος του δικτύου, από την πηγή τροφοδοσίας μέχρι και το πυκνό δίκτυο μέσα στον πυρήνα του ΟΚ. Για τον λόγο ότι, η διανομή ισχύος στο τυπωμένο κύκλωμα και στην συσκευασία γίνεται με αγωγούς χαλκού με πλάτος και πάχος που είναι μεγαλύτερο από αυτό που επιτρέπουν οι κανόνες για τις διασυνδέσεις μέσα στον πυρήνα, είναι σημαντικό να γνωρίσουμε και να μελετήσουμε την πτώση τάσης στο εσωτερικό του ΟΚ, όπου η αντίσταση είναι συγκριτικά μεγαλύτερη.

Όπως αναφέραμε, οι πτώσεις τάσεις προκύπτουν από τις μέσες και στιγμιαίες απαιτήσεις ρεύματος. Οι στιγμιαίες απαιτήσεις ρεύματος είναι πολύ μεγαλύτερες από τις μέσες πτώσεις, διότι οι σχεδιάσεις τείνουν να απαιτούν μέγιστα ρεύματα, ειδικά σε χρόνους που βρίσκονται σε εναλλαγές ρολογιού, όπου πλήθος καταχωρητών και πυλών ανοιγοκλείνουν ταυτόχρονα. Σχεδιαστικά θα μπορούσαμε να εκμεταλλευτούμε τις κατανεμημένες χωρητικότητες και να προσθέσουμε πλήθος χωρητικότητας παράκαμψης, για να αντιμετωπίσουμε το φαινόμενο των μέσων απαιτήσεων ρεύματος, αλλά αυτό μπορεί να αντιμετωπίσει τα μέσα ρεύματα χωρίς να είναι σίγουρο ότι δίνει λύση για τα μέγιστα.

Αναλύοντας την σχεδίαση της Εικόνας 39, η οποία αποτελείται από μια σειρά 64 επαναληπτών, που τροφοδοτείται από μια γραμμή τροφοδοσίας μετάλλου-2 και τάσης 1.8V. Το μήκος της γραμμής τροφοδοσίας είναι 320um και πλάτους 1um, με συνολική αντίσταση 16Ω. Ο κάθε επαναλήπτης, οδηγεί 0.4pF φορτίο με χρόνους μετάβασης 200ps. Το ρεύμα που χρειάζεται ο κάθε επαναλήπτης, είναι περίπου $I = C(\Delta V/\Delta t) = 3.6 \text{ mA}$. Επομένως, η πτώση τάσης στο τέλος της γραμμής τροφοδοσίας θα είναι περίπου

1,85V, τιμή που είναι λίγο δύσκολο να ισχύει στην πραγματικότητα. Στην πραγματικότητα, αυτό που συμβαίνει είναι ότι όσο η πτώση τάσης αυξάνεται, οι επαναλήπτες δέχονται λιγότερο ρεύμα, μειώνοντας την πτώση τάσης, αλλά αυξάνοντας τον χρόνο μετάβασης και την καθυστέρηση.



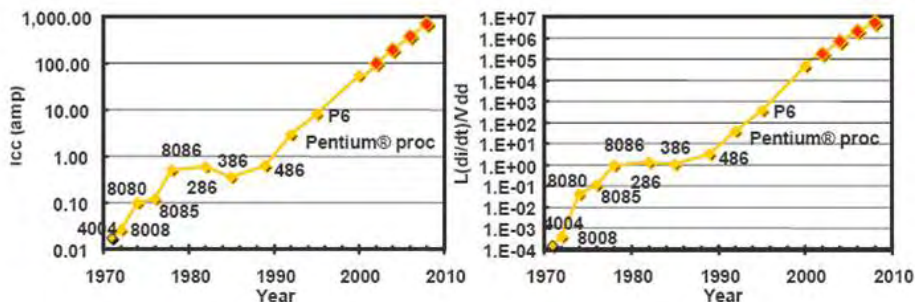
Εικόνα 39. Η πτώση τάσης σε ένα πειραματικό κύκλωμα [Harris].

Η προσομοίωση ενός επαναλήπτη του κυκλώματος, μας δίνει μια εικόνα της συμπεριφοράς του, όπου παρουσιάζεται η καμπύλη του επαναλήπτη με χρήση κοινού αγωγού τροφοδοσίας (θόρυβος πτώσης τάσης) και για την περίπτωση που κάθε συσκευή έχει την δική της τροφοδοσία (μηδενικός θόρυβος). Παρατηρούμε, ότι στην πρώτη περίπτωση η πτώση τάσης είναι γύρω στο 30% και η καθυστέρηση διάδοσης διπλασιάζεται, ενώ με αυτόνομο δίκτυο η πτώση τάσης είναι μηδαμινή και η απόκριση πολύ καλύτερη.

Στη περίπτωση που δεν μπορούμε να δώσουμε ξεχωριστή παροχή ρεύματος στις συσκευές, καλό είναι να βελτιώσουμε τη συμπεριφορά του δικτύου αυξάνοντας το πλάτος ή και το πάχος, τοποθετώντας ένα υψηλότερου επιπέδου μέταλλο, ώστε να μειώσουμε την αντίσταση του. Γεγονός, όμως είναι ότι, η σωστή αντιμετώπιση του προβλήματος, απαιτεί την ακριβή εκτίμηση των ρευμάτων που χρειάζεται το κύκλωμα σε όλες τις συνθήκες και η μετατροπή των δεδομένων αυτών σε σχεδιαστικές παρεμβάσεις με αυτοματοποιημένο τρόπο.

1.4.4. Η Ldi/dt ως Παράγοντας Θορύβου στο ΔΔΙ

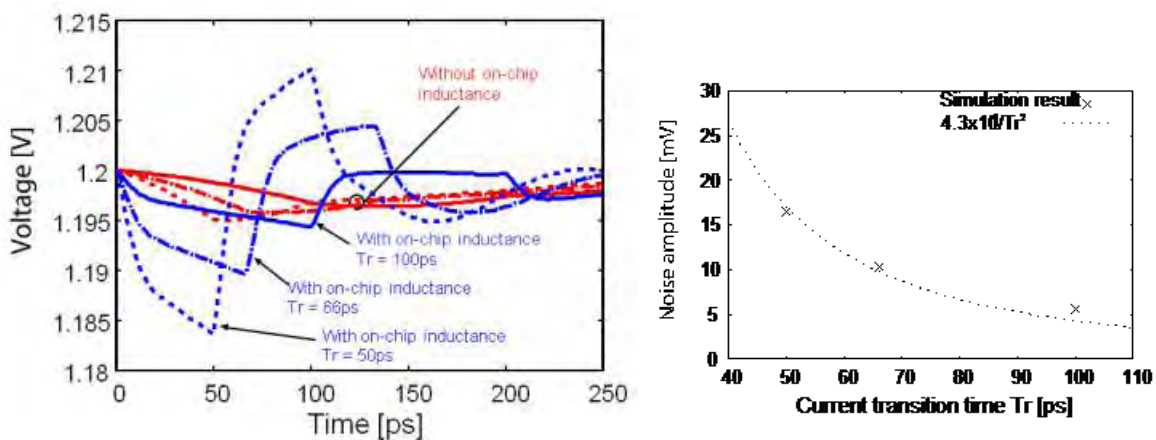
Η εμφάνιση επαγωγής στο ΔΔΙ είναι συνήθως σημαντική στις διασυνδέσεις bond wire ή C4, οι οποίες διασύνδεουν τον πυρήνα με την συσκευασία. Μια τυπική τιμή για την επαγωγή που εμφανίζει ένα Bond Wire είναι 1 nH/mm και μια C4 σφαίρα είναι της τάξης των 100 pH. Οι νέου τύπου συσκευασίες διαθέτουν πάνω από το 50% των ακροδεκτών τους, για την διασύνδεση των αγωγών τροφοδοσίας και γείωσης, με στόχο να μειώσουν την επαγωγή του δικτύου. Οι δύο σημαντικότεροι παράγοντες αύξησης του θορύβου Ldi/dt είναι οι εναλλαγές στα σήματα I/O και οι εναλλαγές καταστάσεις από ανενεργό σε ενεργό του πυρήνα του OK.



Εικόνα 40. Η αύξηση του ρεύματος και η ταυτόχρονη αύξηση του θορύβου Ldi/dt στις γενεές επεξεργαστών [Hashimoto].

Είναι όμως γεγονός, ότι ο θόρυβος Ldi/dt αυξάνεται σημαντικά (με παράγοντα $\sim If$ – Εικόνα 40) στις σύγχρονες τεχνολογίες με αποτέλεσμα στα ΟΚ και τους επεξεργαστές υψηλών απαιτήσεων να είναι απαραίτητη η ανάπτυξη νέων μικροαρχιτεκτονικών και σχεδιαστικών τεχνικών ώστε να μην επηρεάζεται σημαντικά η λειτουργία του ΟΚ. Για παράδειγμα, μια επεξεργαστική μονάδα πολλών επιπέδων – ομοχειρίας (pipeline) μπορεί να βρεθεί σε κατάσταση ή να εγκαταλείψει την ανενεργό κατάσταση σε ένα επίπεδο ανά κύκλο αντί να γίνει μαζίκα ώστε να καταναείμει τη ζήτηση σε ρεύμα σε πολλά στάδια.

Σύμφωνα με την έρευνα [Hashimoto], στην περίπτωση που έχουμε ένα κύκλωμα με μοναδική παροχή ρεύματος, να αποτελείτε από πύλες NAND2 σε $3,000\text{mm}^2$ (που καλύπτουν την μισή επιφάνεια) και με χρόνους εναλλαγής T_r : 50, 66, 100ps (σταθερή κατανάλωση ισχύος). Το $\Delta\Delta I$ είναι από αγωγούς: 10mm πλάτος, 1mm πάχος, 100mm απόσταση και σε τεχνολογία 130nm με τάση τροφοδοσίας 1.2V, μέγεθος ΟΚ $2 \times 2\text{mm}^2$, για την διασύνδεση έχουμε 9P + 9G C4 σφαίρες (με κάθε σφαίρα 0.5nH, 1W), και με όλες τις αμοιβαίες επαγωγές να λαμβάνονται υπόψη.



Εικόνα 41. Η επίδραση του θορύβου Ldi/dt στο πειραματικό $\Delta\Delta I$ [Hashimoto].

Με πειραματικές μετρήσεις διαπιστώθηκε ότι ο θόρυβος στο $\Delta\Delta I$ είναι σημαντικός (Εικόνα 41) και μπορούμε να δούμε πως επηρεάζουν το ιδανικό δίκτυο διανομής ο συνυπολογισμός της επαγωγής του πυρήνα του ΟΚ και φυσικά η ταχύτητα απόκρισης στην εναλλαγή των σημάτων. Στην περίπτωση που

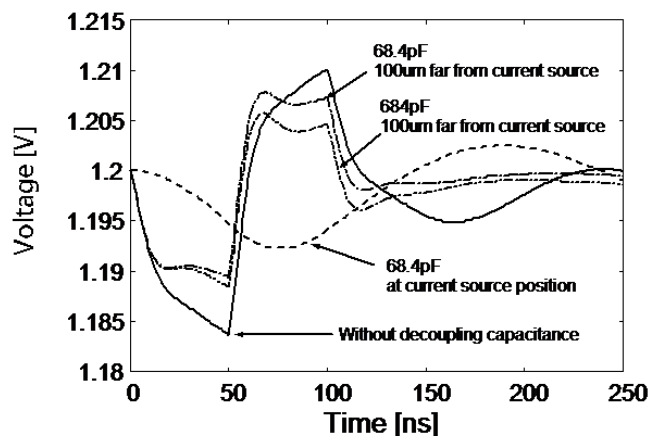
συνυπολογίζουμε την επαγωγή, παρατηρούμε ότι ο παράγοντας επιρροής στην πτώση τάσης είναι δευτέρου βαθμού.

Η τάση που επικρατεί την σύγχρονη εποχή και η αύξηση των συχνοτήτων λειτουργίας θα αναδείξουν τον θόρυβο Ldi/dt σε σημαντικό παράγοντα για την αξιοπιστία του ΔΔΙ. Για μια ακόμα φορά, παρατηρούμε ότι ο συνυπολογισμός των επαγωγών είναι σημαντικός, αλλά πάντα σε συνδυασμό με την ακριβή εκτίμηση των ρευμάτων και των κρίσιμων περιοχών.

1.4.5. Χωρητικότητες Διαφυγής στα σύγχρονα ΟΚ

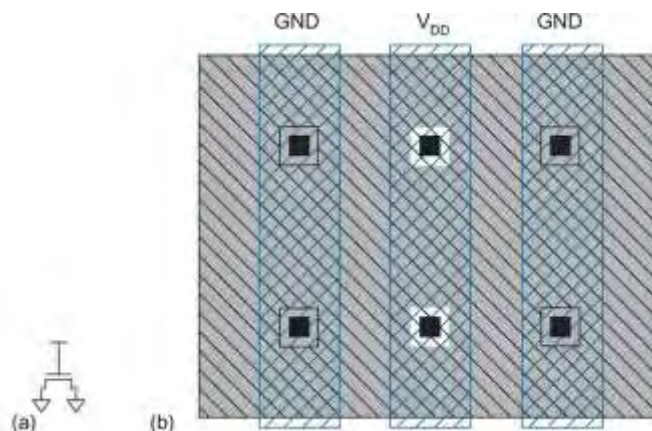
Όπως διαπιστώσαμε τα σύγχρονα ΟΚ χρειάζονται ένα σημαντικό ποσό χωρητικότητας μεταξύ των αγωγών τροφοδοσίας και γείωσης, ώστε να καταφέρουν να υποστηρίξουν τις απαιτήσεις των κυκλωμάτων σε στιγμιαία ρεύματα. Η χωρητικότητα αυτή ονομάζεται χωρητικότητα διαφυγής (bypass ή decoupling). Η χωρητικότητα διαφυγής είναι κατανεμημένη κατά μήκος του ΟΚ και είναι σε θέση να προσφέρει ποσά ρεύματος, σε περίπτωση υψηλών στιγμιαίων τοπικών ρευμάτων, με πιο άμεσο τρόπο από ότι το ωμικό συνολικό ΔΔΙ και επίσης προσφέρει στη μείωση του Ldi/dt .

Σύμφωνα με το πείραμα της προηγούμενης παραγράφου μπορούμε να δούμε στην *Εικόνα 42*, ότι η ύπαρξη και τοποθεσία των χωρητικότητας διαφυγής βοηθά στη μείωση του θορύβου στο ΔΔΙ.



Εικόνα 42. Η επίδραση της ύπαρξης χωρητικότητας διαφυγής σε ένα ΔΔΙ [Hashimoto].

Είναι γεγονός, ότι η ύπαρξη της χωρητικότητας πύλης στα κυκλώματα προσφέρει μια σημαντική ποσότητα χωρητικότητας διαφυγής (symbiotic). Στα χαμηλής και μέσης κατανάλωσης ΟΚ, η χωρητικότητα αυτή παρέχει σημαντική ποσότητα φορτίου, για το φιλτράρισμα στιγμιαίων ρευμάτων, για την αποφυγή πτώσεων τάσης και για τον Ldi/dt . Για ΟΚ υψηλότερων επιδόσεων και κατανάλωσης ισχύος, είναι απαραίτητη επιπρόσθετη χωρητικότητα και για το λόγο αυτό αναπτύσσονται αλγόριθμοι τοποθέτησης διατάξεων CMOS υψηλής χωρητικότητας (οξειδία πύλης) και χρησιμοποιούν συνήθως nMOS τρανζίστορ (*Εικόνα 43*) που έχει την πύλη συνδεδεμένη στη τροφοδοσία V_{DD} .



Εικόνα 43. Το σχηματικό ενός πυκνωτή διαφυγής και η φυσική σχεδίαση ενός waffle πυκνωτή [Harris].

1.4.6. Θόρυβος Υποστρώματος (Substrate Noise)

Σε ένα CMOS τρανζίστορ το τερματικό σώματος (Body terminal) συνδέεται στο υπόστρωμα (substrate) ή σε πηγάδι (well). Το p-τύπου υπόστρωμα, για ένα nMOS τρανζίστορ, είναι φυσιολογικά συνδεδεμένο στη γείωση (GND) και το n-τύπου πηγάδι, για ένα pMOS τρανζίστορ, είναι φυσιολογικά συνδεδεμένο στην τροφοδοσία V_{DD} . Οι συνδέσεις αυτές επιτυγχάνονται μέσω ενός υψηλής-αντίστασης υποστρώματος ή μιας επαφής πηγαδιού. Η διέλευση ρεύματος στο υπόστρωμα προκαλεί θόρυβο στο τερματικό σώματος. Το ρεύμα αυτό μπορεί να προέλθει από χωρητική σύζευξη, από την ανάστροφα πολωμένη πηγή/υποδοχή (drain) με υπόστρωμα δίδων ή από ενσφήνωση ιονισμένων σωματιδίων κατά την ροή του ρεύματος, όταν ένα τρανζίστορ είναι ανοιχτό.

Ο θόρυβος υποστρώματος αποτελεί πρόβλημα και στις mixed-signal σχεδιάσεις, όπου ξεχωριστά δίκτυα τροφοδοσίας αναπτύσσονται για τα θορυβώδη ψηφιακά κυκλώματα και τα πιο ήσυχα αναλογικά κυκλώματα. Ο μεγάλος αριθμός και η ταχύτητα μεταβολής κατάστασης των ψηφιακών κυκλωμάτων προκαλεί θόρυβο στο ψηφιακό επίπεδο και αυτό μεταδίδεται στο ευαίσθητο αναλογικό πεδίο μέσω του κοινού υποστρώματος.

Το υπόστρωμα και τα πηγάδια θα πρέπει να χρησιμοποιούν πλήθος επαφών για να διασφαλίσουν χαμηλής αντίστασης μονοπάτια για το $\Delta\Delta I$. Η τεχνική των Guard Rings, παρέχει κάποια προστασία έναντι του θορύβου που προκαλείται από τα ρεύματα που ρέουν στο υπόστρωμα. Τα αναλογικά κυκλώματα θα πρέπει να τοποθετούνται ξεχωριστά από τα ψηφιακά και να προστατεύονται από Guard Rings, που συνδέονται σε μια ήρεμη αναλογική τροφοδοσία. Τεχνολογίες όπως η Twin-tub, τριπλού πηγαδιού και SOI προσφέρουν χαμηλότερα επίπεδα θορύβου υποστρώματος διότι τα τρανζίστορ απομονώνονται στα δικά τους πηγάδια.

2^ο ΚΕΦΑΛΑΙΟ: ΣΤΑΤΙΣΤΙΚΗ ΕΚΤΙΜΗΣΗ ΡΕΥΜΑΤΟΣ ΚΑΙ ΕΦΑΡΜΟΓΕΣ ΣΤΟ ΔΔΙ ΤΩΝ ΟΚ.

Η μέθοδος σχεδίασης που προτείνεται στην παρούσα εργασία εκμεταλλεύεται τις πιο πρόσφατες έρευνες στο πεδίο της στατιστικής εκτίμησης των μεγίστων ρευμάτων και βασίζεται στην ασυμπτωτική θεωρία ακραίων τιμών (EVT) η οποία αποτελεί παρεμφερές πεδίο με αυτό της στατιστικής για τον υπολογισμό του αγνώστου μεγίστου από ένα πλήθος, μέσα από τη χρήση ενός ή περισσότερων δειγμάτων του. Εμφανίστηκαν ορισμένες προηγούμενες τεχνικές βασισμένες στη στατιστική αξιοποίηση των δεδομένων προσομοίωσης, αλλά είτε δεν ήταν βασισμένες στην EVT, είτε δεν κάνανε επαρκή χρήση της θεωρίας όπως παρουσιάζονταν στην αναφορά [Εντομοφορουλος02].

2.1. Η ΣΤΑΤΙΣΤΙΚΗ ΔΙΑΤΥΠΩΣΗ ΤΩΝ ΟΡΙΣΜΩΝ ΤΗΣ ΜΕΣΗΣ ΚΑΙ ΤΗΣ ΜΕΓΙΣΤΗΣ ΙΣΧΥΟΣ

Στο προηγούμενο κεφάλαιο και συγκεκριμένα στις σχέσεις (1.20) και (1.22) δόθηκαν οι ορισμοί των ποσοτήτων της μέσης και της μέγιστης ισχύος ενός κυκλώματος CMOS, οι οποίες και αποτελούν τελικά αντικείμενο στατιστικής εκτίμησης. Προκειμένου, όμως, να καταστεί δυνατή η εφαρμογή των σχετικών τεχνικών που αναπτύχθηκαν σε σχετική ερευνητική εργασία [Ενμορφουλος02], θα πρέπει οι ποσότητες αυτές να εκφραστούν ως αντίστοιχες παράμετροι του μέσου και του μεγίστου (ή τελικού σημείου) για κάποιες κατάλληλες κατανομές πιθανότητας. Οι κατανομές αυτές προφανώς θα διέπουν τις ανάλογες τυχαίες μεταβλητές, οι οποίες ορίζονται επί ενός αρχικού πληθυσμού Ω ως ποσοτικά χαρακτηριστικά του. Από τη σχέση (1.22) προκύπτει άμεσα ότι εάν για ένα δοσμένο κύκλωμα θεωρήσουμε το σύνολο όλων των δυνατών ζευγών (v_1, v_2) των διανυσμάτων εισόδου του ως αρχικό πληθυσμό Ω , και τη μέγιστη τιμή της στιγμιαίας ισχύος κύκλου (με περίοδο τ) για καθένα από τα ζεύγη αυτά ως τυχαία μεταβλητή P' :

$$P' = \max_{t \in [0, \tau]} P(t) \quad (2.1)$$

τότε η μέγιστη ισχύς του κυκλώματος θα αντιπροσωπεύεται από το τελικό σημείο της (άγνωστης) κατανομής πιθανότητας της P' , δηλαδή:

$$P_{mx} = \omega_{P'} \quad (2.2)$$

Αντίθετα, για την ποσότητα της μέσης ισχύος δεν μπορούμε να προβούμε άμεσα σε κάποιον παρόμοιο συλλογισμό καθώς, όπως αυτή ορίζεται στη σχέση (1.20), αποτελεί έναν χρονικό και όχι πληθυσμιακό (ή πιθανοτικό) μέσο. Θα δούμε, όμως, ότι θεωρώντας τον ίδιο αρχικό πληθυσμό των διανυσματικών ζευγών εισόδου ενός δοσμένου κυκλώματος και λαμβάνοντας ως τυχαία μεταβλητή, έστω P_τ , τη μέση ισχύ κύκλου για κάθε τέτοιο ζεύγος:

$$P_\tau = \frac{1}{\tau} \int_0^\tau P(t) dt \quad (2.3)$$

προκύπτει ότι και η μέση ισχύς του κυκλώματος μπορεί να γραφεί ανάλογα ως πληθυσμιακός μέσος και συγκεκριμένα ως το μέσο της κατανομής πιθανότητας της P_τ , δηλαδή:

$$P_{av} = \mu_{P_\tau} = E[P_\tau] \quad (2.4)$$

Πράγματι, σύμφωνα με ορισμένα αποτελέσματα που δόθηκαν στην εργασία [Najm93] αποδεικνύεται ότι κάτω από κάποιες πολύ γενικές προϋποθέσεις (όπως το να υπάρχει πριν από τη χρονική αρχή $t = 0$ και για διάστημα τουλάχιστον ίσο με τη μέγιστη καθυστέρηση στο κρίσιμο μονοπάτι του κυκλώματος κάποια δραστηριότητα στις εισόδους του, έτσι ώστε αυτή να έχει προλάβει να επεκταθεί πλήρως σε όλους τους

εσωτερικούς του κόμβους) η κυματομορφή $P(t)$ της στιγμιαίας ισχύος αποτελεί μια *στάσιμη* (*stationary*) και *εργοδική* (*ergodic*) ως προς τη μέση τιμή στοχαστική διεργασία [Papoulis], πράγμα που σημαίνει ότι ο χρονικός της μέσος P_T από τη σχέση (2.3) θα τείνει για $T \rightarrow +\infty$ σε έναν πληθυσμιακό μέσο $E[P(t)]$ ο οποίος είναι ο ίδιος για κάθε χρονική στιγμή t , δηλαδή:

$$\lim_{T \rightarrow +\infty} P_T = \lim_{T \rightarrow +\infty} \frac{1}{T} \int_0^T P(t) dt = E[P(t)] \quad (2.5)$$

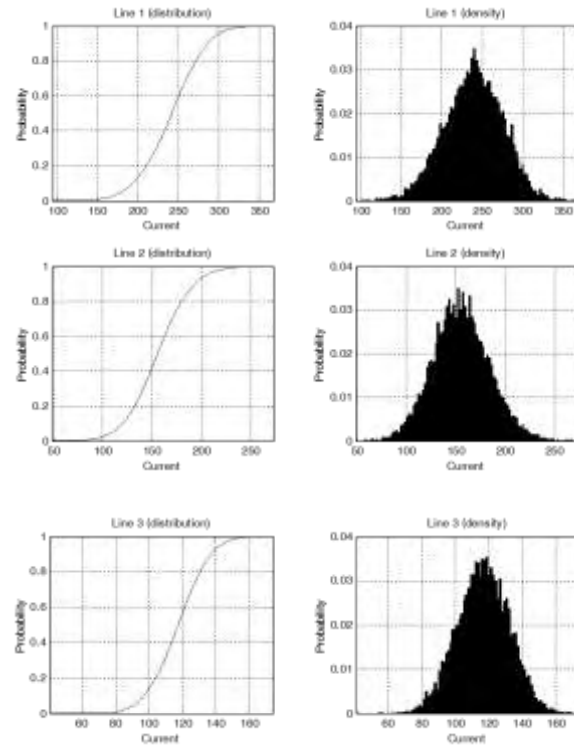
Σε μια, όμως, στάσιμη και εργοδική στοχαστική διεργασία ο χρονικός μέσος για οποιοδήποτε πεπερασμένο διάστημα T αποτελεί επίσης μια αμερόληπτη εκτιμήτρια του κοινού πληθυσμιακού μέσου, οπότε για τις δύο αυτές ποσότητες θα ισχύει:

$$E[P_T] = E\left[\frac{1}{T} \int_0^T P(t) dt\right] = E[P(t)] \quad (2.6)$$

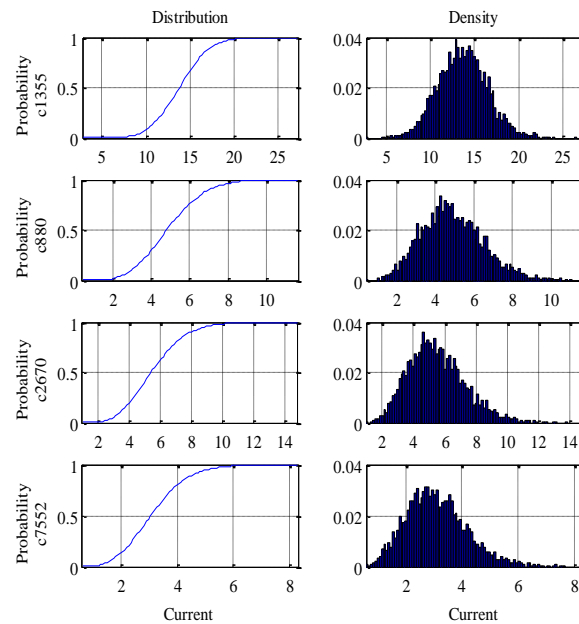
Επιλέγοντας ως διάστημα T στην παραπάνω σχέση την περίοδο τ ενός κύκλου του ρολογιού (δηλαδή θέτοντας $P_T = P_\tau$), και αντικαθιστώντας στην (2.5) την P_{av} από τον αρχικό ορισμό (1.20), καταλήγουμε τελικά στον εναλλακτικό ορισμό (2.4) της μέσης ισχύος ως πληθυσμιακού μέσου.

2.2. Η ΣΤΑΤΙΣΤΙΚΗ ΕΚΤΙΜΗΣΗ ΤΟΥ ΜΕΓΙΣΤΟΥ ΡΕΥΜΑΤΟΣ

Η δυσκολία για την εκτίμηση των μεγίστων ρευμάτων $I_{mx,j}$, είναι στο γεγονός ότι το στιγμιαίο ρεύμα $I_j(t)$ που ρέει σε κάθε αγωγό j είναι συνάρτηση του ζεύγους εισόδων (v_1, v_2) που προκαλούν και μεταβολή στην λογική κατάσταση του κυκλώματος. Αν η μέγιστη τιμή ρεύματος $I_{P,j}$ του $I_j(t)$ θεωρηθεί σε ένα κύκλο ρολογιού ως συνάρτηση των (v_1, v_2) , τότε το $I_{mx,j}$ είναι ίσο με τη μέγιστη τιμή ρεύματος σε ένα ακριβή κύκλο ρολογιού (*cycle-accurate peak current*) μεταξύ όλων των δυνατών ζευγών (v_1, v_2) . Από τη στατιστική πλευρά, το συνολικό σετ των ζευγών εισόδου μπορεί να δημιουργήσει έναν πληθυσμό μεγέθους 4^k (όπου k είναι ο αριθμός των βασικών εισόδων (primary inputs) – ή ο αριθμός των bits σε κάθε διάνυσμα εισόδου) στο οποίο η ποσότητα των μεγίστων ρευμάτων με ακρίβεια κύκλου μπορεί να παρατηρηθεί σαν μια τυχαία μεταβλητή X .



Εικόνα 44. Πειραματικές συναρτήσεις κατανομής και πυκνότητας του cycle-accurate κορυφαίου ρεύματος για 3 βασικούς αγωγούς του ΔΔΙ (for the c6288 benchmark circuit).



Εικόνα 45. Πειραματικές συναρτήσεις κατανομής και πυκνότητας του cycle-accurate κορυφαίου ρεύματος για διάφορα κυκλώματα των σχεδιάσεων αναφοράς.

Αν υποθέσουμε ότι η X είναι χαρακτηρισμένη ως μια αθροιστική συνάρτηση κατανομής (cumulative distribution function - cdf) $F(x)$ (και με συνάρτηση πυκνότητας $f(x) = dF(x)/dx$), η οποία θεωρούμε ότι είναι συνεχής και διαφορίσιμη (δείτε *Εικόνα 44 - 45* για παραδείγματα τέτοιων κατανομών σε διάφορους αγωγούς ΔΔΙ και κυκλωμάτων αναφοράς), τότε το πρόβλημα του καθορισμού του συνολικού μεγίστου ρεύματος μπορεί να αποτελέσει ένα πρόβλημα της εκτίμησης του άγνωστου μεγίστου ενός δοθέντος στατιστικού πληθυσμού με cdf $F(x)$. Η τελευταία ποσότητα, γνωστή και ως υψηλότερη κορυφή (*upper endpoint*) ω_F , ορίζεται επίσημα ως το τελευταία υψηλότερο όριο του πεδίου των τιμών της μεταβλητής X (*supporting domain or support of $F(x)$*):

$$\omega_F = \sup\{x \in \mathfrak{R} : 0 < F(x) < 1\} \quad (2.7)$$

και έχουμε $\omega_F = F^{-1}(1)$ εάν η X είναι άνω φραγμένη, ή $\omega_F = +\infty$ στην αντίθετη περίπτωση.

Αν $\underline{X}_k = [X_{k1}, X_{k2}, \dots, X_{kn}]^T$ ($k=1, 2, \dots, m$) είναι m δείγματα, μεγέθους n από τον πληθυσμό και όλες οι μονάδες είναι τυχαίες ώστε να αποτελούν ανεξάρτητες και μοναδικές κατανομές (*independent and identically distributed* - iid) τυχαίων μεταβλητών με cdf ίση με $F(x)$. Στην δική μας προσπάθεια να εκτιμήσουμε το ω_F δημιουργούμε ένα νέο δείγμα $\underline{X}_{mx} = [Z_1, Z_2, \dots, Z_m]^T$ από τις μέγιστες τιμές $Z_k = \max(X_{k1}, X_{k2}, \dots, X_{kn})$ από κάθε αρχικό δείγμα \underline{X}_k , το οποίο για ένα ικανοποιητικό μέγεθος n είναι γνωστό ότι προσεγγίζει ασυμπτωτικά μια καλά ορισμένη παραμετρική cdf $G(x)$ όπου η ω_F εκχωρείται μέσα στις παράμετρος a_n, b_n (η μητρική $F(x)$ είναι συνεχής και διαφορίσιμη). Η αναλυτικές συναρτησιακές σχέσεις της $G(x)$ και a_n, b_n είναι καθορισμένες από ένα βασικό οριακό θεώρημα της θεωρίας Ακραίων τιμών (EVT) [Galambros], οι οποίες μπορούν να αναζητηθούν στην εργασία [Evmorforoulos02]. Η εκτίμηση στόχος $\hat{\omega}_F$ της ω_F μπορεί να εξαχθεί με εκτίμηση της μέγιστης (*maximum likelihood* - ML) [Rao] των παραμέτρων a_n, b_n επί του δείγματος \underline{X}_{mx} .

Για την εκτίμηση θα δώσουμε προσοχή στην κύρια υπό-περίπτωση $G_0(x)$ της $G(x)$, που ορίζεται ως μια κατανομή πιθανότητας *Gumbel* στην εργασία [Evmorforoulos02], η οποία χαρακτηρίζει το μεγαλύτερο πλήθος πρακτικών περιπτώσεων. Η επικράτηση της κατανομής *Gumbel* για τα μέγιστα έχει πιστοποιηθεί τόσο θεωρητικά στην εργασία [Resnick] και πειραματικά στις εργασίες [Evmorforoulos02],[Castillo]. Στην περίπτωση που η θεώρηση μας για την *Gumbel* δεν είναι επαρκής θα προκαλέσει μια υπερεκτίμηση του πραγματικού μεγίστου και θα έχει ως αποτέλεσμα την δημιουργία μια συντηρητικής σχεδίασης.

Στη συνέχεια παραθέτουμε από την εργασία [Evmorforoulos02] μερικά αποτελέσματα για την υπό-περίπτωση που επιλέξαμε. Η άνω τελική εκτίμηση δίνεται από:

$$\hat{\omega}_F = \hat{a}_n + \frac{\hat{b}_n}{1 + n\sqrt{\pi \log n}(\operatorname{erf}(\sqrt{\log n}) - 1)} \quad (2.8)$$

Όπου, $\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x \exp(-t^2) dt$ είναι η συνάρτηση σφάλματος (error function) η οποία μπορεί να αναζητηθεί σε πίνακες πολλών μαθηματικών συγγραμμάτων (όπως το [Abramowitz]), και \hat{a}_n, \hat{b}_n αποτελούν τις ML εκτιμήσεις των παραμέτρων a_n, b_n όπως προκύπτουν από την μεγιστοποίηση της παρακάτω λογαριθμικής συνάρτησης (log-likelihood):

$$\log L(a_n, b_n) = -\sum_{i=1}^m \left(\frac{Z_i - a_n}{b_n} + \exp\left(-\frac{Z_i - a_n}{b_n}\right) + \log b_n \right) \quad (2.9)$$

Το περιθώριο εμπιστοσύνης (ανταποκρινόμενο σε ένα επίπεδο εμπιστοσύνης $(1-\delta) \times 100\%$) μπορεί να υπολογιστεί για το τελική εκτίμηση $\hat{\omega}_F$, όπως ακολουθεί [Rao]:

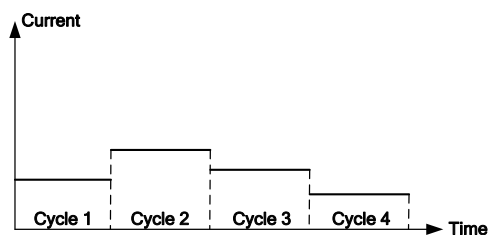
$$|\hat{\omega}_F - \omega_F| \leq \frac{z_{\delta/2}}{\sqrt{m}} \frac{\hat{b}_n \sqrt{6}}{\pi} \cdot \sqrt{(\gamma-1)^2 + \frac{\pi^2}{6} + \frac{2(1-\gamma)}{1 + n\sqrt{\pi \log n}(\operatorname{erf}(\sqrt{\log n}) - 1)} + \frac{1}{(1 + n\sqrt{\pi \log n}(\operatorname{erf}(\sqrt{\log n}) - 1))^2}} \quad (2.10)$$

όπου $z_{\delta/2}$ είναι το $\delta/2$ ποσοστιαίο σημείο της τυποποιημένης κανονικής κατανομής και $\gamma \approx 0.5772\dots$ είναι η σταθερά *Euler gamma* [Abramowitz].

Η στατιστική εκτίμηση του μεγίστου ρεύματος έχει αναλυθεί με μεγάλη ακρίβεια στην εργασία [Εννομορφουλος02] και αποτέλεσε την βάση για την ανάπτυξη των μηχανών I-Xtreme. Στη πορεία της εργασίας κρίθηκε απαραίτητο και προσαρμοστεί η διαδικασία υπολογισμών της εκτίμησης στις απαιτήσεις των νέων εφαρμοσμένων μεθοδολογιών σε κυκλώματα CMOS VLSI και να υλοποιηθεί σε C για να ενταχθεί πλήρως σε βιομηχανικές ροές σχεδίασης. Παραδείγματα εφαρμογής της μεθόδου εκτίμησης περιγράφονται στη συνέχεια του παρόντος κεφαλαίου.

2.3. ΜΕΘΟΔΟΣ ΕΠΙΒΕΒΑΙΩΣΗΣ ΑΞΙΟΠΙΣΤΙΑΣ ΔΔΙ

Το μοντέλο που θα θεωρήσουμε για το ΔΔΙ είναι ένα γραμμικό δίκτυο αντιστάσεων με πηγές ρεύματος μεταβλητές στο χρόνο στη θέση των υποκυκλωμάτων, αφού εμείς αναζητούμε στατικά διανύσματα ρεύματος για DC ανάλυση. Στη μεθοδολογία αυτή, αντί να χρησιμοποιήσουμε ένα μοναδικό DC διάνυσμα (όπως το διάνυσμα των συνολικών μέσων ή μέγιστων ρευμάτων), για να παρουσιάσουμε όλες τις μεταβατικές κυματομορφές όλων των πιθανών δειγμάτων εισόδων θα υιοθετήσουμε ένα σχήμα DC ρευμάτων πολλών κύκλων (*multi-cycle* DC current scheme) [Dharchoudhury] στο οποίο μόνο η ακρίβειας κύκλου κυματομορφή ρεύματος για κάθε υποκύκλωμα (που αντιπροσωπεύει και ένα συγκεκριμένο δείγμα εισόδων) θα αντικαθίσταται από μια σταθερή DC τιμή (δείτε *Εικόνα 46*). Με βάση αυτό το σχήμα θα προσπαθήσουμε να εκείνα τα DC διανύσματα ρευμάτων με ακρίβεια κύκλου (*cycle-DC current vectors*) τα οποία θα μας παρέχουν την πτώση τάσης χειρότερης περίπτωσης (*worst-case*) για κάθε καταβόθρα σε ένα προκαθορισμένο ΔΔΙ.

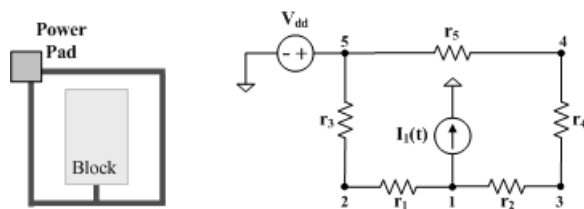


Εικόνα 46. DC Σχήμα ρευμάτων πολλών περιόδων.

Το προτεινόμενο σχήμα είναι σε θέση να υπολογίσει τα διαφορικά φορτία ρεύματος τα οποία προκύπτουν από διαφορετικά δείγματα εισόδων (αφού προκαλούν μεταβολή κατάστασης σε διαφορετικές συσκευές της σχεδίασης), και μπορούν να αναπαράγουν πιστές καταστάσεις συμπεριφοράς του ΔΔΙ στο χρόνο και σε καταστάσεις όπου χρειάζονται μεγάλα φορτία χωρητικότητα διαφυγής για να αντιμετωπιστούν ομαλά υψηλές απαιτήσεις δυναμικών μέγιστων ρευμάτων – πτώσης τάσης (ειδικά για περιπτώσεις μετά την ακμή του ρολογιού όπου πολλές συσκευές ανοιγοκλείνουν ταυτόχρονα). Φυσικά, η πρόταση αυτή δεν μπορεί να είναι συνολικά αληθής για σύγχρονα ΟΚ με συχνότητες λειτουργίας πάνω από 1GHz, και για το λόγο αυτό είναι απαραίτητη η δειγματική δυναμική ανάλυση για πιο αξιόπιστα δεδομένα. Είναι όμως γνωστό ότι τέτοιου τύπου αναλύσεις είναι δύσκολο να καλύψουν όλους τους δυνατούς συνδυασμούς δειγμάτων εισόδων και για το λόγο αυτό δεν σκιάζουν τα αποτελέσματα μιας στατικής ανάλυσης, ειδικά όταν αυτή στηρίζεται σε λογικά πιο ακριβές σχήμα DC ρευμάτων πολλών κύκλων.

Θεωρούμε ότι το ΔΔΙ (ή το μέρος του ΔΔΙ που χρειάζεται ανάλυση αξιοπιστίας) έχει εξαχθεί και αποτελεί ένα γραμμικό δίκτυο από ωμικούς κλάδους, οι οποίοι συναντώνται σε $q + p$ κόμβους, από τους οποίους οι p κόμβοι είναι συνδεδεμένοι σε εξωτερικές πηγές τροφοδοσίας μέσω των πελμάτων τάσης (τα οποία είτε βρίσκονται περιμετρικά στην περίπτωση μιας wire-bond συσκευασίας ή μοιράζονται σε όλη την επιφάνεια του ΟΚ σε μια συσκευασία Flip-chip, οι υπόλοιποι κόμβοι q είναι μοιρασμένοι σε n καταβόθρες

υποκυκλωμάτων (με πηγές ρεύματος που γειώνονται σε ένα δίκτυο γείωσης) και $q-n$ εσωτερικούς κόμβους (όπου συνήθως $q \gg n$). Στην παρακάτω *Εικόνα 47* παρουσιάζεται μια απλή μορφή του ΔΔΙ.



Εικόνα 47. Απλή μορφή ΔΔΙ και η ωμική μοντελοποίηση του.

Σύμφωνα με την τροποποιημένη μέθοδο των κόμβων (MNA - modified nodal analysis) [Pillage], το $q \times 1$ διάνυσμα των στιγμιαίων τάσεων $\underline{U}(t)$ (σε σχέση με την γείωση) σε όλα τους κόμβους (εσωτερικούς και τις καταβόθρες) είναι καθορισμένη από τις στιγμιαίες κυματομορφές των ρευμάτων από τις καταβόθρες και τη δομή του ΔΔΙ, και δίνεται από τον παρακάτω σχέση πινάκων:

$$\underline{G} \cdot \underline{U}(t) = -\underline{I}(t) + \underline{G} \cdot \underline{V}_{dd} \quad (2.11)$$

Όπου \underline{G} είναι ένας $q \times q$ πίνακας αγωγιμοτήτων του δικτύου (που συμπληρώνεται με τις αγωγιμότητες των κλάδων του δικτύου), $\underline{I}(t)$ είναι ένα $q \times 1$ διάνυσμα των διεγέρσεων των ρευμάτων στους κόμβους (με θετικά ρεύματα προς την γείωση στις καταβόθρες και μηδενικά σε όλους τους άλλους κόμβους), και \underline{V}_{dd} είναι ένας άλλο $q \times 1$ διάνυσμα με όλες τις θέσεις ίσες με την τάση τροφοδοσίας V_{dd} . Με τον ορισμό του $\underline{V}(t) = \underline{V}_{dd} - \underline{U}(t)$ ως Πτώσης Τάσης σε όλους τους κόμβους μπορούμε να επιλύσουμε ξανά τη σχέση ανάλυσης του δικτύου σε μια νέα μορφή που μπορεί να λυθεί απευθείας για την πτώση τάσης, όπως και παρουσιάζεται στην παρακάτω σχέση:

$$\underline{G} \cdot \underline{V}(t) = \underline{I}(t) \quad (2.12)$$

Για να αποκομίσουμε τις κατάλληλες εκφράσεις για τις πτώσεις τάσης στους κόμβους n των καταβόθρων που μας ενδιαφέρουν, θα πρέπει πρώτα να τις απαριθμήσουμε στους πίνακες \underline{G} και τα διανύσματα vectors $\underline{I}(t)$ και $\underline{V}(t)$, και έτσι η σχέση μπορεί να γραφεί όπως ακολουθεί:

$$\begin{bmatrix} \underline{G}_{11} & \underline{G}_{12} \\ \underline{G}_{21} & \underline{G}_{22} \end{bmatrix} \cdot \begin{bmatrix} \underline{V}_s(t) \\ \underline{V}_i(t) \end{bmatrix} = \begin{bmatrix} \underline{I}_s(t) \\ \underline{0} \end{bmatrix} \quad (2.13)$$

όπου \underline{G}_{11} , \underline{G}_{12} , \underline{G}_{21} , και \underline{G}_{22} είναι οι υποπίνακες του \underline{G} με μεγέθη $n \times n$, $n \times (q-n)$, $(q-n) \times n$, και $(q-n) \times (q-n)$ αντίστοιχα, ενώ $\underline{V}_s(t)$ και $\underline{I}_s(t)$ είναι διανύσματα μεγέθους $n \times 1$ (που

αναπαριστούν τις διεγέρσεις των πτώσεων τάσης και των ρευμάτων στους αντίστοιχους κόμβους των καταβόθρων και $\underline{V}_i(t)$ είναι ένα διάνυσμα μεγέθους $(q-n) \times 1$ (που αναπαριστά τις πτώσεις τάσεις στους εσωτερικούς κόμβους). Η τελευταία σχέση μπορεί να λυθεί ως προς $\underline{V}_s(t)$ και μετά από λίγες πράξεις να δώσει:

$$\underline{V}_s(t) = (\underline{G}_{11} - \underline{G}_{12}\underline{G}_{22}^{-1}\underline{G}_{21})^{-1} \cdot \underline{I}_s(t) = \underline{R} \cdot \underline{I}_s(t) \quad (2.14)$$

Όπου ο πίνακας $\underline{R} = (\underline{G}_{11} - \underline{G}_{12}\underline{G}_{22}^{-1}\underline{G}_{21})^{-1}$ είναι μεγέθους $n \times n$ και περιέχει μόνο θετικές τιμές μιας που ο \underline{G} είναι ένας M-πίνακας. Η διαδικασία της ανάλυσης αξιοπιστίας ενός ΔΔΙ εμπλέκει τον έλεγχο ότι η πτώση τάσης σε όλες τις καταβόθρες που ενδιαφέρουν δεν ξεπερνά του όριο ασφαλείας που είναι το V_0 (e.g. $V_0 = 0.1V_{dd}$) για όλες τις στιγμές του χρόνου t , i.e. $\underline{V}_s(t) < V_0, \forall t \in \mathfrak{R}$. Αφού, η τελευταία ποσότητα είναι ίση με $\max_{t \in \mathfrak{R}} \underline{V}_s(t) < V_0$ (όπου ο τελεστής “max” μεταφράζεται σε *component-wise* στο διάνυσμα $\underline{V}_s(t)$), πρέπει να αναζητήσουμε τη μέγιστη πτώση τάσης $\max_{t \in \mathfrak{R}} V_k(t)$ σε κάθε καταβόθρα $1 \leq k \leq n$. Αν θεωρήσουμε ότι ο πίνακας \underline{R} έχει γραμμές και στοιχεία:

$$\underline{R} = \begin{bmatrix} r_{11} & r_{12} & \cdots & r_{1n} \\ r_{21} & r_{22} & \cdots & r_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ r_{n1} & r_{n2} & \cdots & r_{nn} \end{bmatrix} = \begin{bmatrix} \underline{r}_1^T \\ \underline{r}_2^T \\ \vdots \\ \underline{r}_n^T \end{bmatrix} \quad (2.15)$$

Τότε κάθε στοιχεία $V_k(t)$ στο διάνυσμα $\underline{V}_s(t)$ θα είναι ως εξής:

$$V_k(t) = r_{k1}I_1(t) + r_{k2}I_2(t) + \cdots + r_{kn}I_n(t) = \underline{r}_k^T \cdot \underline{I}_s(t) \quad (2.16)$$

Έτσι, το πρόβλημα ανάλυσης αξιοπιστίας είναι σχετιζόμενο με τη μεγιστοποίηση της συνάρτησης $V_k(t)$ όπως αυτό αναλύεται στην παραπάνω σχέση. Σημειώστε, ότι η κλασσική πρακτική για να αναζητήσεις το μέγιστο ρεύμα σε κάθε καταβόθρα αποτελεσματικά εκτελεί το παρακάτω:

$$\begin{aligned} \max_{t \in \mathfrak{R}} V_k(t) &= \max_{t \in \mathfrak{R}} [r_{k1}I_1(t) + r_{k2}I_2(t) + \cdots + r_{kn}I_n(t)] \\ &\leq r_{k1} \max_{t \in \mathfrak{R}} I_1(t) + r_{k2} \max_{t \in \mathfrak{R}} I_2(t) + \cdots + r_{kn} \max_{t \in \mathfrak{R}} I_n(t) = \underline{r}_k^T \cdot \max_{t \in \mathfrak{R}} \underline{I}_s(t) \end{aligned} \quad (2.17)$$

Το οποίο φαινομενικά οδηγεί σε ένα πολύ συντηρητικό άνω όριο.

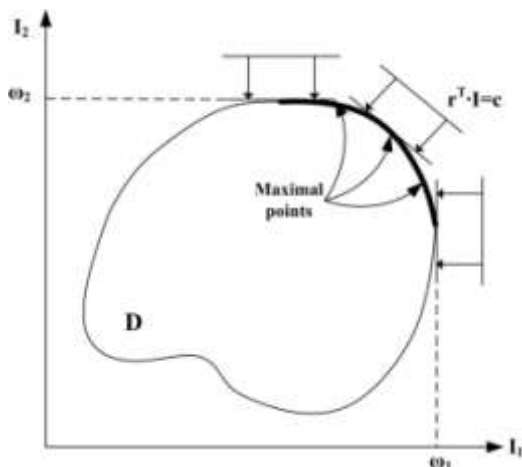
Στην παραπάνω σχέση η συνάρτηση του χρόνου $V_k(t)$ μπορεί να την αντιμετωπίσουμε ως μια σύνθετη (*composite*) συνάρτηση από διανυσματική μεταβλητή (π.χ. μια συνάρτηση πολλών μεταβλητών) $V_k(\underline{I}_s)$,

όπου $\underline{I}_s = \underline{I}_s(t)$ είναι μια συνάρτηση με τιμές διανύσματα (π.χ. ένα διάνυσμα από συναρτήσεις) $\underline{I}_s : \mathfrak{R} \rightarrow \mathfrak{R}^n$ της ανεξάρτητης βαθμωτής μεταβλητής $t \in \mathfrak{R}$. If $D = \underline{I}_s(\mathfrak{R}) \subset \mathfrak{R}^n$ σε ένα χωρικό πεδίο (range space) ή απλά πεδίο του $\underline{I}_s(t)$ μέσα στον n -διάστατο χώρο \mathfrak{R}^n , τότε αυτό αποτελεί το πεδίο ορισμού (domain) στο οποίο η σύνθετη συνάρτηση $V_k(\underline{I}_s)$ είναι ορισμένη, π.χ. $V_k : D \rightarrow \mathfrak{R}$. Το μέγιστο του $V_k(t)$ σε όλο το $t \in \mathfrak{R}$ πρέπει να είναι ίσο με το μέγιστο του $V_k(\underline{I}_s)$ μέσα στο πεδίο ορισμού (domain) $D \subset \mathfrak{R}^n$, i.e. $\max_{t \in \mathfrak{R}} V_k(t) = \max_{\underline{I}_s \in D} V_k(\underline{I}_s)$. Το τελευταίο αποτελεί το πρόβλημα της μεγιστοποίησης της αντικειμενικής συνάρτησης $V_k(\underline{I}_s)$ σε ένα *feasible set* D το οποίο σχηματίζεται επιβάλλοντας περιορισμούς στο παραμετρικό διάνυσμα \underline{I}_s .

Από τη σχέση (5) η συνάρτηση $V_k(\underline{I}_s)$ αποτελεί μια γραμμική συνάρτηση της διανυσματικής μεταβλητής \underline{I}_s . Επίσης, το πεδίο ορισμού D είναι φραγμένο στο \mathfrak{R}^n (γιατί κανένα ρεύμα δεν μπορεί να έχει άπειρη τιμή) και επομένως έχει ένα όριο ∂D (το οποίο ανήκει στο D , που το προσδιορίζει ως ένα *compact set* στο \mathfrak{R}^n). Βασισμένοι στις παρατηρήσεις αυτές και με χρήση των αποτελεσμάτων της εργασίας [Evmorforoulos06] μπορούμε να κατασκευάσουμε το πεδίο ορισμού D και με μεγαλύτερη ευκολία να βρούμε το μέγιστο του $V_k(\underline{I}_s)$ σε αυτό. Η γραμμική συνάρτηση των πτώσεων τάσης ως προς το διάνυσμα ρευμάτων των υποκυκλωμάτων αποδεικνύεται ότι μεγιστοποιείται στα επονομαζόμενα «μεγιστικά» (maximal) σημεία. Ο ορισμός των μεγιστικών σημείων δίνεται παρακάτω:

Ορισμός 1: Ένα σημείο \underline{I} καλείται «μεγιστικό» (maximal) σημείο του μερικώς διατεταγμένου συνόλου $D \subset \mathfrak{R}^n$ [4] εάν για κάθε $\underline{I}' \in D$ η σχέση $\underline{I}' > \underline{I}$ συνεπάγεται $\underline{I}' = \underline{I}$, ή ισοδύναμα εάν δεν υπάρχει $\underline{I}' \in D$ τέτοιο ώστε $\underline{I}' > \underline{I}$ συνιστώσα προς συνιστώσα (component-wise) με τουλάχιστον μια συνιστώσα $1 \leq k \leq n$ να είναι $\underline{I}'_k > \underline{I}_k$.

Με βάση την εργασία [Evmorforoulos06] αποδεικνύεται ότι το μέγιστο σημείο μια γραμμικής συνάρτησης $V_k(\underline{I}_s) = \underline{r}_k^T \cdot \underline{I}_s$, $\underline{r}_k > 0$ σε ένα *compact set* $D \subset \mathfrak{R}^n$ θα βρίσκεται στο μεγιστικό σημείο του ορίου ∂D . Αυτό παρουσιάζεται στην *Εικόνα 48*, όπου το μέγιστο της συνάρτησης $\underline{r}_k^T \cdot \underline{I}_s$ είναι η σταθερά c όπου το υπερεπίπεδο (*hyperplane*) $\underline{r}_k^T \cdot \underline{I}_s = c$ στο \mathfrak{R}^n μόλις ακουμπά το όριο του D .



Εικόνα 48. Τα μεγιστικά σημεία ενός διατεταγμένου συνόλου $D \subset \mathcal{R}^n$ και η μεγιστοποίηση της γραμμικής συνάρτησης σε αυτό.

Αφού έγινε η μοντελοποίηση του ΔΔΙ και η ανάπτυξη της μεθοδολογίας, η επαλήθευση του πλέγματος τάσης πρέπει να βασιστεί σε κατάλληλες τιμές των μεγίστων ρευμάτων που εμφανίζονται κατά τη λειτουργία του κυκλώματος και των υποσυστημάτων του, τα οποία σε όλες τις προηγούμενες περιπτώσεις θεωρούνταν ως δεδομένα. Παρά όλα αυτά, τέτοιες τιμές ή εκτιμήσεις, είναι δύσκολο να ληφθούν εφόσον το στιγμιαίο ρεύμα είναι συνάρτηση των διανυσματικών ζευγών εισόδου, τα οποία επιβάλλουν μια μετάβαση λογικής κατάστασης του κυκλώματος, ο αριθμός των οποίων (μεταβάσεων) είναι εκθετικός ως προς τον αριθμό των «βασικών εισόδων» και απαγορευτικά μεγάλος για πλήρη έλεγχο. Αυτή η έλλειψη αξιόπιστων εκτιμήσεων των μεγίστων ρευμάτων έχει ως αποτέλεσμα όλες οι προηγούμενες μέθοδοι να μην μπορούν να εφαρμοστούν σε πραγματικά ολοκληρωμένα κυκλώματα παρά μόνο σε ορισμένα μικρής πολυπλοκότητας κυκλώματα που διαθέτουν σχετικά μικρό αριθμό διακλαδώσεων και στοιχείων. Οι ανεξάρτητες προσεγγίσεις για την εκτίμηση των μεγίστων ρευμάτων που εμφανίστηκαν με το πέρασμα των χρόνων ήταν κατά κύριο λόγο ευρηστικές ή υπεραπλουστευμένες και δεν μπορούσαν να παρέχουν την ακρίβεια που απαιτούνταν για τη σχεδίαση ολοκληρωμένων κυκλωμάτων βαθέως υπομικρού.

Τα τελευταία χρόνια, η έρευνα έχει επικεντρωθεί στην ακριβή προσομοίωση του κυκλώματος για ένα επαρκές δείγμα διανυσμάτων εισόδου, το οποίο είναι διαδοχικά ακολουθούμενο από στατιστική επεξεργασία προκειμένου να εξάγει τα αποτελέσματα για ολόκληρο το πληθυσμό διανυσμάτων. Οι τελευταίες εξελίξεις στην επιστημονική έρευνα, όσον αφορά τη στατιστική προσέγγιση των μεγίστων ρευμάτων προκύπτουν από την ασυμπτωτική θεωρία ακραίων τιμών (EVT - Extreme Value Theory) που αποτελεί το σχετικό πεδίο της στατιστικής για τον υπολογισμό του αγνώστου μεγίστου ενός σχετικού πληθυσμού με χρήση ενός (ή περισσότερα) από τα δείγματά του.

Στη συνέχεια θα γίνει μια περισσότερο ποιοτική περιγραφή σχετικά με τη στατιστική εκτίμηση των μεγίστων ρευμάτων (βασιζόμενοι πάντα στη κυκλωματική διατύπωση όπως αυτή έγινε στην αρχή του κεφαλαίου για τα δίκτυο τροφοδοσίας και τα υποκυκλώματα του ολοκληρωμένου κυκλώματος) προσομοιώνουμε το κύκλωμα που

μας ενδιαφέρει με έναν αριθμό τυχαία παραγόμενων διανυσμάτων εισόδου. Έστω n τα υποκυκλώματα (πηγές ρεύματος κατά τη μοντελοποίηση τους) του ολοκληρωμένου και 5000 τα διανύσματα εισόδου. Η μέθοδος από το σημείο αυτό και μετά χωρίζεται σε δύο φάσεις.

Στη πρώτη φάση της μεθόδου, τοποθετούμε τις τιμές των ρευμάτων, οι οποίες προέκυψαν από τη προσομοίωση του κυκλώματος με τα 5000 τυχαία διανύσματα εισόδου, για κάθε ένα από τα n υποκυκλώματα σε n αντίστοιχες γραμμές ενός πίνακα διαστάσεων $n \times 5000$.

$$\mathbf{I} = \begin{bmatrix} value_1.1, value_1.2, value_1.3, \dots, value_1.4999, value_1.5000 \\ value_2.1, value_2.2, value_2.3, \dots, value_2.4999, value_2.5000 \\ \vdots \\ \vdots \\ value_n.1, value_n.2, value_n.3, \dots, value_n.4999, value_n.5000 \end{bmatrix}$$

Κάθε γραμμή του πίνακα χωρίζεται σε δείγματα (samples) μεγέθους 50 τιμών το κάθε ένα, δημιουργούνται κατά αυτό το τρόπο 100 samples σε κάθε γραμμή.

$$\mathbf{I} = \begin{bmatrix} \overbrace{1.1Sample(50values), 1.2Sample(50values), \dots, 1.50Sample50(values)}^{100samples(5000values)} \\ 2.1Sample(50values), 2.2Sample(50values), \dots, 2.50Sample50(values) \\ \vdots \\ \vdots \\ n.1Sample(50values), n.2Sample(50values), \dots, n.50Sample50(values) \end{bmatrix}$$

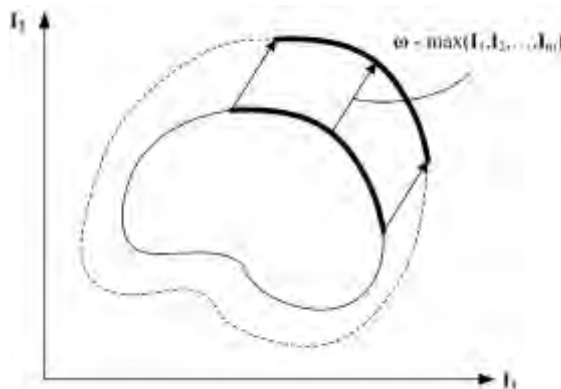
Για κάθε γραμμή κάνουμε την εξής διαδικασία, από κάθε δείγμα τιμών παίρνουμε τη μέγιστη τιμή (max), δημιουργώντας έτσι ένα δείγμα z μεγέθους 100 τιμών. Το δείγμα αυτό ακολουθεί extreme value κατανομή. Στη συνέχεια υπολογίζονται οι παράμετροι \hat{a}_k και \hat{b}_k της κατανομής. Μετά τον υπολογισμό των παραμέτρων γίνεται η εκτίμηση του μεγίστου $\hat{\omega}_k$ για κάθε υποκύκλωμα επί όλων των δυνατών διανυσμάτων εισόδου, οι οποίες είναι 2^r όπου r ο αριθμός των εισόδων του κυκλώματος.

$$\hat{\omega}_k = \hat{a}_k + \frac{\hat{b}_k}{1 + \ell \sqrt{\pi \log(\ell)} \left(\operatorname{erf} \left(\sqrt{\log(\ell)} \right) - 1 \right)}$$

Όπου ℓ , είναι το πλήθος των υποδειγμάτων, στην προκειμένη περίπτωση είναι ίσος με 50, ενώ η τιμή του παρανομαστή έχει υπολογιστεί σε 10,384. Παράλληλα με τη στατιστική εκτίμηση των μεγίστων ρευμάτων που καταναλώνει κάθε υποκύκλωμα (πηγή ρεύματος) επί όλων των δυνατών διανυσμάτων εισόδου υπολογίζονται και τα δειγματικά μέγιστα των ρευμάτων κάθε υποκύκλωμα για τα 5000 τυχαία διανύσματα εισόδου για κάθε μπλοκ από 1 έως n . Η διαφορά του δειγματικού μεγίστου από το εκτιμηθέν, συνιστά ένα διάνυσμα μετακίνησης στο χώρο n διαστάσεων των ρευμάτων των υποκυκλωμάτων. Οπότε, κατά αυτό το

διάνυσμα μετακίνησης θα πρέπει να μετακινηθούν τα μεγιστικά σημεία αυτού του χώρου για να συμπέσουν με τα μεγιστικά σημεία του συνολικού χώρου.

Στην επόμενη φάση της μεθόδου, ο υπολογισμός των μεγιστικών σημείων στο δειγματικό χώρο σύμφωνα με τον **Ορισμό 1** γίνεται με σύγκριση κάθε σημείου –διανύσματος με όλα τα υπόλοιπα προκειμένου να διαπιστώσουμε αν κάποιο από αυτά δεν κυριαρχείται σε όλες τις συνιστώσες του από κανένα άλλο. Μετά τον υπολογισμό των δειγματικών μεγιστικών τα μετακινούμε (δείτε *Εικόνα 49*), σύμφωνα το διάνυσμα μετακίνησης που υπολογίσαμε πιο πριν, προς τα μεγιστικά σημεία του συνολικού χώρου των ρευμάτων.



Εικόνα 49. Ο χώρος των δειγμάτων ρεύματος και η ολίσθηση των μεγιστικών του σημείων προς τα μεγιστικά σημεία του συνολικού χώρου των ρευμάτων.

Τα τελικά (μετακινηθέντα) σημεία αποτελούν τις χειρότερες διεγέρσεις ρευμάτων για το ΔΔΙ. Η μεθοδολογία που παρουσιάστηκε για την επιβεβαίωση αξιοπιστίας του ΔΔΙ Ο.Κ. βασίζεται σε ακριβή κατασκευή του τμήματος της χειρίστης περίπτωσης του χώρου των ρευμάτων καταβόθρας με προσομοίωση και στατιστική εκτίμηση με χρήση της θεωρίας EVT. Η μέθοδος είναι σε θέση να εκτιμήσει με ακρίβεια τις χειρότερες διεγέρσεις των πτώσεων τάσης σε όλες τις καταβόθρες ρεύματος, η οποία ήταν ιδιαίτερα πεσιμιστικά υπολογιζόμενη σε προηγούμενες μεθόδους. Είναι χρήσιμο να αναφέρουμε ότι μπορεί να χρησιμοποιηθεί σε συνδυασμό με ένα εργαλείο σχεδίασης ΔΔΙ ώστε να αποτρέψει τον υπερ-σχεδιασμό του δικτύου και να προσφέρει πληροφορίες για πιο αποδοτική χρήση των πόρων διασύνδεσης. Η ενσωμάτωση της τεχνικής αυτής σε μια βιομηχανική ροή σχεδίασης παρουσιάζεται στο Κεφάλαιο 3 και τα αποτελέσματα της μεθόδου αυτής θα παρουσιαστούν στο Κεφάλαιο 4.

2.4. ΑΝΑΛΥΣΗ ΚΑΙ ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ ΠΛΑΤΩΝ ΔΔΙ

Η βελτιστοποίηση του ΔΔΙ αποτελεί ένα σημαντικό θέμα και μπορεί να βελτιώσει την απόδοση του ΟΚ αλλά και να προσφέρει νέες σχεδιαστικές τεχνικές. Στο θέμα αυτό αναπτύξαμε μια μεθοδολογία για τη βελτιστοποίηση του πλάτους των αγωγών του ΔΔΙ που έχει σαν αντίκτυπο τη βέλτιστη παροχή ρεύματος στα υποκυκλώματα αλλά και τη μείωση του χώρου που καταλαμβάνει το μέταλλο των αγωγών.

Θα στηριχτούμε στη μοντελοποίηση του δικτύου που αναπτύξαμε στην προηγούμενη ενότητα και θα προσπαθήσουμε να αντιμετωπίσουμε το πρόβλημα της βελτιστοποίησης του πλάτους. Ο πίνακας \underline{G} μορφοποιείται από τις αγωγιμότητες g_j των κλάδων του δικτύου,

$$g_j = \frac{1}{r_j} = \frac{t_j w_j}{\rho l_j} = \frac{1}{r_{sh,j}} \frac{w_j}{l_j} \quad (2.18)$$

όπου l_j , w_j , t_j , και ρ είναι το μήκος, το πλάτος, το πάχος, και η ειδική αντίσταση του κλάδου j αντιστοίχως, ενώ το $r_{sh,j} = \rho/t_j$ αποτελεί την αντίσταση φύλλου του επιπέδου του μετάλλου.

Παραδείγματος χάρι, ο πίνακας αγωγιμοτήτων και το διάνυσμα ρευμάτων στην τοπολογία του απλού γράφου της *Εικόνας 47* είναι:

$$\underline{G} = \begin{bmatrix} g_1 + g_2 & -g_2 & -g_1 & 0 \\ -g_2 & g_2 + g_4 & 0 & -g_4 \\ -g_1 & 0 & g_1 + g_3 & 0 \\ 0 & -g_4 & 0 & g_4 + g_5 \end{bmatrix}, \underline{I}(t) = \begin{bmatrix} -i_1(t) \\ 0 \\ g_3 V_{dd} \\ g_5 V_{dd} \end{bmatrix} \quad (2.19)$$

Η αντικειμενική συνάρτηση (objective function) που περιγράφει το κύκλωμα είναι:

$$A(\underline{w}) = \underline{l}^T \cdot \underline{w} = \sum_{j=1}^p l_j w_j \quad (2.20)$$

όπου $\underline{l} = [l_1, l_2, \dots, l_p]^T$ και $\underline{w} = [w_1, w_2, \dots, w_p]^T$ είναι τα διανύσματα των μηκών και πλατών των αγωγών αντίστοιχα, με το δεύτερο να αποτελεί και την ποσότητα που θέλουμε να βελτιστοποιηθεί (αφού έχουμε θεωρήσει ότι τα μήκη των αγωγών είναι σταθερά σε μια καθορισμένη τοπολογία). Οι παράμετροι που καθορίζουν την πτώση τάσης $V_{dd} - V_k(t)$ σε κάθε κόμβο k πρέπει να παραμείνει κάτω από ένα περιθώριο ασφαλείας τάσης V_0 (συνήθως 10% του V_{dd}) για κάθε χρονική στιγμή t . Για να μπορέσουμε να λύσουμε το πρόβλημα είναι απαραίτητο να αντικαταστήσουμε τα χρονικά εξαρτημένα ρεύματα $i_k(t)$ σε όλες τις καταβόθρες με κάποιες αξιόπιστες σταθερές τιμές ρεύματος που θα θεωρηθούν ότι αντιπροσωπεύουν τη χειρότερη κατάσταση (worst-case). Στη θέση αυτή θα εφαρμόσουμε μέγιστα ρεύματα

για όλα τα υποκυκλώματα στις καταβόθρες, π.χ. $i_{mx,k} = \max_t i_k(t)$, όπως γίνεται και στη βιβλιογραφία, αλλά με χρήση των αποτελεσμάτων της εργασίας [Evmorforoulos02].

Η θεώρηση αυτή αποδέχεται ότι όλα τα υποκυκλώματα λαμβάνουν τα μέγιστα ρεύματα την ίδια χρονική στιγμή, απόφαση που κάνει λίγο συντηρητική τη λύση μας αλλά δεν μας εμποδίζει στο να αναπτύξουμε τη μεθοδολογία. Έχοντας λύσει το θέμα της εξάρτησης χρονισμού t στο διάνυσμα των ρευμάτων $\underline{I}(t)$, η επιθυμητή πτώση τάσης μπορεί να εκφραστεί ως συναρτήσεις των πλατών \underline{w} επιλύοντας τη σχέση 2.12 ως προς το διάνυσμα \underline{V} . Επομένως, η σχέση 2.12 μπορεί να γραφεί:

$$\begin{bmatrix} \underline{G}_{11} & \underline{G}_{12} \\ \underline{G}_{21} & \underline{G}_{22} \end{bmatrix} \cdot \begin{bmatrix} \underline{V}_1 \\ \underline{V}_2 \end{bmatrix} = \begin{bmatrix} \underline{I}_1 \\ \underline{I}_2 \end{bmatrix} \quad (2.21)$$

όπου \underline{G}_{11} , \underline{G}_{12} , \underline{G}_{21} , και \underline{G}_{22} είναι υποπίνακες του \underline{G} (συνάρτηση του \underline{w}) με μεγέθη $q_l \times q_l$, $q_l \times (q - q_l)$, $(q - q_l) \times q_l$, και $(q - q_l) \times (q - q_l)$ αντίστοιχα, ενώ \underline{V}_1 και \underline{I}_1 είναι διανύσματα μεγέθους $q_l \times 1$ (με τον πρώτο να είναι το επιθυμητό διάνυσμα με τις πτώσεις τάσεις στις καταβόθρες) και \underline{V}_2 , \underline{I}_2 είναι διανύσματα μεγέθους $(q - q_l) \times 1$. Επομένως, η Σχέση 2.21 μπορεί να λυθεί ως προς το \underline{V}_1 και μετά από λίγους υπολογισμούς να είναι:

$$\underline{V}_1(\underline{w}) = (\underline{G}_{11} - \underline{G}_{12}\underline{G}_{22}^{-1}\underline{G}_{21})^{-1} \cdot (\underline{I}_1 - \underline{G}_{12}\underline{G}_{22}^{-1}\underline{I}_2) \quad (2.22)$$

Έτσι, η ακριβής διατύπωση του προβλήματος βελτιστοποίησης υπό περιορισμούς είναι:

$$\begin{cases} \min_{\underline{w}} A(\underline{w}) & \text{s.t.} \\ V_{dd} - \underline{V}_1(\underline{w}) \leq V_0 \end{cases} \quad (2.23)$$

Στην βιβλιογραφία, είναι επίσης, τυπικό να συμπεριλαμβάνεις και κάποιους επιπρόσθετους περιορισμούς για τους αγωγούς του ΔΔΙ που πρέπει να έχουν ίδιο πλάτος (είναι η περίπτωση που δύο παράλληλοι αγωγοί ακουμπούν στον ίδιο κάθετο αγωγό). Στη δική μας μοντελοποίηση θεωρήσαμε ότι αυτά τα ίσα πλάτη μπορούν να αντιπροσωπευθούν από μια μεταβλητή (π.χ. $w_1 = w_2 \equiv w_{12}$), στην αντικειμενική συνάρτηση (2.20) και στους περιορισμούς (2.22), με στόχο να αποφύγουμε τους επιπρόσθετους περιορισμούς και ταυτόχρονα να μειώσουμε το συνολικό αριθμό των παραμέτρων.

Είναι σημαντικό να συγκεντρώσουμε όλα τα προηγούμενα και να αναπτύξουμε μια ενιαία μεθοδολογία που κατά βάση αποτελείται από δύο διεργασίες. Η πρώτη διεργασία είναι να υπολογίσουμε τις εκτιμήσεις των μέγιστων ρευμάτων σε κάθε καταβόθρα που μας ενδιαφέρει και αυτό μπορεί να επιτευχθεί με τη χρήση της EVT τεχνικής. Πρέπει, να αναφέρουμε ότι η μητρική cdf $F(x)$ του μέγιστου ρεύματος σε ένα

ακριβή κύκλο ρολογιού θα πρέπει να είναι συνεχής και διαφορίσιμη. Αυτό, δε μπορούμε να το εξασφαλίσουμε για οποιοδήποτε κύκλωμα και ούτε για κάθε αγωγό τροφοδοσίας. Όμως, μπορούμε να ισχυριστούμε ότι στην πράξη αν ένα κύκλωμα έχει ένα λογικό πλήθος εισόδων (το οποίο οδηγεί σε ένα θεωρητικά άπειρο πληθυσμό διανυσματικών ζευγών) και κάθε καταβόθρα έχει ένα σημαντικό αριθμό τρανζίστορ που τροφοδοτεί τότε το συνδυαζόμενο ρεύμα για διαφορετικά ζεύγη διανυσμάτων εισόδων είναι διάφορο τόσο ώστε να ταιριάζει σε μια συνεχή και ομοιόμορφη cdf (για παράδειγμα, οι εμπειρικές cdf των αγωγών τροφοδοσίας της Εικόνας 45 μπορούν ασφαλέστατα να θεωρηθούν συνεχής και διαφορίσιμες). Στην πραγματικότητα πολλοί ερευνητές αρκέστηκαν στην ίδια θεώρηση όταν ασχολήθηκαν με παρόμοια προβλήματα [Wang]-[Hill]-[Ding]-[Wu], και για το λόγο αυτό θα ακολουθήσουμε και εμείς την ίδια παραδοχή.

Πέραν των παραπάνω παραδοχών, μια ακόμα απαίτηση για να εξασφαλίσουμε την πιστότητα της διαδικασίας εκτίμησης είναι η δημιουργία τυχαίων δειγμάτων εισόδων για το πληθυσμό των διανυσματικών ζευγών, έτσι ώστε να προκύψει ένα δείγμα δεδομένων ρευμάτων το οποίο περιέχει iid κατανομές. Η απαίτηση αυτή καλύπτεται με χρήση υπολογιστικών τεχνικών για γεννήτριες τυχαίων αριθμών (*random number generation*). Με τις παρατηρήσεις αυτές, η μεθοδολογία για την εκτίμηση των μέγιστων ρευμάτων για κάθε καταβόθρα του ΔΔΙ αποτελείται από τα ακόλουθα βήματα:

1. Παραγωγή συνολικά $n \cdot m$ τυχαίων διανυσματικών ζευγών για το κύκλωμα.
2. Προσομοίωση του κυκλώματος (Fast SPICE Simulation) για όλες τις εισόδους και κάθε ζεύγος (δηλαδή για κάθε περίοδο) καταγραφή του μέγιστου ρεύματος σε όλες τις καταβόθρες.

Για τα δεδομένα μέγιστων ρευμάτων κάθε καταβόθρας, ξεχωριστά:

3. Διάταξη όλων των cycle-accurate μέγιστων ρευμάτων σε m δείγματα \underline{X}_k μεγέθους n το καθένα.
4. Κατασκευή του δείγματος \underline{X}_{mx} των μεγίστων από κάθε αρχικό δείγμα \underline{X}_k .
5. Εκτέλεση ML εκτίμησης των παραμέτρων a_n, b_n του δείγματος \underline{X}_{mx} με μεγιστοποίηση της (2.9).
6. Καθορισμός των εκτιμήσεων του συνολικού μέγιστου ρεύματος από την (2.8), και (επικουρικά) το περιθώριο εμπιστοσύνης για το επιθυμητό επίπεδο εμπιστοσύνης $1 - \delta$ από την (2.10).

Από τα παραπάνω βήματα το πιο καινοτόμο είναι η διαδικασία ML εκτίμησης η οποία και σε αυτή την περίπτωση (όπως και το βασικό μας πρόβλημα) εμπλέκει βελτιστοποίηση (ειδικότερα μεγιστοποίηση) μια αντικειμενικής συνάρτησης με σεβασμό σε ένα σύνολο ανεξάρτητων μεταβλητών και αντιμετωπίστηκε με τα αποτελέσματα της εργασίας [Evmoiforou02].

Αφού προσδιορίσουμε τις εκτιμήσεις των μέγιστων ρευμάτων σε όλες τις καταβόθρες, ακολουθεί η δεύτερη διεργασία που αποτελεί την διεργασία βελτιστοποίησης της αντικειμενικής συνάρτησης (2.20) με

τους περιορισμούς που προκύπτουν από την (2.21). Η βελτιστοποίηση υπό περιορισμούς αποτελεί ένα ευρύ πεδίο και πολύ αλγόριθμοί είναι στη διάθεση μας και οι οποίοι εμφανίζουν διαφορετικά χαρακτηριστικά ως προς την ταχύτητα και την ευφυΐα εκτέλεσης. Έτσι, για την επίλυση του προβλήματος επιλέχθηκε ένας Lagrange-Newton (or SQP) αλγόριθμός (θεωρητικές και πρακτικές αναφορές μπορούν να βρεθούν στα [Fletcher]-[Gill]-[Powell]).

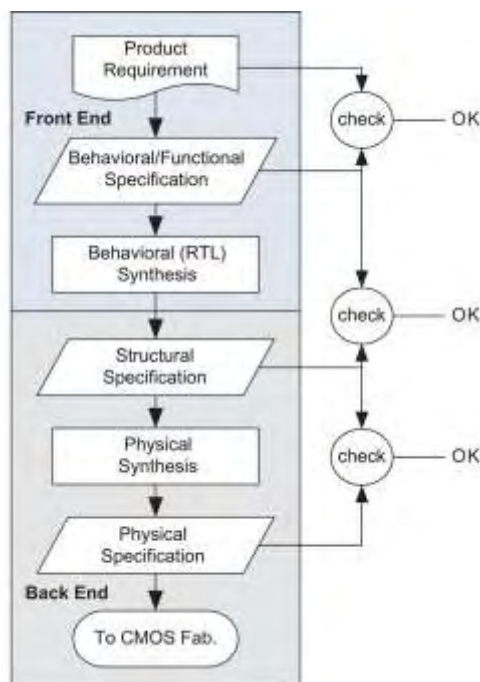
Στο σημείο αυτό παρουσιάστηκε η μεθοδολογία για βέλτιστη σχεδίαση ΔΔΙ γενικού τύπου γράφου με την εύρεση των κατάλληλων πλατών των γραμμών τροφοδοσίας και με την ύπαρξη περιορισμών πτώσης τάσης. Η μέθοδος στηρίχτηκε σε μια αυστηρή θεωρητική κυκλωματική φόρμουλα για το πρόβλημα βελτιστοποίησης, σε συνδυασμό με σύγχρονα αποτελέσματα της στατιστικής θεωρίας EVT η οποία παρέχει και τις απαραίτητες εκτιμήσεις των μέγιστων ρευμάτων στις καταβόθρες με επαρκή ακρίβεια και περιθώριο ασφαλείας. Τα πειραματικά αποτελέσματα της μεθοδολογίας αυτής παρουσιάζονται στο Κεφάλαιο 4.

3^ο ΚΕΦΑΛΑΙΟ: ΥΛΟΠΟΙΗΣΕΙΣ ΤΕΧΝΙΚΩΝ ΣΕ ΡΟΕΣ ΣΧΕΔΙΑΣΗΣ ΒΙΟΜΗΧΑΝΙΚΩΝ ΕΡΓΑΛΕΙΩΝ CAD

Στο κεφάλαιο αυτό, γίνεται αναφορά στις σύγχρονες βιομηχανικές ροές σχεδιάσεις και στα βασικά χαρακτηριστικά τους. Παρουσιάζεται η ροή σχεδίασης που βασίζεται σε αναλογική σχεδίαση (custom design) και υλοποιεί την πρώτη έκδοση της στατιστικής μηχανής. Η δεύτερη προσέγγιση ακολουθεί τις τάσεις της εποχής, είναι πιο ώριμη από την πρώτη και αφορά καθαρά μια ψηφιακή ροή σχεδίασης. Αποτελεί μια ροή που βασίζεται σε βιομηχανικά εργαλεία αλλά δεν είναι εξαρτημένη από συγκεκριμένες εταιρικές τεχνολογίες. Η ροή αυτή χρησιμοποιεί τη δεύτερη υλοποίηση της στατιστικής μηχανής και είναι σε θέση να δώσει στον σχεδιαστή πληροφορίες για την αξιοπιστία του ΔΔΙ.

3.1. ΣΥΓΧΡΟΝΕΣ ΡΟΕΣ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΟΚ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟ-ΝΑΝΟΜΕΤΡΟΥ

Μια Ροή Σχεδίασης αποτελεί μια ομάδα εργαλείων και λειτουργιών που επιτρέπει στους σχεδιαστές να υλοποιήσουν, από τις προδιαγραφές του συστήματος, την τελική υλοποίηση του ΟΚ με τρόπο μεθοδικό, οικονομικό και ελαχιστοποιώντας τα λάθη. Το γενικό περίγραμμα μια ροής σχεδίασης παρουσιάζεται στην *Εικόνα 50*, όπου το σημείο έναρξης είναι η περιγραφή της συμπεριφοράς της σχεδίασης σε υψηλό επίπεδο (Behavioral Level). Στη συνέχεια έχουμε τη μετατροπή τους σε δομικά συστήματα όπου έχουμε την περιγραφή σε επίπεδο πυλών και καταχωρητών (Structural Level).



Εικόνα 50. Γενική μορφή μια σύγχρονης Ροής Σχεδίασης ΟΚ.

Η φάση αυτή αποκαλείται Behavioral ή Register Transfer Level σύνθεση διότι με τη χρήση κατάλληλων εργαλείων το σύστημα απεικονίζεται σε επίπεδο RTL (στοιχεία μνήμης και λογικής σε συνοχή) με χρήση γλωσσών HDL (VHDL – VERILOG). Το επόμενο βήμα είναι η μετατροπή του κυκλώματος σε μια φυσική περιγραφή που είναι ικανή να υλοποιηθεί σε κάποιο εργοστάσιο ΟΚ (CMOS Fab). Το βήμα αυτό λέγεται Φυσική Σύνθεση (Physical Synthesis – Layout Generation). Τα βήματα της σύνθεσης είναι αυτοματοποιημένα και ελέγχονται από το μηχανικό με κατάλληλα παραμετρικά προγράμματα (scripts), αναφορές αποτελεσμάτων και προσομοιώσεων (Reporting) που συμπληρώνονται από τα βήματα ελέγχου αξιοπιστίας και ορθής λειτουργίας.

Στη ροή σχεδίασης που περιγράφουμε έχει γίνει σαφής διαχωρισμός του Front-End επίπεδο της Behavioral περιγραφής και στο Back-End επίπεδο της δομικής σχεδίασης σε επίπεδο πύλης και της φυσικής σχεδίασης. Αυτή, είναι μια συνήθης τακτική που ακολουθούν πολλές εταιρείες και στην ουσία καθορίζει

και τον τρόπο που κατασκευάζονται τα OK - *Application Specific Integrated Circuits (ASICs)*. Με τη μεθοδολογία αυτή αναπτύσσονται πολλές εταιρείες που εμπορεύονται σχεδιάσεις που έχουν αναπτυχθεί σε RTL επίπεδο, είναι λειτουργικές και φυσικά μπορούν να απεικονιστούν σε πύλες με χρήση των κατάλληλων βιβλιοθηκών. Οι εταιρείες αυτές δημιουργούν πνευματική περιουσία (IP) που μπορεί να χρησιμοποιηθεί σε σύγχρονα SoC και SiP συστήματα. Φυσικά, αφού γίνει η κατάλληλη επιλογή υποσυστημάτων αναλαμβάνουν εταιρείες που παρέχουν υπηρεσίες Back-End για την υλοποίηση της τεχνολογίας σε συγκεκριμένη τεχνολογία και την παράδοση του τελικού OK.

Είναι φανερό ότι η ιδανική αυτή συνεργασία κρύβει πολλούς κινδύνους, όπως η διαχείριση πόρων κατά την εκτέλεση των έργων. Συνήθως, οι σχεδιάσεις για να καταλήξουν στις αρχικές προδιαγραφές πρέπει να περάσουν από διάφορα βήματα αλλά συμβαίνει να έχουμε και επανάληψη των βημάτων για τη βελτιστοποίηση κρίσιμων παραμέτρων. Για το λόγο αυτό, είναι πολύ σημαντική η διαχείριση των πόρων και των χρονικών περιορισμών για να μπορέσει το προϊόν να είναι την κατάλληλη χρονική στιγμή στην αγορά. Στη βιομηχανία συναντάμε προϊόντα που έχουν γίνει με την ιδανική ροή και συνήθως αφορούν χαμηλών απαιτήσεων OK που ακολουθούν συγκεκριμένα βήματα. Στην περίπτωση των υψηλών επιδόσεων επεξεργαστών και στις σχεδιάσεις αναλογικών-ψηφιακών (mixed-signal), η εταιρεία φροντίζει να διαθέτει έμπειρο προσωπικό για να κατευθύνει τις ομάδες σε συγκεκριμένα βήματα ώστε να επιτύχουν το βέλτιστο αποτέλεσμα σε όλα τα επίπεδα.

Η διατριβή αυτή επικεντρώνει το ενδιαφέρον της στα Back-End συστήματα αλλά εξασφαλίζει οι σχεδιάσεις να προκύπτουν από συμβατά βιομηχανικά εργαλεία του επιπέδου Front-End. Η επιλογή αυτή έγινε για το λόγο ότι τα Front-End επιπέδου εργαλεία αγνοούν την ύπαρξη του ΔΔΙ, δεν υπάρχει η έννοια της καθυστέρησης λόγω παρασιτικών αγωγιμοτήτων, και δεν υπάρχει η φυσική σχεδίαση του OK. Η σχεδίαση, ανάλυση και βελτιστοποίηση του ΔΔΙ αποτελεί μια Back-End διαδικασία που συμμορφώνεται με βασικές προδιαγραφές λειτουργίας του κυκλώματος αλλά είναι άμεσα συνδεδεμένη με την τοπολογία, χωροθέτηση (floorplanning) και τη φυσική απεικόνιση του OK. Στις σύγχρονες τεχνολογίες το ΔΔΙ συνδέεται άμεσα με την απόδοση του κυκλώματος και με την ακεραιότητα της διανομής ισχύος (Power Integrity) και η τάση αυτή καθιστά απαραίτητη την ταυτόχρονη σχεδίαση του κυκλώματος και του ΔΔΙ.

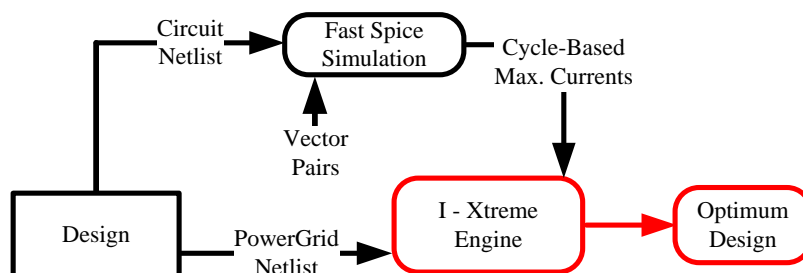
Η προσέγγιση μας για τις προτεινόμενες Ροές Σχεδίασης βασίζεται στην ανάγκη του μηχανικού να μπορεί να σχεδιάσει το δίκτυο διανομής, να έχει τη δυνατότητα να εκμεταλλευτεί βιομηχανικά αρχεία περιγραφής και μεταφοράς σχεδίασης, αλλά η βασική μας απαίτηση ήταν να μπορέσουμε να εντάξουμε τη μεθοδολογία μας σε υπάρχουσες βιομηχανικές ροές. Οι σημαντικότερες βιομηχανικές Ροές Σχεδίασης είναι της εταιρείας SYNOPSIS, της CADENCE (που είναι προσβάσιμες από τα Ελληνικά Πανεπιστήμια και εργαστήκαμε με αυτές) αλλά και της ανερχόμενης εταιρείας στο τομέα εργαλείων CAD, της MAGMA. Η πρόκληση αυτή μας επιφύλαξε πολλές εκπλήξεις γιατί η πρόσβαση σε λεπτομέρειες και μεθοδολογίες εμπορικών βιομηχανικών εργαλείων δεν είναι τόσο εύκολη, όπως φυσικά και η χρήση των τελευταίων εκδόσεων έρχεται πάντα με καθυστερήσεις. Το ΔΔΙ είναι άμεσα εμπλεκόμενο με διάφορα εργαλεία και

ήταν δύσκολο να το εντάξεις σε κάποια κατηγορία. Αξίζει να σημειωθεί ότι θεματικές ενότητες βασισμένες σε αυτή την επιστημονική περιοχή εμφανίστηκαν για πρώτη φορά το 2004 στα σημαντικά επιστημονικά συνέδρια και από την πλευρά της βιομηχανίας υπάρχουν εργαλεία που προσπαθούν να υλοποιηθούν σε συνδυασμό με υφιστάμενα εργαλεία. Είναι ευχάριστο να διαπιστώνεις ότι η μεθοδολογία σου έχει υπόσταση και ότι οι επιλογές που κάναμε για το σχεδιασμό των ροών ακολουθούν τα εργαλεία που προετοιμάζει η βιομηχανία και σιγά - σιγά παρουσιάζει στο εμπόριο.

Η κεντρική ιδέα ήταν η υλοποίηση ροών σχεδίασης που θα εντάξουν τα ερευνητικά αποτελέσματα και θα αποτελέσουν πλατφόρμες για τη συνδυαστική χρήση εργαλείων CAD για βελτίωση των παρατηρήσεων αλλά και για την δημιουργία βιομηχανικών test bench και την αξιολόγηση In-House εργαλείων CAD. Η ιδέα ήταν να δημιουργήσουμε μια σπονδυλωτή ροή που θα μπορεί να ενσωματώνει νέα εργαλεία. Για το λόγο αυτό διακρίναμε τις παρακάτω βασικές ζώνες της ροής:

1. Εισαγωγή της Σχεδίασης και Στατική Ανάλυση Χρονισμού.
2. Προσομοίωση της Σχεδίασης στο Χρόνο.
3. Εκτίμηση Ακραίων Ρευμάτων.
4. Επιμέρους διαδικασίες Ανάλυσης, Αξιοπιστίας και Βελτιστοποίησης.

Η μορφή της ροής αυτής παρουσιάζεται στην *Εικόνα 51*. Η υλοποίηση δύο εκδόσεων στατιστικών μηχανών, των I-Xtreme και I-Xtreme 2, και η παραμετροποίηση διάφορων Back-End εργαλείων για να παρέχουν εισόδους αλλά και να εκμεταλλεύονται τις εξόδους των μηχανών αυτών ήταν η βασική απαίτηση.



Εικόνα 51. Ροή Σχεδίασης OK για την αντιμετώπιση θεμάτων που σχετίζονται του ΔΔΙ.

Είναι λοιπόν δύσκολο να αποφασίσεις την καταλληλότερη ροή σχεδίασης και για το λόγο αυτό εμείς κινηθήκαμε με την προοπτική να καλύψουμε τα κενά με σταθερά βήματα ώστε στο τέλος να μπορούμε να έχουμε μια πλατφόρμα που θα διαθέτουμε την τεχνογνωσία της αλλά θα μπορούμε να την προσαρμόσουμε και στις σύγχρονες απαιτήσεις της βιομηχανίας.

Πρώτο μέλημα αποτελεί η ύπαρξη σωστής σχεδίασης που είναι λειτουργική σε υψηλό επίπεδο και διατίθεται σε μορφή επιπέδου πυλών ή τρανζίστορ. Είναι, σημαντικό να μπορούμε με κατάλληλες διεργασίες να χρησιμοποιήσουμε την σχεδίαση για να προσδιορίσουμε την κρίσιμη καθυστέρηση μονοπατιού (Max Path Delay). Σε υψηλό επίπεδο τα εργαλεία σύνθεσης προβαίνουν και σε ανάλυση χρονισμού του κυκλώματος και μπορούν να αναφέρουν στο κρίσιμο μονοπάτι (Design Compiler, Primetime). Ιδιαίτερο, όμως, ενδιαφέρον έχουν οι μηχανές στατικής ανάλυσης χρονισμού (STA – Static Timing Analysis) που συναντώνται σε τρανζίστορ επίπεδο.

Η Στατική Ανάλυση Χρονισμού (STA) είναι μια μέθοδος υπολογισμού του αναμενόμενου χρονισμού ενός ψηφιακού κυκλώματος χωρίς την απαίτηση της προσομοίωσης. Τα υψηλής απόδοσης ολοκληρωμένα κυκλώματα έχουν χαρακτηριστεί παραδοσιακά από τη συχνότητα των ρολογιών τους στην οποία λειτουργούν. Για τον ακριβή υπολογισμό της δυνατότητας που έχει ένα κύκλωμα να λειτουργήσει με τη διευκρινισμένη ταχύτητα απαιτείται η δυνατότητα μέτρησής, κατά τη διάρκεια της διαδικασίας σχεδιασμού του, των καθυστερήσεων που εμφανίζει στα πολυάριθμα επίπεδά του. Επιπλέον, ο υπολογισμός της καθυστέρησης πρέπει να ενσωματωθεί στον εσωτερικό βρόχο βελτιστοποίησης του χρονισμού, στις διάφορες φάσεις της σχεδίασης του OK, όπως είναι η λογική σύνθεση, η φυσική σχεδίαση (routing and placement), και στις επιμέρους βελτιστοποιήσεις που πραγματοποιούνται αργότερα στον κύκλο σχεδίασης του ολοκληρωμένου.

Ενώ τέτοιες μετρήσεις χρονισμού μπορούν θεωρητικά να πραγματοποιηθούν χρησιμοποιώντας μια σχολαστική προσομοίωση του κυκλώματος, μια τέτοια προσέγγιση είναι κατανοητό ότι θα είναι πάρα πολύ αργή και καθόλου πρακτική. Η στατική ανάλυση χρονισμού διαδραματίζει έναν ζωτικής σημασίας ρόλο στη διευκόλυνση της γρήγορης και ακριβούς μέτρησης του χρονισμού των κυκλωμάτων. Η επιτάχυνση (speedup) που εμφανίζεται οφείλεται στη χρήση των απλουστευμένων μοντέλων-προτύπων καθυστέρησης, και εξαιτίας της περιορισμένης δυνατότητάς της ανάλυσης να εξετάσει τα αποτελέσματα των λογικών αλληλεπιδράσεων μεταξύ των σημάτων. Εντούτοις, έχουν γίνει ορισμένα βασικά βήματα προόδου της σχεδίασης σε σχέση με το χρονισμό κατά τη διάρκεια των τελευταίων δεκαετιών. Μια από τις πιο πρόωρες περιγραφές μιας στατικής προσέγγισης χρονισμού δημοσιεύθηκε στη δεκαετία του 1970.

Στη στατική ανάλυση χρονισμού, η λέξη *στατική* αφήνει να εννοηθεί το γεγονός ότι αυτή η ανάλυση χρονισμού πραγματοποιείται κατά τρόπο ανεξάρτητο από τις εισόδους του ολοκληρωμένου, και ισχυρίζεται ότι μπορεί να βρει τη χειρότερη περίπτωση καθυστέρησης του κυκλώματος για όλους τους πιθανούς συνδυασμούς εισόδων. Η υπολογιστική αποδοτικότητα (γραμμική ως προς τον αριθμό των ακμών του γραφήματος) μιας τέτοιας προσέγγισης έχει οδηγήσει στη διαδεδομένη χρήση της, παρότι έχει ορισμένους περιορισμούς. Μια μέθοδος που αναφέρεται συνήθως ως PERT χρησιμοποιείται γενικά στη στατική ανάλυση χρονισμού. Η γνωστή μέθοδος PERT, που συζητείται στο μεγαλύτερο μέρος της βιβλιογραφίας, αφορά την ανάλυση χρονισμού (αναφέρεται ως critical path method - CPM) και χρησιμοποιείται ευρέως και στη διαχείριση έργων (Project management).

Ενώ από τις χρησιμοποιούμενες μεθόδους στατικής ανάλυση χρονισμού κυρίαρχες σήμερα είναι αυτές οι οποίες είναι βασισμένες στην CPM, υπάρχουν και άλλες μέθοδοι για τη διαπέραση γραφημάτων που αναπαριστούν κυκλώματα, όπως η αναζήτηση σε βάθος (depth-first search), έχουν χρησιμοποιηθεί από τις διάφορες μηχανές ανάλυσης χρονισμού.

Πολλά από τα κοινά προβλήματα στη σχεδίαση ολοκληρωμένων σχετίζονται με το χρονισμό μεταξύ των διαφορετικών στοιχείων της σχεδίασης (υποκυκλωμάτων). Αυτά μπορούν να προκύψουν λόγω πολλών παραγόντων, συμπεριλαμβανομένων των ελλειπών προτύπων προσομοίωσης (simulation models), της έλλειψης δοκιμαστικών περιπτώσεων (test cases) για να ελέγξουν κατάλληλα το χρονισμό, των απαιτήσεων για το χρονισμό, των ανακριβών προδιαγραφών για το χρονισμό των υποκυκλωμάτων, και της έλλειψης κατανόησης από πλευράς σχεδιαστών κάποιου στοιχείου (υποκυκλώματος) που παρέχεται σε αυτούς ως μαύρο κουτί (black box). Υπάρχουν εξειδικευμένα εργαλεία CAD με σκοπό να αναλύσουν το χρονισμό των υποκυκλωμάτων, όπως επίσης, υπάρχουν συγκεκριμένα εργαλεία CAD τα οποία επαληθεύουν ότι μια υλοποίηση ενός χρονισμού προσαρμόζεται στις λειτουργικές προδιαγραφές (χρησιμοποιώντας τεχνικές όπως model checking).

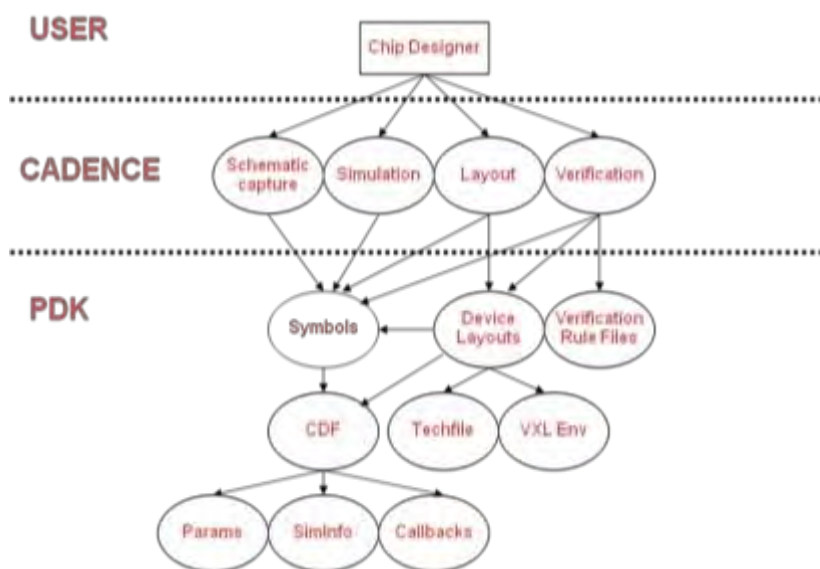
Στη διατριβή αυτή και για το καθορισμό των κρίσιμων μονοπατιών (που στην ουσία καθορίζουν και την περίοδο προσομοίωσης του κυκλώματος) χρησιμοποιήθηκαν εργαλεία STA, όπως το Pathmill και Nanotime της εταιρείας SYNOPSIS. Η χρήση των εργαλείων αυτών (το Nanotime αποτελεί απόγονο του Pathmill) ήταν διπλή, αρχικά βοήθησαν στην ανάλυση του χρονισμού του κυκλώματος σε επίπεδο τρανζίστορ και σε τελικό σημείο στην ανάλυση χρονισμού του κυκλώματος με χρήση πολλαπλών τάσεων τροφοδοσίας (δηλαδή με τα αποτελέσματα ανάλυσης της ροής). Η χρησιμότητά τους αυτή ανέδειξε την θέση που έχουν σε μια ροή σχεδίασης και την πολλαπλότητα των χρήσεων που μπορούν να έχουν για την βελτιστοποίηση των σχεδιαστικών αποτελεσμάτων.

Στο σημείο αυτό αποκαλύπτεται και ένα ακόμα ζήτημα, αυτό των κατάλληλων βιβλιοθηκών τεχνολογίας (ειδικά για βιβλιοθήκες std cells) και της συμβατότητας τους με τα εργαλεία CAD. Η χρήση εγκύρων και έλλειψης λαθών βιβλιοθηκών δεν είναι σίγουρη και πολλές φορές μπορεί να σου δημιουργήσει προβλήματα στην αξιοπιστία των αποτελεσμάτων. Είναι σίγουρο ότι σε μεγάλο βαθμό είναι έγκυρες αλλά αυτό δεν σημαίνει ότι όλες είναι συμμορφωμένες με τις απαιτήσεις σύγχρονων τεχνικών θεμάτων (πάντα η αντιμετώπιση για ένα νέο πρόβλημα καθυστερεί να αποκτήσει βιομηχανική προτυποποίηση και να ενσωματωθεί σε όλες τις βαθμίδες). Στη διατριβή αυτή έγινε χρήση βιβλιοθηκών που οδήγησαν και σε κατασκευή OK της εταιρείας XFAB στα 0.35μm (Tape-Out) αλλά περισσότερο για την εξοικείωση με τις ροές σχεδίασης και όχι για την κάλυψη των αναγκών της βασικής έρευνας του ΔΔΙ. Στην *Εικόνα 52* παρουσιάζεται η διαστρωμάτωση της πληροφορίας, από τις τεχνολογικές μεθόδους, τα Σχεδιαστικά πακέτα PDK, τις βιβλιοθήκες και υψηλότερα τις IP σχεδιάσεις και την τελική σχεδίαση.

DESIGN	PLL/DTMF design (EAGLEt)	
IP library	RAM/ROM, DSP, GSM, RF	
Cell Library	Digital, Analog and Mixed signal Standard Cell, IO Cell (GSCLib)	
PDK	Schematic, symbol + CDF	FE
	Layout PCell or fixed + CDF	BE
	DRC + LVS + RCX rules	
Technological process from FAB (rules + device sim. model)		

Εικόνα 52. Ροή Σχεδίασης OK για την αντιμετώπιση θεμάτων που σχετίζονται του ΔΔΙ.

Για το ΔΔΙ έγινε η επιλογή των βιβλιοθηκών (GSCLib) της εταιρείας CADENCE που ανήκουν στην ομάδα των εργαλείων που διατίθενται ελεύθερα αλλά και αποτελούν και την ενδεδειγμένη πλατφόρμα της εταιρίας για να χρησιμοποιούν οι συνεργατικές εταιρείες ώστε να παρουσιάζουν εργαλεία και σχεδιάσεις τεχνολογικής αιχμής. Η ομάδα που αναπτύσσει τις σχεδιάσεις αυτές προσφέρει βιβλιοθήκες (GPDK) για τεχνολογίες των 180nm και 90nm, και για όλα τα επίπεδα σχεδίασης των εργαλείων CAD αλλά με αρκετές ελλείψεις σε διάφορα επίπεδα. Για το λόγο αυτό σε διάφορα πειραματικά αποτελέσματα χρησιμοποιήθηκαν και βιβλιοθήκες της εταιρείας Virtual Silicon – UMC στα 180nm και 130nm, που αποτελούν εμπορικά προϊόντα.



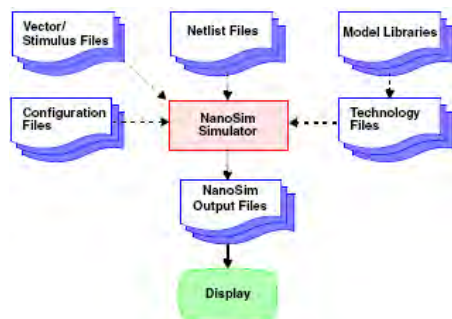
Εικόνα 53. Ροή πληροφορίας σε ένα PDK (CADENCE).

Με τη έννοια PDK (Process Design Kit) εννοούμε μια συλλογή σχεδιαστικών βιβλιοθηκών και παραμετρικών τεχνολογικών αρχείων που είναι εξαρτημένα από την τεχνολογία κατασκευής. Το PDK αποτελεί μια διεπαφή που σχεδιαστή OK και του κατασκευαστή των OK. Αποτελεί ένα ολοκληρωμένο σετ από δομικά στοιχεία τα οποία δίνουν τη δυνατότητα να δημιουργήσουν μια σχεδίαση OK. Το PDK αποτελεί έναν από τους βασικούς συντελεστές για την πληρότητα μια σχεδιαστικής πλατφόρμας και συνεργάζεται με τις Ροές Σχεδίασης, τα εργαλεία CAD και τις βιβλιοθήκες. Με χρήση του PDK αναπτύχθηκε και η Std. Cell βιβλιοθήκη, GSCLib. Το διάγραμμα ροής της πληροφορίας σε ένα PDK παρουσιάζεται στην *Εικόνα 53*.

Το επόμενο θέμα που αντιμετωπίζεις στη διαδικασία αυτή είναι η ακριβής καταγραφή των ρευμάτων που παρέχει το ΔΔΙ στο κύκλωμα. Η διαδικασία αυτή είναι αρκετά σύνθετη και απαιτεί την δημιουργία των κατάλληλων πειραματικών κυκλωμάτων - test bench ώστε να καταφέρεις να αποκομίσεις έγκυρες τιμές ρεύματος. Ένα ακόμα σημαντικό θέμα είναι και η προσομοίωση των κυκλωμάτων για να επιτύχεις την συγκομιδή των ρευμάτων, που στα σύγχρονα κυκλώματα με το μεγάλο πλήθος τρανζίστορ είναι αρκετά πολύπλοκη και χρονοβόρα. Η επιλογή των προσομοιωτών SPICE δεν είναι πλέον η κατάλληλη και η χρήση των σύγχρονων εργαλείων προσομοίωσης Fast-SPICE προσφέρει χαμηλότερης ακρίβειας αποτελέσματα (πολύ κοντά σε αυτά του SPICE) αλλά σε πολύ μικρότερο χρόνο ανάλυσης.

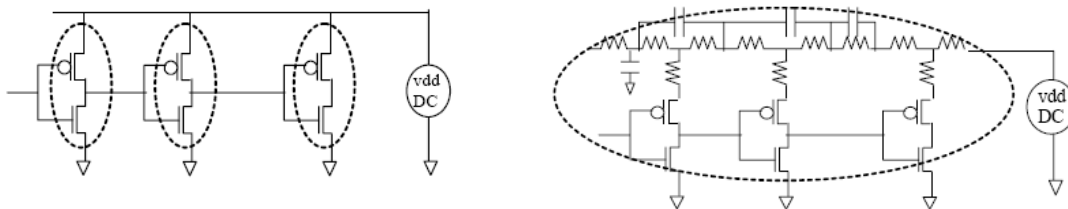
Στη βιομηχανία υπάρχουν διαθέσιμα εργαλεία για προσομοίωση Fast-SPICE όπως είναι το Nanosim (ο αντικαταστάτης του Powermil) της SYNOPSYS και το UltraSim της CADENCE. Τα δύο αυτά εργαλεία χρησιμοποιήθηκαν και είναι σωστό να αναφέρουμε την ποιοτική ωριμότητα που δείχνει το Nanosim μιας και αποτελεί δεύτερης γενιάς εργαλείο της SYNOPSYS σε αυτή την περιοχή αλλά και από την άλλη πλευρά την πορεία που ακολουθεί ένα ανταγωνιστικό εργαλείο (που ήρθε αργότερα στην αγορά) για να καλύψει την ίδια περιοχή. Είναι γεγονός πάντως ότι τα εργαλεία αυτά παρουσιάζουν την τάση να διαθέτουν εργαλεία αναφορών και προσομοίωσης που να δίνουν την δυνατότητα στο μηχανικό να έχει περισσότερες πληροφορίες για το αντίκτυπο της σχεδίασης στο σχεδιασμό του ΔΔΙ και αντίθετα. Τα εργαλεία χρησιμοποιήθηκαν για την προσομοίωση των κυκλωμάτων στο χρόνο και προτιμήθηκαν από αντίστοιχα υψηλότερων επιπέδων, όπως του Power Compiler, που είναι σε θέση να δώσει δεδομένα ρεύματος, σε μικρότερο χρόνο προσομοίωσης, αλλά όχι με ακρίβεια κοντινή του SPICE λόγω του υψηλότερου αφαιρετικού επιπέδου και της μεθοδολογίας χαρακτηρισμού των κελιών-πυλών.

Πιο αναλυτικά, το περιβάλλον ενός Fast Spice εργαλείου αποτελείται από λεπτομερείς παραμέτρους και μπορούν να δώσουν μετρήσεις υψηλής ακρίβειας. Από την *Εικόνα 54* παρατηρούμε ότι οι είσοδοι του εργαλείου είναι βιβλιοθήκες της τεχνολογίας σε επίπεδο τρανζίστορ, η σχεδίαση σε περιγραφή spice (με ή χωρίς παρασιτικές αντιστάσεις και χωρητικότητες), το αρχείο που περιγράφει την είσοδο του κυκλώματος και φυσικά το αρχείο παραμετροποίησης της προσομοίωσης. Διαπιστώνουμε δηλαδή ότι ο χρόνος προσομοίωσης είναι εξαρτημένος με το μέγεθος της σχεδίασης, την είσοδο και φυσικά τις παραμέτρους που θέλουμε να καταγράψουμε.



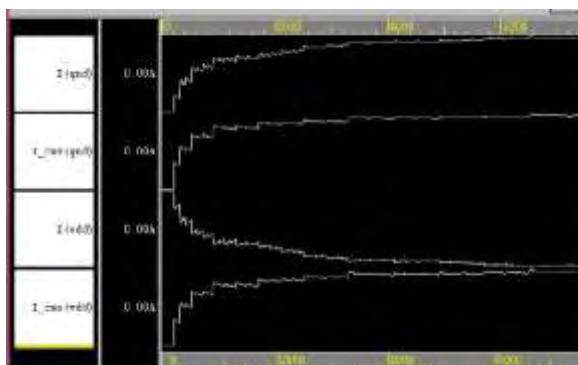
Εικόνα 54. Το περιβάλλον του εργαλείου Nanosim (SYNOPSYS).

Φυσικά, το NanoSim είναι γρηγορότερο σε σύγκριση με το SPICE διότι ακολουθεί διαφορετικό τρόπο διαμερισμού (partitioning) του κυκλώματος. Τα εργαλεία όπως το HSPICE (και άλλα SPICE προϊόντα) δημιουργούν ένα μοναδικό επίπεδο (stage) για την προσομοίωση. Το NanoSim διαχωρίζει το κύκλωμα σε πολλαπλά επίπεδα τα οποία είναι συνδεδεμένα μεταξύ τους. Το Nanosim «κόβει» τα επίπεδα στις τροφοδοσίες DC, όπως φαίνεται και στην Εικόνα 55 (χωρίς και με την εξαγωγή του ΔΔΙ). Στη πρώτη περίπτωση έχουμε τη δημιουργία 3 επιπέδων με 2 μοντέλα MOS και στη δεύτερη ένα επίπεδο.



Εικόνα 55. Ο διαμελισμός του κυκλώματος σε μια προσομοίωση Nanosim.

Σημαντική είναι και η παραμετροποίηση του προσομοιωτή για την ανάλυση και την καταγραφή δεδομένων προσομοίωσης. Ανάλογα με την περίπτωση μπορούμε να ζητήσουμε καταγραφή δεδομένων ρεύματος, ισχύος και όλα αυτά σε διάφορα επίπεδα του ΟΚ και φυσικά για όλο το ΟΚ. Η Εικόνα 56 παρουσιάζει το ρεύμα που έχει μετρηθεί σε αγωγούς τάσης και γείωσης ενός κυκλώματος.



Εικόνα 56. Η κυματομορφές ρεύματος σε γραμμές τροφοδοσίας.

Όπως αναφέραμε και πρωτίτερα η επιλογή της ροής σχεδίασης και η ένταξη μιας μεθοδολογίας για το ΔΔΙ είναι σύνθετο ζήτημα και οι παράγοντες που πρέπει να στηρίζεις την επιλογή σου είναι εξίσου σύνθετοι και πολύπλευροι. Στις προτεινόμενες Ροές Σχεδίασης για το ΔΔΙ σημαντικό ρόλο έπαιξε και η τεχνογνωσία της ερευνητικής ομάδας VLSI του Π.Θ. και η εμπειριστατωμένη έρευνα που είχε ήδη πραγματοποιηθεί στην περιοχή της Ασυμπτωτικής Θεωρίας Ακραίων Τιμών και της Στατιστικής Ανάλυσης Ισχύος των κυκλωμάτων [Ενμορφουλος02]. Η έρευνα αυτή είχε απτά αποτελέσματα για τη δυνατότητα της προσομοίωσης ενός κυκλώματος με τυχαίου τύπου εισόδους και η αποτελεσματική στατιστική εκμετάλλευση των αποτελεσμάτων αυτών για την εκτίμηση ακραίων τιμών ρεύματος σε CMOS OK. Η έρευνα αυτή έδινε τη δυνατότητα να αποκτήσεις αξιόπιστα στατιστικά δεδομένα ρευμάτων που θα μπορούσαν να αξιοποιηθούν για διάφορα θέματα αξιοπιστίας OK και σκιαγραφούσε την δυνατότητα εφαρμογής της σε ζητήματα αξιοπιστίας ΔΔΙ. Η προτροπή αυτή ήταν και ο κινητήριος μοχλός για να ξεκινήσει και η έρευνα στην ανάπτυξη μεθοδολογιών για την ανάλυση αξιοπιστίας ΔΔΙ. Από την άλλη όμως αποτέλεσε και το βασικό παράγοντα για να υλοποιηθούν ροές σχεδίασης που θα εντάξουν την ερευνητική αυτή διαδικασία.

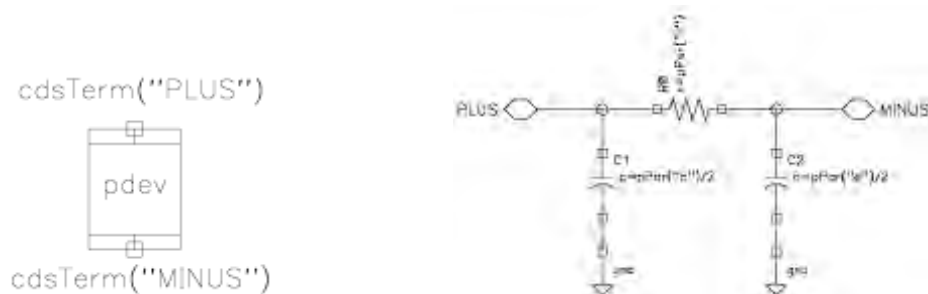
Στη πορεία της ερευνάς η αρχική μεθοδολογία και μηχανή επιδέχθηκε βελτιώσεις για να καλύψει τα προβλήματα που προέκυπταν από τις δυνατότητες των βιομηχανικών εργαλείων αλλά και των απαιτήσεων της βιομηχανίας. Έτσι, η Ροές σχεδίασης μπορούν να καλύψουν θέματα ανάλυσης (Analysis), Αξιοπιστίας (Verification) και Βελτιστοποίησης (Optimization) ενός ΔΔΙ.

3.2. ΠΡΩΤΗ ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΑΝΑΛΥΣΗ ΔΔΙ

Στη παράγραφο αυτή θα παρουσιαστούν και θα αναλυθούν τα βασικά σημεία της αρχικής, RTL-to-GRID, ροής σχεδίασης για ανάλυση και επαλήθευση του δικτύου διανομής ισχύος, της οποίας βασικός στόχος είναι να γίνουν εμφανείς οι δυνατότητες της μηχανής I-Xtreme [Evmorforoulos02]. Στόχος είναι να περάσουμε σε αρχικά στάδια μια σχεδίαση που βρίσκεται σε υψηλό επίπεδο από εργαλεία σύνθεσης Front-End και να μπορέσουμε σε μια κοινή πλατφόρμα Back-End να μοντελοποιήσουμε και αναλύσουμε το ΔΔΙ.

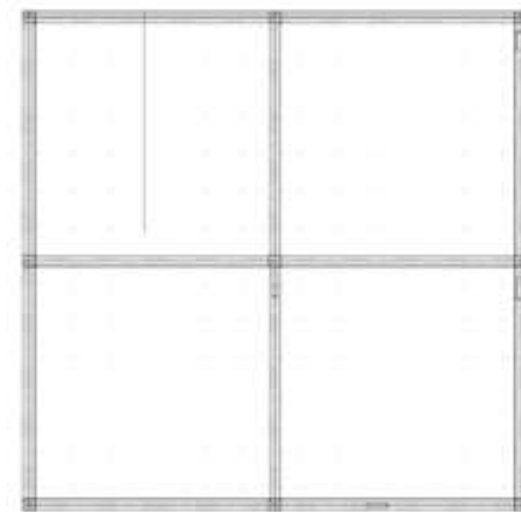
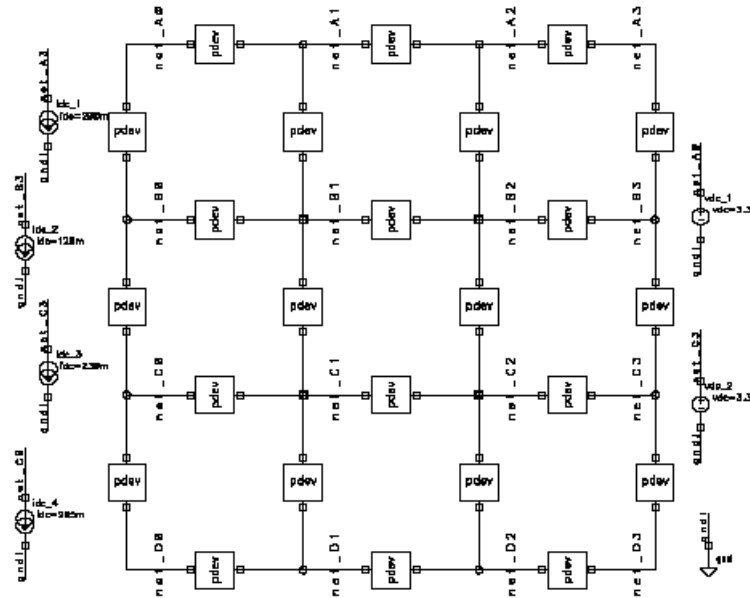
Η συγκεκριμένη ροή σχεδίασης βασίζεται σε εργαλεία σχεδίασης Back-End για Custom Design, που συνήθως χρησιμοποιούνται από μηχανικούς που εργάζονται στην αναλογική σχεδίαση ή από μηχανικούς που μοντελοποιούν βιβλιοθήκες και ειδικών απαιτήσεων κυκλώματα. Τα εργαλεία αυτά είναι βιομηχανικά εργαλεία της εταιρίας CADENCE της πλατφόρμας ICFB που διαθέτει την SKILL, μια scripting γλώσσα προγραμματισμού. Η ροή αυτή είναι μια μεθοδολογία που αναλύει ψηφιακά κυκλώματα που έχουν σχεδιαστεί με την τεχνολογία GPDK της CADENCE.

Για να μοντελοποιήσουμε το δίκτυο διανομής ισχύος τύπου πλέγματος (mesh) εισάγουμε μια παραμετρική συσκευή (“pdevice” ή “pdev”, Parameterized Cell) η οποία διατηρεί όλες τις cdf ιδιότητες ενός “presistor” κελιού της βιβλιοθήκης analogLib (δείτε *Εικόνα 57*). Τα κελιά αυτά αποτελούν μια τεχνολογία της CADENCE και προσφέρουν την δυνατότητα να αναπτύξεις κελιά για σχεδίαση σε schematic view αλλά ταυτόχρονα που να είναι σε θέση να παραμετροποιηθούν και να προσαρμοστούν σε διάφορες τεχνολογίες.



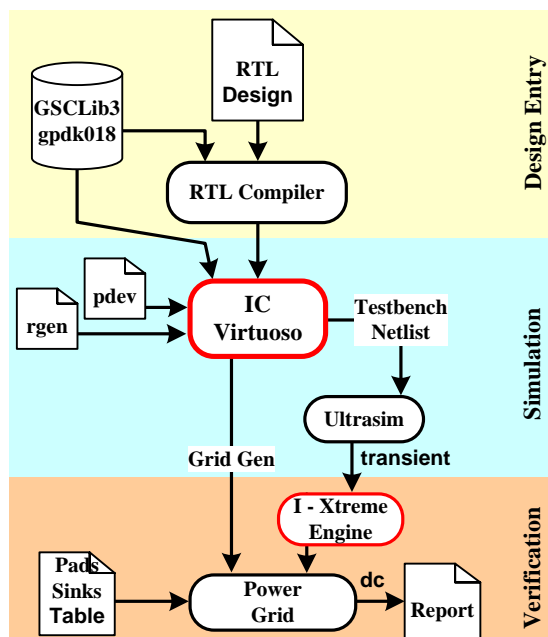
Εικόνα 57. Η συσκευή pdevice και η κυκλωματική της παρουσίαση.

Μια συσκευή “pdevice” διατηρεί δεδομένα για τη παρασιτική αντίσταση ενός κλάδου του πλέγματος. Μπορεί ακόμη να διατηρεί παρασιτικές χωρητικότητες και να είναι παραμετροποιήσιμη εύκολα στην προσθήκη πληροφορίας για επαγωγικά φαινόμενα. Χρησιμοποιούμε “pdevice” για την καταγραφή της κυματομορφής του ρεύματος μετά την ανάλυση ενός δοκιμαστικού κυκλώματος και για τη δημιουργία του δικτύου τροφοδοσίας. Το μοντέλο που θα χρησιμοποιήσουμε για το πλέγμα των αγωγών τροφοδοσίας (δείτε *Εικόνα 58*) είναι το μοντέλο γραμμικής αντίστασης (“pdev”) με dc πηγές ρεύματος από την analogLib (idc) σε κάθε καταβόθρα και dc πηγές τάσης για ακροδέκτες (pads) εφόσον επιθυμούμε στατικά διανύσματα ρεύματος για DC ανάλυση.



Εικόνα 58. Το πλέγμα διανομής της ισχύος στους αγωγούς τροφοδοσίας σε σχηματική (schematic) και φυσική (layout) παρουσίαση.

Στην *Εικόνα 59*, παρουσιάζεται η βασική ροή σχεδίασης χωρισμένη σε λογικά στάδια.



Εικόνα 59. Η πρώτη σχεδιαστική ροή για την ανάλυση αξιοπιστίας του δικτύου διανομής της ισχύος σε ένα OK.

Σε επίπεδο Front-End (Design Entry) ο μηχανικός δέχεται τη σχεδίαση σε περιγραφή που είναι ικανή να υποστεί αυτόματη σύνθεση (synthesizable design) και με απλά βήματα παράγουμε την σχεδίαση σε επίπεδο πυλών. Πιο αναλυτικά, το πρώτο βήμα είναι η σύνθεση της RTL σχεδίασης (VHDL ή VERILOG) με το εργαλείο RTL Compiler της CADENCE και με τεχνολογία στόχο την βιβλιοθήκη GSCLib3.0 (τεχνολογία GPDK018). Εκτελούμε μία δέσμη ενεργειών (script) για γρήγορη σύνθεση αφού είναι τυπική διαδικασία για την δημιουργία test bench σχεδιάσεων. Μετά τη σύνθεση του κυκλώματος αποθηκεύουμε την τεχνολογικά εξαρτημένη σχεδίαση σε VERILOG (Gate Level Design) και από την αναφορά χρονισμού λαμβάνουμε την περίοδο του κυκλώματος. Στο σημείο αυτό μπορούμε να μετρήσουμε την καθυστέρηση, απόδοση, λειτουργικότητα και κατανάλωση της σχεδίασης με εργαλεία επιπέδου πυλών για να αποφανθούμε για τη γενική εικόνα του κυκλώματος και να επαναλάβουμε κάποια βήματα για τη βελτιστοποίηση του.

Στο σημείο αυτό περνάμε στο Back-End επίπεδο όπου η σχεδίαση θα υλοποιηθεί και θα αποκτήσει πρόσθετα χαρακτηριστικά που αφορούν την προεπιλεγμένη τεχνολογία υλοποίησης. Το δεύτερο βήμα είναι να εισάγουμε την σχεδίαση στο εργαλείο CADENCE Virtuoso IC, σε σχηματική αναπαράσταση (schematic view), χρησιμοποιώντας την symbolPT προβολή (με ακροδέκτες τάσης και γείωσης) για τα πρότυπα κελιά της βιβλιοθήκης GSCLib3.0. Επίσης, στην υπάρχουσα βιβλιοθήκη προσθέτουμε και τα κελιά για το pdevice και για τη γεννήτρια τυχαίων αριθμών rgen (υλοποιημένα σε VERILOGA). Η μηχανή I-Xtreme απαιτεί κατά την προσομοίωση του κυκλώματος να χρησιμοποιηθούν τυχαίοι αριθμοί για

εισόδους και για το λόγο αυτό δημιουργήσαμε κελιά σε σχηματικό που είναι παραμετροποιήσιμα και μπορούν να δημιουργήσουν τυχαίους παλμούς διαφόρων κυματομορφών.

Το επόμενο βήμα είναι να εκτελέσουμε την προσομοίωση στο πεδίο του χρόνου. Στην προσέγγιση αυτή χρησιμοποιούμε την γλώσσα SKILL για την αυτοματοποιημένη παραγωγή της test bench σχεδίασης. Κατά τη διάρκεια της πρώτης διεργασίας χωρίζουμε τυχαία τη σχεδίαση σε υποκυκλώματα επιλεγμένου αριθμού πυλών (π.χ. 50). Σε κάθε υποκύκλωμα αναθέτουμε ένα pdevice. Η δεύτερη διεργασία τοποθετεί γεννήτριες τυχαίων αριθμών σε κάθε είσοδο (ορίζοντας την περίοδο, τον τυχαίο σπόρο και τα χαρακτηριστικά του παλμού), τα φορτία εξόδου και την τάση αναφοράς (V_{DD}) του test bench. Η τελευταία διεργασία δημιουργεί μια εκτελέσιμη διεργασία σε OCEAN για τη χρονική ανάλυση (καθορισμός της διάρκειας της προσομοίωσης, του προσομοιωτή και ρύθμιση του προσομοιωτή). Στο τέλος των ενεργειών ελέγχουμε τη σχεδίαση για την ορθότητα της και εξάγουμε τη σχεδίαση σε αρχείο netlist μορφής SPICE.

Η διεργασία σε OCEAN εκκινεί και ελέγχει την προσομοίωση, αποθηκεύει και επεξεργάζεται τις κυματομορφές των ρευμάτων σε κάθε pdevice και τέλος αποθηκεύει σε ένα αρχείο τα μέγιστα ρεύματα για κάθε υποκύκλωμα και για κάθε κύκλο ρολογιού. Επίσης, ο σχεδιαστής μπορεί να εισάγει την κυματομορφή στο Matlab για να ελέγξει τις συναρτήσεις κατανομής και πυκνότητας των ρευμάτων. Για την προσομοίωση έχουμε επιλέξει έναν Fast SPICE προσομοιωτή, τον Ultrasim της CADENCE, ρυθμισμένο να δουλεύει σε Digital Fast Mode για να μειώσουμε το χρόνο προσομοίωσης.

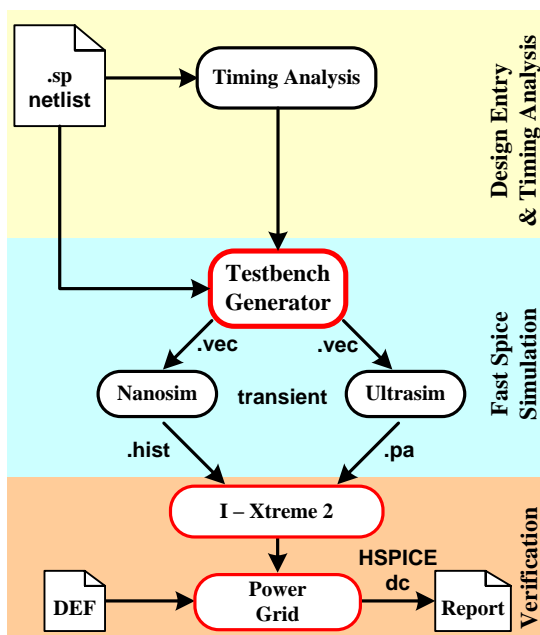
Αφού τα μέγιστα ρεύματα έχουν εξαχθεί από την προσομοίωση, μία εσωτερική διεργασία καλεί την στατιστική μηχανή I-Xtreme για να υπολογίσει τα μέγιστα ρεύματα χειρότερης περίπτωσης σε κάθε καταβόθρα. Η μηχανή είναι μια διεργασία σε γλώσσα C η οποία εκτελεί όλους τους στατιστικούς υπολογισμούς. Υποθέτουμε, ότι τα μέγιστα ρεύματα εμφανίζονται ταυτόχρονα σε κάθε καταβόθρα.

Επειδή, η μεθοδολογία δεν υποστηρίζει πληροφορία από τη φυσική σχεδίαση, το δίκτυο διανομής ισχύος παράγεται από μία διεργασία SKILL. Η απεικόνιση του δικτύου διανομής έχει υλοποιηθεί σε σχηματικό, το μέγεθος είναι παραμετροποιήσιμο και χρησιμοποιούμε pdevice για να αναπαραστήσουμε τις αντιστάσεις σε κάθε διακλάδωση. Σαν είσοδο στο δίκτυο διανομής χρησιμοποιούμε ένα πίνακα όπου δηλώνουμε την τοποθέτηση των πηγών ρεύματος και τάσεων σε αυτό.

Το τελικό βήμα είναι η dc ανάλυση του δικτύου διανομής της ισχύος (προσομοιωτής SPECTRE – Ισοδύναμο SPICE εργαλείο). Μία διεργασία γραμμένη σε OCEAN εκκινεί την ανάλυση και επίσης επιτελεί την επαλήθευση σε κάθε καταβόθρα. Στο τέλος της ανάλυσης δημιουργείται μία αναφορά όπου καταγράφονται όλες οι παραβιάσεις.

3.3. ΔΕΥΤΕΡΗ ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΓΙΑ ΕΠΙΒΕΒΑΙΩΣΗ ΑΞΙΟΠΙΣΤΙΑΣ ΔΔΙ

Η δεύτερη ροή σχεδίασης που προτείνουμε διαθέτει χαρακτηριστικά που την προσδιορίζουν σαν μια χαρακτηριστική ροή σχεδίασης ψηφιακών κυκλωμάτων, όπως παρουσιάζεται και στην *Εικόνα 60*. Βασίζεται σε βιομηχανικά εργαλεία των εταιρειών, SYNOPSIS και CADENCE και στις προγραμματιστικές γλώσσες TCL και C/C++. Η ροή αυτή έχει προκύψει αργότερα χρονικά από αυτήν που ήδη έχουμε αναλύσει και διατηρεί την ίδια μεθοδολογία, τόσο όμως οι εσωτερικές διεργασίες που πραγματοποιούνται σε κάθε λογικό επίπεδο όσο και το επίπεδο της σχεδίασης στο οποίο εφαρμόζεται η μεθοδολογία διαφέρουν σημαντικά. Η συγκεκριμένη ροή στοχεύει σε μια ευρύτερη αντιμετώπιση του προβλήματος.



Εικόνα 60. Η δεύτερη σχεδιαστική ροή για την ανάλυση αξιοπιστίας του δικτύου διανομής της ισχύος σε ένα ΟΚ.

Στο πρώτο βήμα, έχουμε αναπτύξει μια διεργασία η οποία δημιουργεί μια δέσμη ενεργειών (script) για την ανάλυση χρονισμού του κυκλώματος. Τα απαραίτητα αρχεία και δεδομένα χρησιμοποιούνται για την εκκίνηση της διεργασίας ανάλυσης χρονισμού και στη συνέχεια μια δεύτερη διεργασία αναλύει την αναφορά του εργαλείου και προωθεί την μεγαλύτερη καθυστέρηση μονοπατιού στο επόμενο βήμα.

Στο δεύτερο βήμα της μεθοδολογίας εφαρμόζεται η διεργασία που επεξεργάζεται την δημιουργία του test bench. Στην περίπτωση αυτή η διεργασία είναι γραμμένη σε γλώσσα TCL και λαμβάνει ως εισόδους όλα τα απαραίτητα δεδομένα (σχεδίαση σε .sp, ανάλυση χρονισμού, μοντέλα τεχνολογίας τρανζίστορ, παραμέτρους για τους προσομοιωτές, χρόνος προσομοίωσης, πλήθος υποκυκλωμάτων). Στο ίδιο βήμα γίνεται και η παραγωγή του κατάλληλου αρχείου εισόδων για την προσομοίωση των κυκλωμάτων στο

πεδίο του χρόνου (transient analysis). Έχει υλοποιηθεί υπορουτίνα που διαθέτει τυχαία γεννήτρια αριθμών και με βάση την παραμετροποίηση παράγει το κατάλληλο αρχείο διανυσμάτων εισόδου σε μορφή .vec.

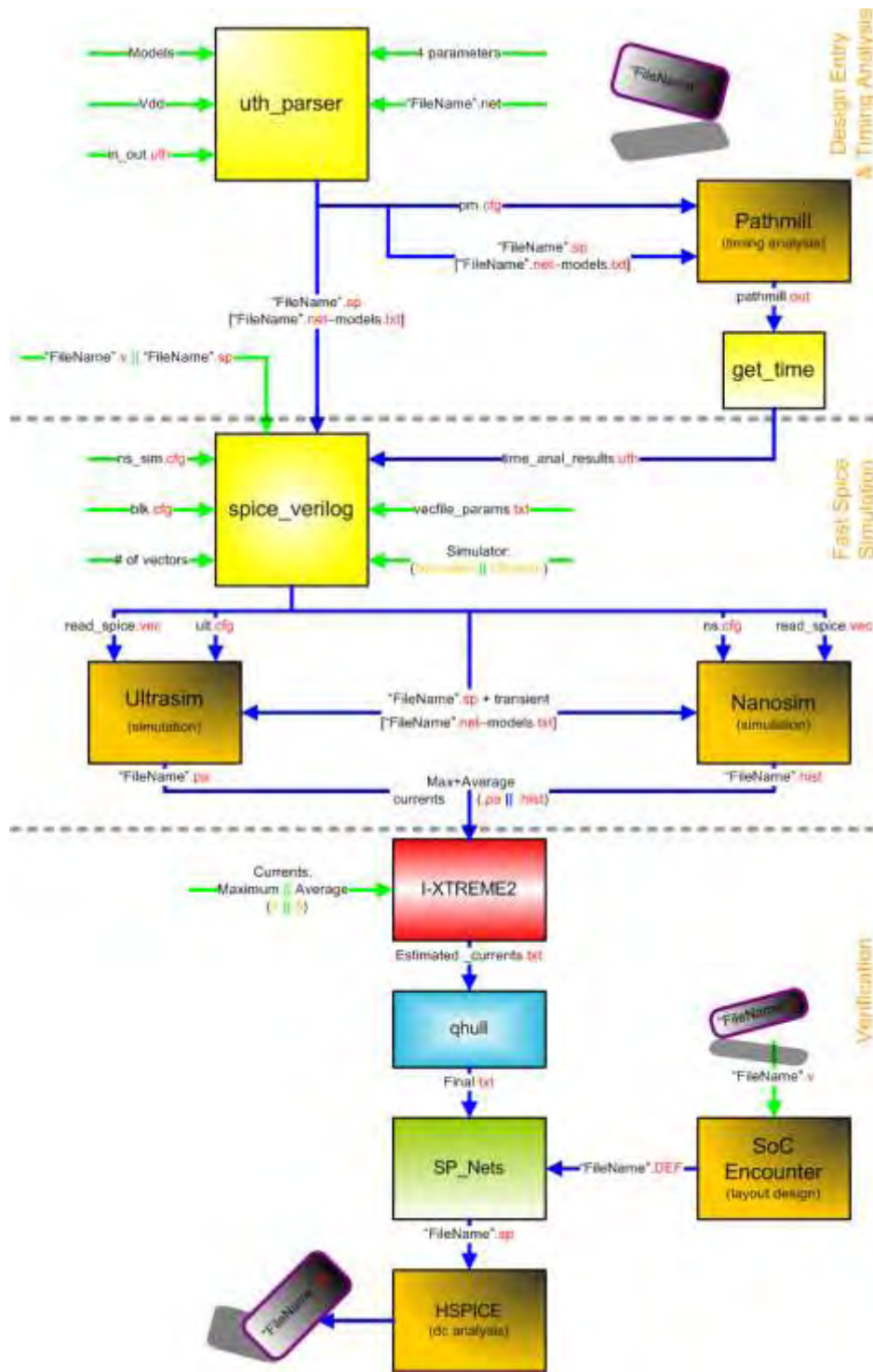
Στη συνέχεια πραγματοποιούνται οι αναλύσεις των κυκλωμάτων στο πεδίο του χρόνου. Επειδή, το μέγεθος των ψηφιακών κυκλωμάτων είναι πολλές φορές απαγορευτικό για εκτενή προσομοίωση στο πεδίο του χρόνου χρησιμοποιούμε ταχύτερους προσομοιωτές, που διαθέτουν ακρίβεια πολύ κοντά σε αυτήν του SPICE (Fast Spice Simulators). Η δεύτερη ροή σχεδίασης έχει τη δυνατότητα να υποστηρίξει τη δημιουργία παραμετροποιημένων αρχείων για δύο βιομηχανικούς προσομοιωτές, τον Nanosim της SYNOSPYS και τον Ultrasim της CADENCE. Οι προσομοιωτές αυτοί εκτελούν αναλύσεις ισχύος και καταγράφουν για κάθε υποκύκλωμα τα μέγιστα και μέσα ρεύματα.

Τα αποτελέσματα της ανάλυσης επεξεργάζονται από τη στατιστική μηχανή I-Xtreme 2 (δεύτερη έκδοση της I-Xtreme μηχανής), η οποία είναι γραμμένη σε C και στο σημείο αυτό θα πρέπει να αναφέρουμε ότι η I-Xtreme 2 μπορεί να στηρίξει τα αποτελέσματα της και με μέσα ρεύματα, υπολογίζονται τα ρεύματα χειρότερης περίπτωσης (μέσα ή μέγιστα) για κάθε υποκύκλωμα. Μια ακόμη σημαντική διεργασία που πραγματοποιείται είναι η εξαγωγή (extract) της αντίστασης που παρουσιάζει το δίκτυο διανομής ισχύος, από αρχεία τύπου DEF (Design Exchange Format), τα οποία είναι αρχεία περιγραφής σχεδίασης σε φυσικό επίπεδο, σε μορφή δικτύου αντιστάσεων, σε αρχείο SPICE. Το αρχείο αυτό μαζί με τα ρεύματα χειρότερης περίπτωσης που υπολογίστηκαν από τη μηχανή I-Xtreme 2 διοχετεύονται σε ένα HSPICE προσομοιωτή για τη dc ανάλυση. Μετά τη dc ανάλυση έχουμε μια εικόνα της πτώσης τάσης στο δίκτυο διανομής της ισχύος πάνω στους κόμβους όπου ακουμπάνε οι εισοδοί τροφοδοσίας των υποκυκλωμάτων της σχεδίασης.

Στη συνέχεια ακολουθεί ένα αναλυτικό διάγραμμα (δείτε *Εικόνα 61*) στο οποίο φαίνεται με λεπτομέρεια η ροή της πληροφορίας, μέσω αρχείων, ανάμεσα στα προγράμματα που αναπτύχθηκαν στα πλαίσια της διατριβής και στα βιομηχανικά εργαλεία που χρησιμοποιήθηκαν ώστε να υλοποιηθεί η επιθυμητή ροή σχεδίασης. Τα ορθογώνια με πορτοκαλί χρώμα στο φόντο αντιστοιχούν στα βιομηχανικά εργαλεία που χρησιμοποιήθηκαν. Το βασικό μαθηματικό εργαλείο της ροής, η στατιστική μηχανή I-Xtreme 2 αναπαριστάται με χαρακτηριστικό κόκκινο χρώμα. Τα προγράμματα τα οποία έχουν γραφτεί σε γλώσσα μακροεντολών (scripting language) TCL, έχουν κίτρινο φόντο. Το ορθογώνιο με μπλε χρώμα αντιστοιχεί στη μαθηματική διεργασία Convex Hull. Το ορθογώνιο με πράσινο χρώμα αντιστοιχεί στο πρόγραμμα SP_Nets το οποίο είναι γραμμένο στη γλώσσα προγραμματισμού C++.

Με βέλη χρώματος μπλε αναπαριστώνται οι έξοδοι (αρχεία) των προγραμμάτων οι οποίες χρησιμοποιούνται ως εισοδοί σε άλλο πρόγραμμα της ροής. Με βέλη χρώματος πράσινου αναπαριστώνται οι εισοδοί προγραμμάτων ή εργαλείων οι οποίες έχουν παραχθεί είτε από κάποιο βιομηχανικό εργαλείο σχεδίασης το οποίο δεν εμφανίζεται στο διάγραμμα είτε από τον ίδιο το σχεδιαστή. Οι λέξεις με πορτοκαλί γράμματα σε παρενθέσεις πάνω στα πράσινα βέλη αποτελούν τις δυνατές εισόδους του κάθε προγράμματος ολογράφως. Η κατάληξη κάθε αρχείου έχει χαρακτηριστικό κόκκινο χρώμα ενώ το

σύμβολο || σηματοδοτεί τις εναλλακτικές επιλογές για ορισμένες εισόδους. Τέλος, μέσα σε αγκύλες περιέχονται τα αρχεία που γίνονται υποχρεωτικά include από το αρχείο έξω από τις αγκύλες.



Εικόνα 61. Αναλυτικά η δεύτερη ροή σχεδίασης για το ΔΔΙ σε ένα ΟΚ.

Το πρόγραμμα `uth_parser` είναι ένα πρόγραμμα γραμμένο στη προγραμματιστική γλώσσα TCL. Το πρώτο όρισμα που δίνεται ως είσοδος το πρόγραμμα είναι το αρχείο `in_out.uth`, το οποίο περιέχει τις υψηλότερες ιεραρχικά εισόδους και εξόδους σχεδίασης ολοκληρωμένου, τις οποίες δέχεται από αρχείο γραμμένο σε κάποια από τις γλώσσες περιγραφής σχεδίασης υλικού (VHDL, VERILOG) και που περιγράφει τη σχεδίαση που μας ενδιαφέρει. Επιπλέον, περιέχει το όνομα της υψηλότερης ιεραρχικά σχεδίασης καθώς και τις ονομασίες των δικτύων τροφοδοσίας και γείωσης. Το δεύτερο όρισμα του προγράμματος είναι το όνομα του αρχείου με την περιγραφή των τεχνολογικών μοντέλων που χρησιμοποιούνται στη σχεδίαση. Το όρισμα αυτό τοποθετείται ως `card` στο αρχείο τύπου SPICE που θα προκύψει με την ολοκλήρωση των διεργασιών που πραγματοποιεί το πρόγραμμα. Το τρίτο κατά σειρά όρισμα του προγράμματος, είναι το όνομα ενός αρχείου, το οποίο περιέχει τη σχεδίαση σε χαμηλότερο σχεδιαστικό επίπεδο και του τρόπου σύνδεσης μεταξύ των υποκυκλωμάτων. Το όρισμα αυτό δίνεται στη μορφή που ακολουθεί, `"FileName".net` και τοποθετείται και αυτό ως `card` στο αρχείο που προκύπτει. Το τέταρτο όρισμα είναι η τιμή της τάσης τροφοδοσίας του κυκλώματος που μας ενδιαφέρει και δίνεται και αυτό ως ένα `card` στο αρχείο SPICE που θα προκύψει. Τα τέσσερα τελευταία ορίσματα του προγράμματος αφορούν το παραμετρικό (configuration) αρχείο για το Pathmill που παράγεται από το πρόγραμμα `uth_parser` και στο οποίο παρέχονται ως παράμετροι μιας από τις εντολές που βρίσκονται στο παραμετρικό αρχείο.

Οι έξοδοι του αρχείου `uth_parser` είναι δύο αρχεία το `pm.cfg` και το `"FileName".sp`. Το πρώτο σύμφωνα με τη σειρά παρουσίασης αρχείο, το `pm.cfg` είναι το παραμετρικό αρχείο του βιομηχανικού εργαλείου `pathmill` το οποίο χρησιμοποιείται για την εκτέλεση της ανάλυσης χρονισμού (timing analysis) και στο οποίο δίνεται ως παράμετρος κατά την εκτέλεση του. Η δεύτερη έξοδος, το αρχείο `"FileName".sp`, είναι ένα αρχείο τύπου SPICE το οποίο χρησιμοποιείται και αυτό ως μια παράμετρος εισόδου στο πρόγραμμα `pathmill`. Το αρχείο αυτό χρησιμοποιείται, με μια προσθήκη ενός ακόμη `card` μετά την ανάλυση χρονισμού, από επόμενο χρονικά πρόγραμμα στη ροή σχεδίασης και στη συνέχεια αυτής ως παράμετρος για επόμενη λειτουργία.

Στο βιομηχανικό εργαλείο `Pathmill`, το οποίο είναι ένα προϊόν της εταιρίας SYNOPSYS και πραγματοποιεί την ανάλυση χρονισμού της σχεδίασης του ολοκληρωμένου δίνονται ως είσοδοι, όπως έχει ήδη αναφερθεί, τα αρχεία που δημιουργούνται από το πρόγραμμα `uth_parser`. Το `pm.cfg` αποτελεί το παραμετρικό αρχείο (configuration file) του εργαλείου, δηλαδή το αρχείο που ρυθμίζει τις παραμέτρους λειτουργίας του εργαλείου. Το αρχείο αυτό περιέχει, τα `source` και `sink nodes` του ολοκληρωμένου, τέσσερις τιμές τάσης οι οποίες αποτελούν τις παραμέτρους της εντολής `set_voltage` του εργαλείου `Pathmill` και δίνονται ως ορίσματα στην εντολή `set_voltage` του `Pathmill`. Τέλος, το αρχείο περιέχει την εντολή `report_paths max` του `Pathmill` με παράμετρο 1. Με τη χρήση της προαναφερθείσας εντολής ζητείται η εξαγωγή του μεγαλύτερου μονοπατιού (critical path).

Το πρόγραμμα `get_time` είναι γραμμένο σε scripting γλώσσα TCL. Η διεργασία η οποία επιτελεί το πρόγραμμα αυτό είναι η επεξεργασία του αρχείου εξόδου του εργαλείου `Pathmill`, το οποίο ονομάζεται

pathmill.out και η εξαγωγή των αποτελεσμάτων χρονισμού από αυτό. Πιο συγκεκριμένα, βρίσκει μέσα στο αρχείο pathmill.out και αποθηκεύει σε μεταβλητές, την τιμή της καθυστέρησης που αντιστοιχεί στο μεγαλύτερο μονοπάτι της σχεδίασης του κυκλώματος που επεξεργαζόμαστε, καθώς και τη μονάδα χρόνου που αντιστοιχεί στην τιμή της καθυστέρησης αυτής. Στη συνέχεια δημιουργεί ένα αρχείο, το time_anal_results.uth στο οποίο τοποθετεί με συγκεκριμένη διάταξη τις δύο τιμές των μεταβλητών αυτών, ώστε να είναι εφικτή η επεξεργασία του στη συνέχεια της Ροής Σχεδίασης από άλλο πρόγραμμα.

Το πρόγραμμα spice_verilog είναι και αυτό γραμμένο στη scripting γλώσσα TCL. Το πρόγραμμα δημιουργεί τα κατάλληλα αρχεία εισόδου για τους προσομοιωτές, Nanosim της εταιρίας SYNOPSIS και Ultrasim της εταιρίας CADENCE. Η παράμετρος εισόδου "FileName".sp του προγράμματος είναι ένα αρχείο τύπου SPICE (.sp , .spi). Το αρχείο αυτό θα αποτελεί το αρχείο περιγραφής του κυκλώματος που μελετάμε και επιθυμούμε να εισάγουμε στο ένα από τα δύο εργαλεία προσομοίωσης της επιλογής μας. Αυτό που ουσιαστικά κάνει το πρόγραμμα spice_verilog με αυτή του την είσοδο, είναι αφού πρώτα υπολογίσει το συνολικό χρόνο που χρειάζεται η προσομοίωση στο πεδίο του χρόνου (transient simulation), η οποία θα πραγματοποιηθεί από τα εργαλεία που προαναφέραμε, για να ολοκληρωθεί να εισάγει την απαραίτητη εντολή για προσομοίωση, με τον αντίστοιχο χρόνο που υπολόγισε ως παράμετρο της. Η εντολή εισάγεται στη κατάλληλη γραμμή του αρχείου που περιγράφει τη σχεδίαση μας. Ο υπολογισμός του χρόνου προσομοίωσης γίνεται με τη χρήση δύο τύπων δεδομένων που αντλεί το πρόγραμμα από άλλες παραμέτρους εισόδου του.

Η μια από αυτές τις δύο παραμέτρους είναι το αρχείο time_anal_results.uth το οποίο περιέχει τα αποτελέσματα που μας ενδιαφέρουν από το αρχείο εξόδου (output) που προέκυψε μετά την ανάλυση χρονισμού την οποία πραγματοποίησε το εργαλείο Pathmill. Η δεύτερη παράμετρος την οποία χρησιμοποιεί το πρόγραμμα για τον υπολογισμό του συνολικού χρόνου προσομοίωσης της σχεδίασης είναι ο αριθμός των διανυσμάτων εισόδου (# of vectors), με τα οποία ο σχεδιαστής επιθυμεί να προσομοιώσει το κύκλωμα του.

Η είσοδος αυτή χρησιμοποιείται, επίσης, σε συνδυασμό με την είσοδο του δεύτερου αρχείου τύπου, είτε SPICE είτε VERILOG, με σκοπό την παραγωγή ενός νέου αρχείου που θα περιέχει τα τυχαία διανύσματα εισόδου τα οποία θα χρησιμοποιηθούν για τη προσομοίωση της σχεδίασης που μελετάμε. Πιο αναλυτικά, το πρόγραμμα βρίσκει τα σήματα εισόδου της σχεδίασης είτε από αρχείο τύπου SPICE είτε από αρχείο τύπου VERILOG, ανάλογα με το ποιος τύπος αρχείου θα επιλεχτεί να δοθεί ως είσοδος στο πρόγραμμα από το σχεδιαστή. Στη συνέχεια, από τη στιγμή που το πρόγραμμα γνωρίζει τις εισόδους του κυκλώματος επομένως και τον αριθμό τους, δημιουργεί ένα αρχείο τύπου .vec το οποίο χρησιμοποιείται ως είσοδος στα εργαλεία προσομοίωσης.

Το αρχείο αυτό περιέχει κάποιες χαρακτηριστικές τιμές, για κάθε καλώδιο της σχεδίασης που επεξεργαζόμαστε, σε πέντε βασικά πεδία του. Στο πρώτο πεδίο του αρχείου και μέσα σε μια γραμμή περιλαμβάνονται για κάθε ένα σήμα της σχεδίασης, εδώ είναι όλα είσοδοι, το radix του (η βάση

απεικόνισης π.χ. οκταδικό, δεκαεξαδικό, δυαδικό). Στο δεύτερο πεδίο και πάλι μέσα σε μια γραμμή του αρχείου περιλαμβάνονται οι χαρακτηρισμοί των σημάτων του κυκλώματος (I/O), που στη προκειμένη περίπτωση θα είναι *i*, αφού όλα τα σήματα όπως ήδη αναφέραμε είναι εισόδοι. Το τρίτο από τα πεδία περιλαμβάνει σε μια γραμμή το όνομά του κάθε σήματος εισόδου του κυκλώματος. Στο τέταρτο πεδίο του αρχείου περιλαμβάνεται την κλίση του σήματος εισόδου (slope) της προσομοίωσης, και αυτό σε μια ακριβώς γραμμή. Στο πέμπτο και τελευταίο πεδίο του αρχείου περιλαμβάνονται ο χρόνος στον οποίο εισάγεται (με βάση τη περίοδο) κάθε διάνυσμα εισόδου καθώς και η τιμή του διανύσματος, ενώ κάθε ζεύγος των προαναφερθέντων τιμών πρέπει να περιλαμβάνεται σε μια ακριβώς γραμμή του αρχείου.

Στο σημείο αυτό θα πρέπει να κάνουμε δύο πολύ σημαντικές διευκρινίσεις. Η πρώτη διευκρίνιση είναι, πως εάν οι εισόδοι της σχεδίασης παρέχονται στο πρόγραμμα μέσω αρχείου τύπου SPICE, τότε τα διανύσματα εισόδου που θα παραχθούν θα είναι σε δυαδική μορφή, δηλαδή ένα bit για κάθε σήμα εισόδου του κυκλώματος. Εάν όμως οι εισόδοι παρέχονται μέσω αρχείου τύπου VERILOG, τα διανύσματα εισόδου που θα παραχθούν θα έχουν δεκαεξαδική μορφή, δηλαδή πολύ πιο συμπακνωμένη μορφή, κάτι το οποίο συνεπάγεται και αισθητά μικρότερα σε μέγεθος παραγόμενα αρχεία.

Η δεύτερη διευκρίνιση που πρέπει να γίνει, είναι πως οι γραμμές στα αρχεία τύπου .vec που δημιουργούνται από το πρόγραμμα έχουν περιορισμό στο μέγιστο αριθμό χαρακτήρων από τους οποίους μπορούν να αποτελούνται. Το άνω αυτό όριο είναι ίσο με 1020 χαρακτήρες. Αυτό όμως δημιουργεί κάποιες εύλογες απορίες, όπως το τι γίνεται εάν οι εισόδοι του κυκλώματος είναι τόσες πολλές ώστε κατά τη συμπλήρωση κάθε ενός από τα τέσσερα πεδία να είμαστε αναγκασμένοι να ξεπερνάμε το άνω αυτό όριο. Στη περίπτωση αυτή προβλέπεται από τη μορφή του συγκεκριμένου τύπου αρχείων να τοποθετείται ο ειδικός χαρακτήρας backslash(\) στη γραμμή που συμπληρώνουμε την εκάστοτε δήλωση στο αρχείο και μετά να συνεχίζουμε τη δήλωση σε νέα γραμμή. Με αυτό το τρόπο το εργαλείο που διαβάζει το αρχείο τύπου .vec, όταν θα διαβάσει τον ειδικό χαρακτήρα backslash (\) θα καταλάβει ότι η νέα γραμμή που θα διαβάσει αμέσως μετά, θα ανήκει είτε στο ίδιο πεδίο, είτε στο ίδιο διάνυσμα εισόδου, ανάλογα με το σημείο στο αρχείο όπου διάβασε τον ειδικό αυτό χαρακτήρα.

Το τελευταίο από τα αρχεία που παράγει ως έξοδο του το πρόγραμμα spice_verilog, είναι το παραμετρικό (configuration) αρχείο (ult.cfg, ns.cfg) για το εκάστοτε εργαλείο προσομοίωσης που θα επιλέξει ο σχεδιαστής. Το αρχείο αυτό περιλαμβάνει δηλώσεις ανάθεσης τιμών σε μεταβλητές που αφορούν τόσο τη προσομοίωση, όσο και το περιεχόμενο αλλά και τη διαμόρφωση του αρχείου εξόδου ("FileName".hist, "FileName".pa) του εκάστοτε εργαλείου. Τέλος, το αρχείο αυτό περιέχει την εντολή που δίνει την έναρξη, τη λήξη και τη διάρκεια της περιόδου, καθώς και την ανάθεση της τροφοδοσίας στα υποκυκλώματα.

Οι εισόδοι οι οποίες χρησιμοποιούνται από το πρόγραμμα για την παραγωγή της συγκεκριμένης εξόδου είναι τα αρχεία ns_sim.cfg, blk.cfg καθώς και το εργαλείο προσομοίωσης (Nanosim/Ultrasim) στο οποίο επιθυμεί ο σχεδιαστής να πραγματοποιηθεί η προσομοίωση. Το πρώτο από τα αρχεία αυτά, το ns_sim.cfg περιέχει τις μεταβλητές προσομοίωσης καθώς και τις τιμές τους, ενώ το δεύτερο αρχείο το blk.cfg περιέχει

κάποια χαρακτηριστικά της σχεδίασης, όπως τα υποκυκλώματα (blocks) από τα οποία αποτελείται το κύκλωμα αλλά και το όνομα του δικτύου τροφοδοσίας. Η επιλογή ενός από τους δύο προσομοιωτές πραγματοποιείται μέσω του αντίστοιχου στο διάγραμμα ροής, ορίσματος του προγράμματος, το Simulator όπου ο σχεδιαστής δίνει ολογράφως το όνομα του προσομοιωτή που επιθυμεί. Το ίδιο όρισμα χρησιμοποιείται όπως έγινε φανερό και προηγουμένως για τη παραγωγή του κατάλληλου παραμετρικού αρχείου για τον προσομοιωτή που επιλέγεται αλλά και για τη μορφή των διανυσμάτων εισόδου στο αρχείο .vec που χρησιμοποιείται επίσης στη προσομοίωση.

Τα δύο εργαλεία με το πέρας της προσομοίωσης δίνουν το κάθε ένα από ένα αρχείο αναφοράς (output file), το εργαλείο Ultrasim της εταιρίας CADENCE παράγει ένα αρχείο τύπου .pa ενώ το εργαλείο Nanosim της εταιρίας SYNOPSIS παράγει αρχείο τύπου .hist. Τα δύο αρχεία εξόδου των εργαλείων περιλαμβάνουν διάφορα δεδομένα, αυτά όμως τα οποία μας απασχολούν πραγματικά είναι οι τιμές των ρευμάτων που κατανάλωσαν τα υποκυκλώματα της σχεδίασης, τα οποία αναγράφονταν στα παραμετρικά αρχεία, για κάθε ένα από τα τυχαία διανύσματα εισόδου της προσομοίωσης. Τα ρεύματα που καταναλώθηκαν από τα υποκυκλώματα είναι απόρροια, της αλλαγής κατάστασης των πυλών εξαιτίας των διαφορετικών και πάντα τυχαίων διανυσμάτων εισόδου της προσομοίωσης.

Το εκάστοτε αρχείο εξόδου της προσομοίωσης (.pa , .hist) δίνεται στη συνέχεια ως είσοδο στο βασικό μαθηματικό εργαλείο της ροής σχεδίασης, τη στατιστική μηχανή I-Xtreme 2 η οποία όπως έχουμε ήδη αναφέρει μπορεί να στηρίξει τα αποτελέσματα της και με μέσα ρεύματα. Η στατιστική μηχανή πραγματοποιεί τις μαθηματικές πράξεις που απαιτούνται σύμφωνα με τη θεωρία που βασίζεται στην EVT και παρουσιάστηκε συνοπτικά στο Κεφάλαιο 3 ενώ αναλύεται εκτενώς στη δημοσίευση [Ενμορφουλος06]. Το πρόγραμμα που αποτελεί τη στατιστική μηχανή I-Xtreme 2 δέχεται ως όρισμα και έναν ακέραιο που μπορεί να είναι είτε 3 είτε 5 όπου ο αριθμός 3 είναι για να διαβάσει και να χρησιμοποιήσει στους υπολογισμούς τις τιμές της τρίτης στήλης του αρχείου εισόδου, την οποία βρίσκονται τα μέσα ρεύματα, ενώ ο 5 για να διαβάσει και να χρησιμοποιήσει τα μέγιστα ρεύματα τα οποία βρίσκονται στη πέμπτη στήλη του αρχείου εισόδου.

Στη συνέχεια, η έξοδος της στατιστικής μηχανής γίνεται είσοδος στο πρόγραμμα qhull, το οποίο χρησιμοποιείται στη ροή σχεδίασης για τη βελτιστοποίησης της και δεν αποτελεί ένα υποχρεωτικό βήμα στην υλοποίηση της. Το πρόγραμμα αυτό υλοποιεί την αντίστοιχη μαθηματική θεωρία, Convex Hull με σκοπό τη μείωση του αριθμού των ρευμάτων που προκύπτουν από τη στατιστική μηχανή I-Xtreme 2. Η μείωση αυτή δεν επηρεάζει ποιοτικά τα αποτελέσματα της στατιστικής μηχανής.

Στο σημείο αυτό της ροής σχεδίασης πραγματοποιείται μια παράλληλη διεργασία με τη χρήση του βιομηχανικού εργαλείου SocEncounter. Το εργαλείο αυτό χρησιμοποιείται με σκοπό τη σχεδίαση του δικτύου διανομής ισχύος σε περιγραφή φυσικού επιπέδου. Στο εργαλείο, εισάγουμε τη σχεδίαση (αρχεία τύπου VERILOG) που επεξεργαζόμαστε, επιλέγουμε την τεχνολογία και τους κανόνες σχεδίασης και στη συνέχεια εκτελούμε κώδικα που περιγράφει (μέταλλα, πλάτη, σχετική απόσταση, αριθμός γραμμών

μετάλλου) τη σχεδίαση του ΔΔΙ που ζητάμε. Το επόμενο βήμα, αφού το εργαλείο δημιουργήσει και αναπαραστήσει γραφικά το ΔΔΙ είναι να «σώσουμε» τη σχεδίαση σε ένα αρχείο τύπου .DEF (Design Exchange Format) το οποίο περιγράφει με συγκεκριμένη προτυποποίηση σε φυσικό επίπεδο το δίκτυο διανομής ισχύος.

Το πρόγραμμα SP_Nets της ροής σχεδίασης είναι γραμμένο σε γλώσσα C++ και πραγματοποιεί, τρεις βασικές διεργασίες. Η πρώτη από τις διεργασίες αυτές είναι η επεξεργασία και αναγνώριση των πεδίων, του αρχείου .DEF, τα οποία περιγράφουν το δίκτυο διανομής ισχύος σε φυσικό επίπεδο. Το δίκτυο διανομής ισχύος περιγράφεται στο τμήμα SPECIALNETS του αρχείου .DEF. το οποίο έχει καθορισμένη δομή και περιλαμβάνει συγκεκριμένα πεδία που αφορούν τόσο τα χαρακτηριστικά μεγέθη (πλάτος, τύπος μετάλλου κ.ά.) όσο και τα γεωμετρικά χαρακτηριστικά (συντεταγμένες στο επίπεδο, γωνία μετάλλου κ.ά.) αλλά και το τρόπο σύνδεση των μετάλλων του. Αφού αναγνωρίσει τα πεδία του τμήματος SPECIALNETS το πρόγραμμα δημιουργεί στη μνήμη τις κατάλληλες δυναμικές δομές με τα χαρακτηριστικά του δικτύου.

Η δεύτερη διεργασία που πραγματοποιεί το πρόγραμμα είναι μετά την επεξεργασία των δομών που δημιουργήθηκαν, να εκτελέσει μια ρουτίνα η οποία μετατρέπει τη περιγραφή, φυσικού επιπέδου, του δικτύου διανομής ισχύος που αποτελεί ένα πλέγμα μετάλλων, κατά βάση δύο επιπέδων, σε μια περιγραφή πλέγματος από γραμμικές (ωμικές) αντιστάσεις. Αυτό που κάνει στην πραγματικότητα το πρόγραμμα είναι η εξαγωγή (extraction) των αντιστάσεων που παρουσιάζουν τα μέταλλα τα οποία συνθέτουν το δίκτυο διανομής ισχύος. Για την εξαγωγή των αντιστάσεων υπολογίζεται το μήκος (length) κάθε αγωγού, ενώ το πλάτος (width) του θεωρείται γνωστό από τη στιγμή που δίνεται από το αρχείο τύπου .DEF ως ένα από τα χαρακτηριστικά του στοιχείου. Τέλος η ειδική αντίσταση φύλλου R_{sh} των αγωγών θεωρείται δεδομένη από τη τεχνολογία στην οποία έχει υλοποιηθεί η σχεδίαση. Η μοντελοποίηση αυτή του δικτύου διανομής ισχύος ως ένα πλέγμα από γραμμικές αντιστάσεις, για να μπορέσει να χρησιμοποιηθεί στο επόμενο βήμα της σχεδιαστικής ροής μετατρέπεται σε ένα αρχείο τύπου SPICE.

Η τελευταία διεργασία την οποία πραγματοποιεί το πρόγραμμα SP_Nets είναι η εισαγωγή των ρευμάτων εξόδου του προγράμματος qhull ή απευθείας των ρευμάτων εξόδου της στατιστικής μηχανής I-Xtreme 2, αφού όπως αναφέραμε η χρήση του προγράμματος qhull στη ροή σχεδίασης είναι προαιρετική, στο SPICE αρχείο που δημιουργεί. Η είσοδος των ρευμάτων στο αρχείο αυτό πραγματοποιείται με τη χρήση ενός πίνακα, κατάλληλης μορφής για το συγκεκριμένο τύπο αρχείων, ώστε να επιτευχθεί με είσοδο ενός μόνο αρχείου στο εργαλείο, η πολλαπλή προσομοίωση του κυκλώματος. Για τη σωστή προσομοίωση του κυκλώματος, το πρόγραμμα μοντελοποιεί τα υποκυκλώματα ως καταβόθρες ρεύματος (πηγές ρεύματος συνδεδεμένες στη γείωση) με τιμές για κάθε προσομοίωση τις αντίστοιχες τιμές του πίνακα ρευμάτων που αναφέραμε προηγουμένως. Οι πηγές ρεύματος επομένως είναι ίσες σε αριθμό με τον αριθμό των υποκυκλωμάτων του κυκλώματος. Οι πηγές ρεύματος συνδέονται σε τυχαίους κόμβους πάνω στο πλέγμα του δικτύου διανομής ισχύος. Για να είναι το τελικό κύκλωμα που δημιουργείται στο αρχείο SPICE πλήρες, θα πρέπει σε κάποιους κόμβους του πλέγματος αντιστάσεων να εφαρμοστούν πηγές τάσης. Οι

πηγές αυτές στη πραγματικότητα θα μοντελοποιούν τα σημεία στο πραγματικό δίκτυο διανομής ισχύος όπου εφαρμόζονται οι εξωτερικές τροφοδοσίες του ολοκληρωμένου κυκλώματος, με βάση την τεχνολογία C4, δηλαδή σε οποιοδήποτε κόμβο (και εσωτερικό) του δικτύου. Η επιλογή των κόμβων που θα συνδεθούν και αυτές οι πηγές γίνεται με τυχαίο τρόπο.

Το τελικό βήμα πριν την ολοκλήρωση της ροής σχεδίασης είναι η είσοδος του αρχείου SPICE στο εργαλείο HSPICE, το οποίο αποτελεί ένα προσομοιωτή, με σκοπό να πάρουμε τα τελικά αποτελέσματα τα οποία θα περιλαμβάνονται στο αρχείο εξόδου του εργαλείου. Το αρχείο εξόδου του εργαλείου HSPICE αναφέρει την τάση πάνω σε κάθε κόμβο στον οποίο εφαρμόζει η αντίστοιχη πηγή ρεύματος στο SPICE αρχείο για κάθε σετ τιμών των πηγών ρευμάτων.

Στο τελικό αυτό σημείο διαθέτουμε όλες τις τάσεις που εμφανίζουν οι καταβόθρες και αντιπροσωπεύουν την πτώση τάσης που θα εμφανίσει το κύκλωμα με βάση τις εκτιμήσεις των ρευμάτων. Στο σημείο αυτό είναι λογικό να εφαρμόσουμε τις τιμές τροφοδοσίας στο κύκλωμα και να εκτελέσουμε μια στατική ανάλυση χρονισμού και να παρατηρήσουμε τα αποτελέσματα. Είναι, άξιο λόγου να αναφέρουμε (όπως θα αναλύσουμε και στα πειραματικά αποτελέσματα) ότι το κύκλωμα παρουσιάζει διαφορετικές καθυστερήσεις με την εφαρμογή των χειρίστων τάσεων τροφοδοσίας. Το γεγονός αυτό αποτελεί μια πιο ρεαλιστική εικόνα της πραγματικότητας και μπορεί να βοηθήσει τους σχεδιαστές κυκλωμάτων να αντιμετωπίσουν πιο αποτελεσματικά τα προβλήματα που εμφανίζουν οι σχεδιάσεις τους.

4^ο ΚΕΦΑΛΑΙΟ: ΠΕΙΡΑΜΑΤΙΚΕΣ ΜΕΤΡΗΣΕΙΣ, ΣΥΜΠΕΡΑΣΜΑΤΑ ΚΑΙ ΜΕΛΛΟΝΤΙΚΕΣ ΕΠΕΚΤΑΣΕΙΣ

Στο τελευταίο κεφάλαιο παρουσιάζονται τα πειραματικά αποτελέσματα των υλοποιήσεων της διατριβής. Αρχικά, γίνεται αναφορά στο πειραματικό πρόβλημα που χρησιμοποιήθηκε για την ανάπτυξη της μεθοδολογίας βελτιστοποίησης των πλατών του ΔΔΙ και παρουσιάζονται τα αποτελέσματα βελτιστοποίησης. Ακολουθεί η πειραματική επιβεβαίωση της πρώτης ροής σχεδίασης που κάνει χρήση βιομηχανικών εργαλείων και πραγματικών κυκλωμάτων. Η δεύτερη ροή σχεδίασης, διαθέτει δεδομένα για τις επιδόσεις της προτεινόμενης στατιστικής μηχανής, διαφόρων ειδών πειραματικά αποτελέσματα με πιο πλήρη προσέγγιση σε διάφορα επίπεδα.

4.1. ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ ΠΛΑΤΩΝ ΔΔΙ ΥΠΟ ΠΕΡΙΟΡΙΣΜΟΥΣ

Η πειραματική επαλήθευση της μεθοδολογίας βελτιστοποίησης των πλατών, διαθέτει την πρώτη έκδοση της μηχανής I-Xtreme, είναι υλοποιημένη εξ ολοκλήρου στο MATLAB και η επιλογή του κυκλώματος έγινε από την οικογένεια κυκλωμάτων αναφοράς ISCAS85.



Εικόνα 62. Το κύκλωμα αναφοράς c6288 της οικογένειας ISCAS85.

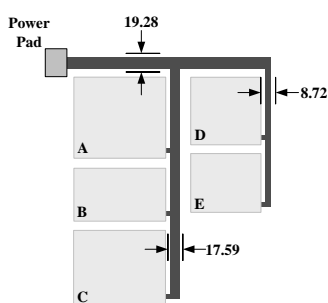
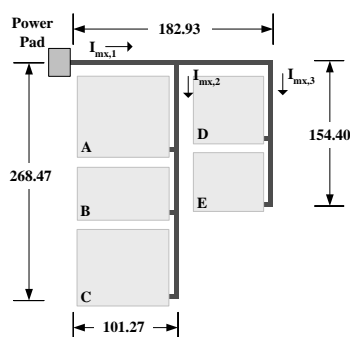
Το κύκλωμα είναι το c6288 (δείτε *Εικόνα 62*, ένας 16×16 πολλαπλασιαστής με 32 εισόδους, 32 εξόδους, και 2406 πύλες), το οποίο είναι το μεγαλύτερο και πολυπλοκότερο κύκλωμα από τα ISCAS85. Το κύκλωμα υλοποιήθηκε σε τεχνολογία 0.13 μm (UMC-Virtual Silicon) που διαθέτει 6 επίπεδα χάλκινων μεταλλικών αγωγών και τάση τροφοδοσίας $V_{DD}=1.2\text{V}$ και έχει διαιρεθεί σε 5 λειτουργικά υποκύκλωματα (A,B,C,D,E). Αξίζει να σημειωθεί ότι μελετήθηκαν 2 δομές ΔΔΙ και 2 τοπολογίες για κάθε δομή.

Στη περίπτωση της δομής δένδρου έχουμε δύο διαφορετικές τοποθετήσεις των υποκύκλωμάτων στο χώρο του OK, και τις ονομάζουμε Σχήμα I και Σχήμα II. Η εκτίμηση για κάθε καταβόθρα υλοποιήθηκε αρχικά, σύμφωνα με την μεθοδολογία που αναπτύξαμε και τα αποτελέσματα παρουσιάζονται στον Πίνακα 5. Ο πίνακας παρουσιάζει πληροφορίες για το Σχήμα προς εξέταση στην πρώτη στήλη, το πλήθος των διανυσματικών ζευγών που χρησιμοποιήθηκε για την εκτίμηση στη δεύτερη στήλη, την καταβόθρα ρεύματος που αντιπροσωπεύει το ρεύμα που ρέει από τον αντίστοιχο αγωγό στη τρίτη στήλη, το μέγιστο ρεύμα που καταγράφηκε σε κάθε γραμμή τροφοδοσίας (ώστε να φανεί η διαφορά με αυτό που προκύπτει από την στατιστική μέθοδο) στην τέταρτη στήλη, το αναμενόμενο μέγιστο ρεύμα μετά την εκτίμηση στην πέμπτη στήλη, τα διαστήματα εμπιστοσύνης για τα επίπεδα εμπιστοσύνης 95%, 99% και 99.99% στις στήλες 6-8, και το σχετικό λάθος εκτίμησης για τα αντίστοιχα επίπεδα εμπιστοσύνης στις στήλες 9-11. Έτσι, στη περίπτωση του 95% επιπέδου είμαστε κοντά στο 5% για πληθυσμό 10000 που χρησιμοποιήθηκε για την εκτίμηση. Επίσης, στην περίπτωση του Σχήματος I, έχουμε αντίστοιχα για 30000 πληθυσμού να μας δίνει 5% σχετικό λάθος στο υψηλότερο επίπεδο εμπιστοσύνης του 99.99%.

Πίνακας 5. Αποτελέσματα εκτίμησης των μέγιστων ρευμάτων στις τρεις βασικές γραμμές τροφοδοσίας.

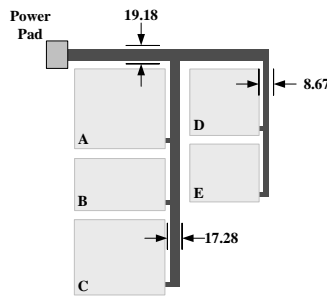
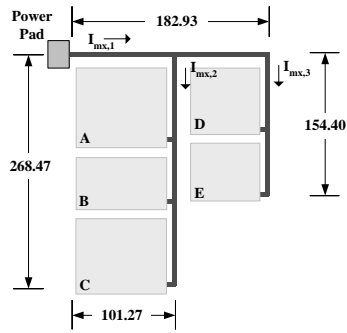
Floor-planning scheme	Number of vector pairs	Line current	Sample maximum (mA)	Estimated maximum (mA)	Confidence interval			Relative estimation error		
					95%	99%	99.99%	95%	99%	99.99%
I	10000	$I_{mx,1}$	367.249	471.365	±23.999	±31.540	±47.639	5.1%	6.7%	10.1%
		$I_{mx,2}$	273.032	386.230	±25.428	±33.418	±50.476	6.5%	8.6%	13.1%
		$I_{mx,3}$	174.183	220.125	±10.844	±14.252	±21.526	4.9%	6.5%	9.8%
I	30000	$I_{mx,1}$	376.935	470.862	±13.844	±18.195	±27.482	2.9%	3.9%	5.8%
		$I_{mx,2}$	287.910	379.042	±14.097	±18.527	±27.983	3.7%	4.9%	7.4%
		$I_{mx,3}$	177.075	218.243	±6.033	±7.929	±11.976	2.7%	3.6%	5.5%
II	10000	$I_{mx,1}$	367.249	471.365	±23.999	±31.540	±47.639	5.1%	6.7%	10.1%
		$I_{mx,2}$	275.065	366.538	±24.280	±31.909	±48.197	6.6%	8.7%	13.1%
		$I_{mx,3}$	234.556	302.157	±18.189	±23.905	±36.107	6.0%	7.9%	11.9%

Στα παρακάτω σχήματα, δείτε *Εικόνα 63*, παρουσιάζονται οι πειραματικές τοπολογίες που εξετάστηκαν στην δομή του δένδρου, έχοντας στα αριστερά την αρχική σχεδίαση και στα δεξιά την σχεδίαση μετά την εκτίμηση και βελτιστοποίηση. Για κάθε πειραματική περίπτωση αναφέρονται βασικές πληροφορίες όπως η περίπτωση σχήματος, ο περιορισμός πτώσης τάσης και το πλήθος των διανυσματικών ζευγών. Όλα τα μεγέθη είναι εκφρασμένα σε μικρόμετρα (microns) και τα αρχικά πλάτη των αγωγών τροφοδοσίας είναι 1.2 μm . Η αντίσταση φύλλου είναι 0.0143 Ω/sq και η τάση τροφοδοσίας 1.2V.



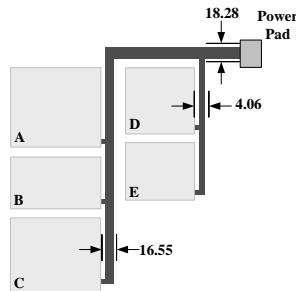
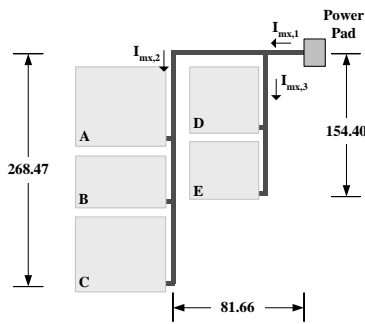
Floor planning scheme : I
Voltage drop tolerance : 0.12V
Number of vector pairs : 10000

(a)



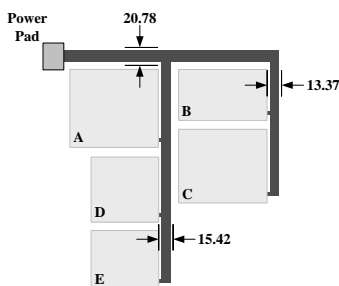
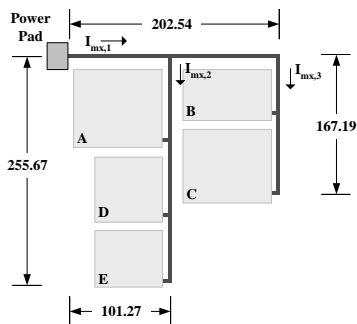
Floor planning scheme : I
 Voltage drop tolerance : 0.12V
 Number of vector pairs : 30000

(b)



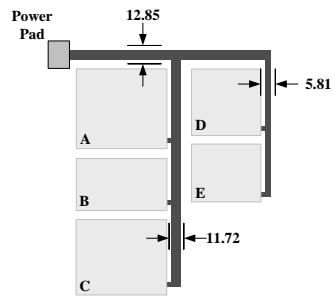
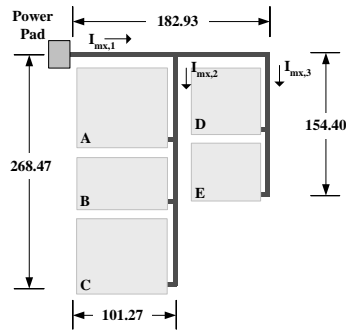
Floor planning scheme : I (alt.)
 Voltage drop tolerance : 0.12V
 Number of vector pairs : 10000

(c)



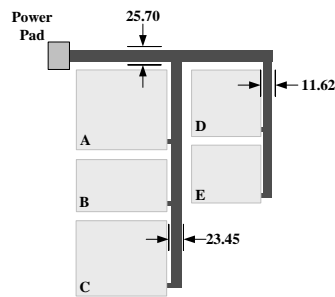
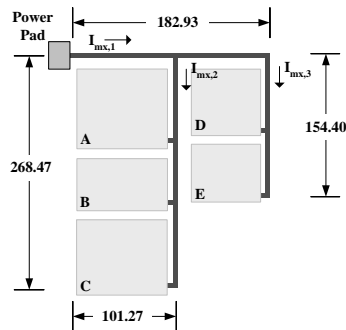
Floor planning scheme : II
 Voltage drop tolerance : 0.12V
 Number of vector pairs : 10000

(d)



Floor planning scheme : I
 Voltage drop tolerance : 0.18V
 Number of vector pairs : 10000

(e)



Floor planning scheme : I
 Voltage drop tolerance : 0.09V
 Number of vector pairs : 10000

(f)

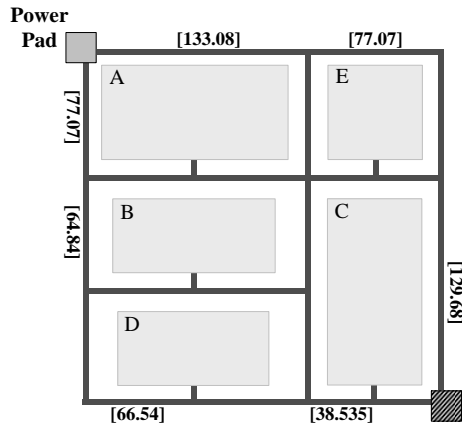
Εικόνα 63. Τα βελτιστοποιημένα ΔΔΙ δομής δένδρου για διάφορες πειραματικές περιπτώσεις.

Στη περίπτωση του γράφου εξετάστηκαν δύο τοπολογίες, οι III και IV. Όπως και στη πρώτη δομή, αρχικά εκτιμήθηκαν τα ρεύματα για τα υποκυκλώματα και τα αποτελέσματα παρουσιάζονται στον Πίνακα 6.

Πίνακας 6. Αποτελέσματα των εκτιμώμενων ρευμάτων σε κάθε υποκύκλωμα του κυκλώματος αναφοράς c6288.

Number of vector pairs	Block current	Sample maximum (mA)	Estimated maximum (mA)	Confidence interval			Relative estimation error		
				95%	99%	99.99%	95%	99%	99.99%
10000	$i_{mx,A}$	285.629	352.549	±22.999	±30.226	±45.654	6.5%	8.6%	12.9%
	$i_{mx,B}$	119.806	173.278	±13.080	±17.190	±25.964	7.5%	9.9%	15.0%
	$i_{mx,C}$	148.486	197.004	±11.708	±15.386	±23.240	5.9%	7.8%	11.8%
	$i_{mx,D}$	101.088	132.914	±6.949	±9.133	±13.794	5.2%	6.9%	10.4%
	$i_{mx,E}$	102.483	129.302	±7.172	±9.426	±14.237	5.5%	7.3%	11.0%
40000	$i_{mx,A}$	285.629	359.133	±12.089	±15.888	±23.998	3.4%	4.4%	6.7%
	$i_{mx,B}$	123.935	168.657	±6.248	±8.211	±12.402	3.7%	4.9%	7.3%
	$i_{mx,C}$	148.769	194.501	±5.659	±7.437	±11.232	2.9%	3.8%	5.8%
	$i_{mx,D}$	111.161	136.265	±3.787	±4.977	±7.517	2.8%	3.6%	5.5%
	$i_{mx,E}$	102.483	126.677	±3.379	±4.441	±6.708	2.7%	3.5%	5.3%

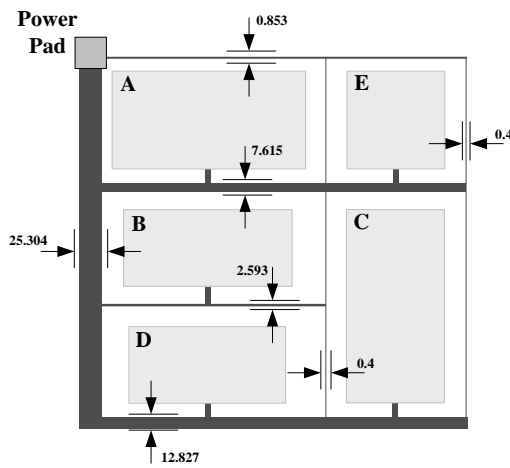
Στα σχήματα που ακολουθούν, για την αναπαράσταση των αποτελεσμάτων της δομής γράφου χρησιμοποιώντας τις τοπολογίες III και IV, το πρώτο σχήμα σε κάθε περίπτωση αναπαριστά το αρχικό σχήμα και τα υπόλοιπα τρία είναι οι βελτιστοποιημένες εκδόσεις του αρχικού. Σε κάθε περίπτωση, η αρχική τιμή των πλατών ήταν $0.4 \mu\text{m}$ και έχει θεωρηθεί ότι όλοι οι αγωγοί που βρίσκονται στην ίδια γραμμή τροφοδοσίας έχουν το ίδιο πλάτος. Στην παρακάτω Εικόνα 64, έχουμε την τρίτη τοπολογία (a) όπου η βελτιστοποιημένη της εικόνα είναι η (b) για την τυπική ανοχή πτώσης τάσης (10% της V_{DD} , π.χ. $V_0 = 0.12 V$ για $V_{DD} = 1.2 V$) και στην τρίτη βελτιστοποίηση (c) έχουμε την ίδια περίπτωση, αλλά με επίπεδο εμπιστοσύνης για την εκτίμηση των μεγίστων στο 99.99% και με χρήση 40000 διανυσματικών ζευγών. Όπως παρατηρούμε, τα αποτελέσματα στην περίπτωση (c) είναι κοντά σε αυτά της (b) και αυτό αποδεικνύει ότι η εκτίμηση με επίπεδο εμπιστοσύνης 95% είναι μια καλή επιλογή. Το τέταρτο δίκτυο παρουσιάζει την βελτιστοποιημένη εικόνα του στη περίπτωση που γίνεται χρήση δύο τάσεων τροφοδοσίας σε αντίθετες τοποθεσίες στο ΔΔΙ, παρουσιάζοντας ξεκάθαρα την μείωση των βέλτιστων πλατών, διότι έχουμε καλύτερη παροχή τροφοδοσίας στο κύκλωμα.



Floor planning scheme : III

Number of Pads : 1, 2

(a)



Floor planning scheme : III

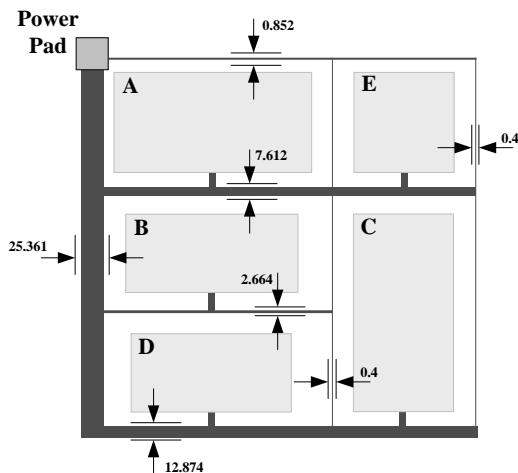
Voltage drop tolerance : 0.12V

Number of vector pairs : 10000

Confidence level : 95%

Number of Pads : 1

(b)



Floor planning scheme : III

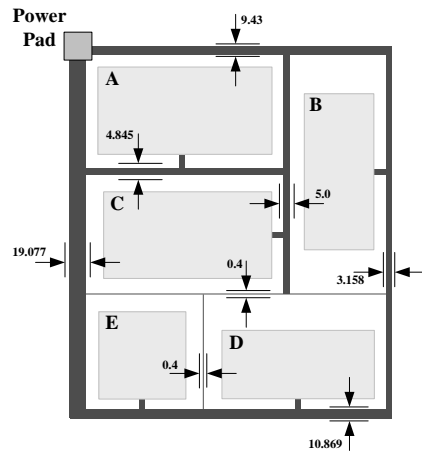
Voltage drop tolerance : 0.12V

Number of vector pairs : 40000

Confidence level : 99%

Number of Pads : 1

(c)



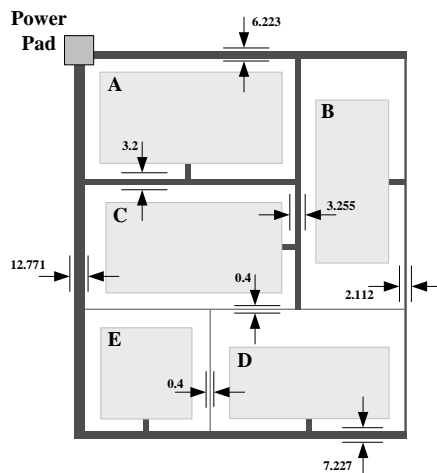
Floor planning scheme : IV

Voltage drop tolerance : 0.12V

Number of vector pairs : 10000

Number of Pads : 1

(b)



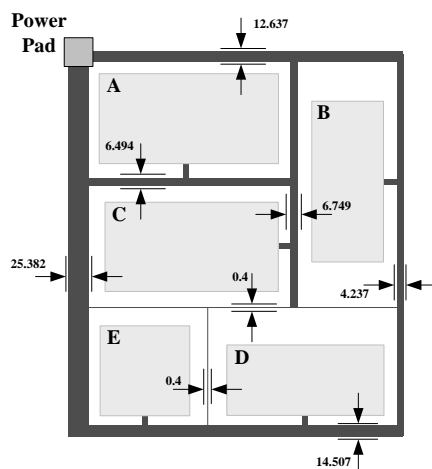
Floor planning scheme : IV

Voltage drop tolerance : 0.18V

Number of vector pairs : 10000

Number of Pads : 1

(c)



Floor planning scheme : IV

Voltage drop tolerance : 0.09V

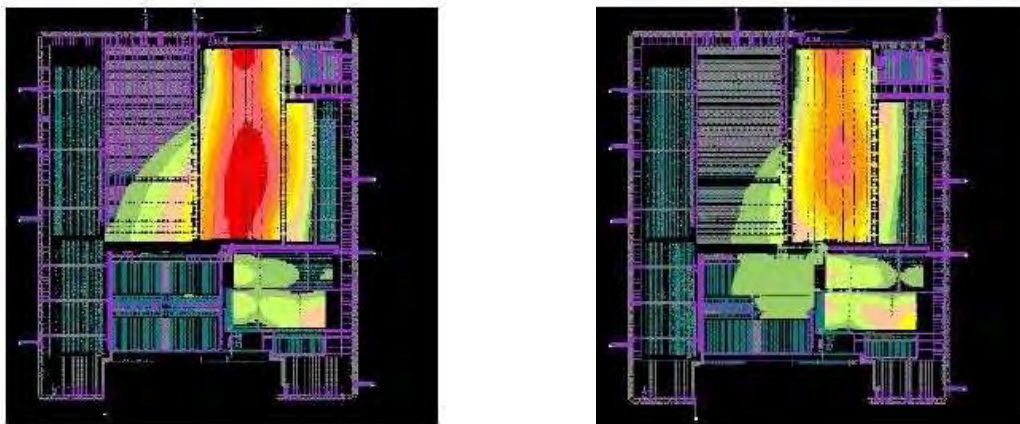
Number of vector pairs : 10000

Number of Pads : 2

(d)

Εικόνα 65. Η (IV) τέταρτη τοπολογία με δομή ΔΔΙ τύπου πλέγματος και οι βελτιστοποιήσεις των πλατών.

Στην *Εικόνα 66* που ακολουθεί, παρουσιάζεται ένα ΟΚ και η πτώση τάσης που εμφανίζει πριν την επεξεργασία και την βελτιστοποίηση από μια αντίστοιχη μεθοδολογία. Το κόκκινο χρώμα, του οποίου η ένταση είναι ανάλογη του επιπέδου της τιμής της πτώσης τάσης πάνω στο δίκτυο διανομής ισχύος, παρατηρούμε ότι «ανοίγει» καθώς απομακρυνόμαστε από το σημείο του ΔΔΙ που παρουσιάζει τη μέγιστη πτώση τάσης. Μετά την εφαρμογή της μεθοδολογίας βελτιστοποίησης, μπορούμε να επιτύχουμε καλύτερη παροχή ρεύματος και να βελτιωθεί αισθητά η πτώση τάσης κατά μήκος της επιφάνειας του ΟΚ.



Εικόνα 66. Η πτώση τάσης σε ένα ΟΚ πριν και μετά την βελτιστοποίηση (CADENCE)

4.2. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΤΗΣ ΠΡΩΤΗΣ ΠΡΟΣΕΓΓΙΣΗΣ

Στο κεφάλαιο αυτό, αναπτύσσεται η πρώτη ροή σχεδίασης που βασίζεται στην πρώτη έκδοση της στατιστικής μηχανής I-Xtreme (πλέον υλοποιημένη σε γλώσσα C) και σε συνδυασμό με εργαλεία CAD προσφέρει λύση για την ανάλυση της πτώσης τάσης σε ένα ΔΔΙ. Η πειραματική επαλήθευση της μεθοδολογίας αυτής, στην προτεινόμενη ροή σχεδίασης, έγινε με κυκλώματα αναφοράς από την οικογένεια των κυκλωμάτων ISCAS85. Τα κυκλώματα υλοποιήθηκαν με το GPDK, τεχνολογίας 0.18 μ m της CADENCE, που διαθέτει 6 χάλκινα επίπεδα μετάλλου, αντίσταση φύλλου 0.1 Ω /sq και τάση τροφοδοσίας $V_{dd}=3.3V-2.7V$. Τα κυκλώματα διαιρέθηκαν σε επιμέρους υποκυκλώματα, όπου το κάθε ένα από αυτά διέθετε περισσότερες από 50 πύλες.

Πίνακας 7. Τα αποτελέσματα της εκτίμησης των μέγιστων ρευμάτων.

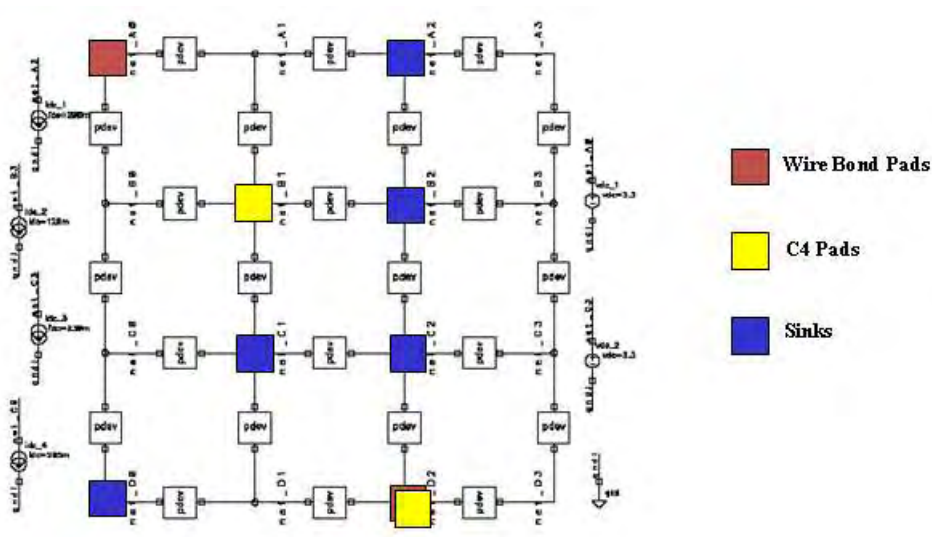
Circuit	# blocks	# vectors	I_{max}	Sample maximum (mA)	Estimated maximum (mA)
<i>c1355</i> 3.3V	5	5000	I_{max_A}	27.24	34.73
			I_{max_B}	24.85	32.69
			I_{max_C}	28.58	36.81
			I_{max_D}	12.31	16.15
			I_{max_E}	20.37	28.06
<i>c1355</i> 2.7V	5	5000	I_{max_A}	18.51	23.42
			I_{max_B}	15.55	21.61
			I_{max_C}	17.27	22.39
			I_{max_D}	8.34	10.99
			I_{max_E}	11.46	16.85
<i>c880</i> 3.3V	8	4000	I_{max}	11.66	18.08
<i>c2670</i> 3.3V	13	4000	I_{max}	14.82	21.4
<i>c7552</i> 3.3V	42	4000	I_{max}	8.32	13.02

Η εκτίμηση των μέγιστων ρευμάτων σε κάθε υποκύκλωμα εφαρμόστηκε αρχικά και τα αποτελέσματα εμφανίζονται στον Πίνακα 7. Ο πίνακας αυτός παρουσιάζει το όνομα το κυκλώματος στη στήλη 1, το πλήθος των υποκυκλωμάτων στη στήλη 2, τον αριθμό των διανυσματικών ζευγών που χρησιμοποιήθηκαν για την εκτίμηση στη στήλη 3, την ονομασία του ρεύματος καταβόθρας κάθε υποκυκλώματος στη στήλη 4, το μέγιστο ρεύμα που καταγράφηκε από την προσομοίωση του κυκλώματος στο δείγμα στη στήλη 5 και το μέγιστο ρεύμα που εκτιμήθηκε με χρήση της στατιστικής μεθόδου στη στήλη 6.

Στη συνέχεια, παρουσιάζονται τα αποτελέσματα της DC ανάλυσης του μοντελοποιημένου ΔΔΙ, με χρήση δύο τεχνικών παροχής τάσης σε διάφορα σημεία του ΟΚ, για το κύκλωμα c1355. Η τοποθέτηση των καταβόθρων (Sinks: A:net_A3, B:net_B2, C:net_C2, D:net_C1 και E:net_D0), στο ΔΔΙ, γίνεται όπως παρουσιάζεται στην *Εικόνα 67* και οι πτώσεις τάσης IR-drop, σε κάθε καταβόθρα του κυκλώματος, παρουσιάζονται στον *Πίνακα 8*. Όπως αναφέραμε, παρουσιάζονται δύο (2) τοπολογίες τροφοδοσίας, με δύο πέλματα τροφοδοσίας (στη περίπτωση του wire bond [net_A0 net_D3] και δύο σφαίρες C4 [net_B1 net_D3]) για δύο διαφορετικές τάσεις τροφοδοσίας V_{dd} .

Πίνακας 8. Αποτελέσματα πτώσης τάσης σε κάθε υπό εξέταση καταβόθρα.

Circuit c1355		Maximum IR-drop					
		V_{dd}	A	B	C	D	E
Topology	Wire Bond	3.3V	27.8m	22.9m	20.6m	20.1m	24.2m
		2.7V	17.7m	14.3m	12.5m	12.2m	14.4m
	C4	3.3V	18.8m	11.3m	11.9m	8.4m	14.8m
		2.7V	11.9m	6.8m	6.9m	4.7m	8.5m



Εικόνα 67. Η τοποθέτηση των πηγών τροφοδοσίας και των καταβόθρων στο υπό εξέταση ΔΔΙ.

4.3. ΠΕΙΡΑΜΑΤΙΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ ΔΕΥΤΕΡΗΣ ΡΟΗΣ ΣΧΕΔΙΑΣΗΣ

Η δεύτερη ροή σχεδίασης αποτελείται από μια βελτιωμένη έκδοση των παλαιότερων, σε όλα τα σημεία. Η στατιστική μηχανή εκτίμησης I-Xtreme 2 βασίζεται στην νέα μεθοδολογία και είναι υλοποιημένη αρχικά σε MATLAB και στη συνέχεια σε C. Η επιβεβαίωση στη πράξη γίνεται με ένα πλήθος από πειραματικά ΔΔΙ - αφού δεν υπάρχουν σχεδιάσεις αναφοράς -, τα οποία θα αναγνωρίζονται ως $Gq-p$, όπου q είναι ο αριθμός των εσωτερικών/καταβοθρών κόμβων και p ο αριθμός των κόμβων, όπου οι πηγές τροφοδοσίας είναι συνδεδεμένες (π.χ. η ονομασία G72-3 ανταποκρίνεται σε ένα ΔΔΙ με 72 εσωτερικούς κόμβους και 3 σημεία υποδοχής τάσης τροφοδοσίας).

Όλα τα πειραματικά ΔΔΙ έχουν την ίδια δομή-γράφου και οι κλάδοι τους έχουν τυχαία αγωγιμότητα, η οποία εξαρτάται μόνο από παραμέτρους τεχνολογίας, καθώς επίσης η τοποθέτηση των πηγών τροφοδοσίας είναι τυχαία κατά μήκος του OK (κάνουμε χρήση των διευκολύνσεων της τεχνικής C4). Τα κυκλώματα αναφοράς, που συνδέονται με τα πειραματικά ΔΔΙ, είναι της οικογένειας αναφοράς ISCAS85 και υλοποιήθηκαν σε τεχνολογίες 0.18 μ m και 0.13 μ m, και διαιρέθηκαν το καθένα σε ένα αριθμό υποκυκλωμάτων (που αντιπροσωπεύουν τις n καταβόθρες), τα οποία συνδέονται σε τυχαίους κόμβους σε κάθε πειραματικό ΔΔΙ. Αξίζει να αναφερθεί πως, για κάθε στιγμιότυπο ψηφιακού κυκλώματος, η διαδικασία της δημιουργίας του δειγματικού χώρου -με προσομοίωση του κυκλώματος-, η ξεχωριστή EVT εκτίμηση για κάθε συντεταγμένο άξονα $1 \leq k \leq n$ και η μετακίνηση των μεγίστων σημείων στο δειγματικό χώρο (όπου συναντούν τα μέγιστα σημεία όλου του χώρου) είναι ανεξάρτητα από το ΔΔΙ και χρειάζεται να υπολογιστούν μόνο μια φορά.

Πίνακας 9. Μέγιστα ρεύματα δειγματοληψιών και εκτίμησης για κάθε καταβόθρα για τα δύο κυκλώματα αναφοράς.

Circuit	Current sink	Sample max. (mA)	Estim. max. (mA)	95% Conf. interval	Diff. vector
c1355	sink-A	27.24	35.42	± 2.58	8.18
	sink-B	24.86	34.51	± 2.45	9.65
	sink-C	28.58	38.60	± 3.03	10.02
	sink-D	12.32	16.31	± 1.27	3.99
	sink-E	20.37	30.01	± 2.61	9.64
c6288	sink-A	273.54	349.91	± 23.80	76.37
	sink-B	119.81	157.73	± 11.31	37.92
	sink-C	148.28	190.96	± 11.46	42.68
	sink-D	100.17	133.45	± 7.49	33.28
	sink-E	102.48	119.90	± 6.13	17.42

Τα αποτελέσματα της εκτίμησης των μέγιστων ρευμάτων, για τα κυκλώματα c1355 και c6288, το καθένα διαιρεμένο σε $n=5$ υποκυκλώματα, παρουσιάζονται στον Πίνακα 9. Σημειώστε ότι τα περιθώρια εμπιστοσύνης είναι για 95% επίπεδο εμπιστοσύνης και επειδή το κύκλωμα c1355 είναι περίπου το 1/5 του c6288 και υλοποιημένο με διαφορετική τεχνολογία, τα ρεύματα είναι πολύ μικρότερα.

Πίνακας 10. Μέγιστη πτώση τάσης (ακριβής και πεσιμιστική) σε όλες τις καταβόθρες ρεύματος, για τα υπό εξέταση κυκλώματα και για διάφορων μεγεθών ΔΔΙ.

Case study	Grid	Cir.	Maximum drop to sink-A (mV)				Maximum drop to sink-B (mV)			
			Our method	Statistical estimation	Pess. Anal.	% diff.	Our method	Statistical estimation	Pess. Anal.	% diff.
#1	G24-1	c1355	41.2	39.3 (± 2.6)	47.6	15.5	33.7	32.9 (± 2.3)	39.3	16.7
#2	G24-1	c6288	227.4	208.0 (± 9.7)	273.3	20.1	242.6	217.8 (± 9.8)	293.4	20.9
#3	G23-2	c1355	22.2	21.6 (± 1.5)	25.9	16.8	9.2	9.0 (± 0.6)	10.5	14.0
#4	G23-2	c6288	174.8	158.0 (± 7.2)	207.0	18.4	146.8	127.5 (± 5.5)	176.0	19.8
#5	G48-2	c1355	17.5	17.0 (± 1.2)	20.4	16.5	14.3	13.7 (± 0.9)	16.0	12.1
#6	G48-2	c6288	107.7	95.8 (± 4.4)	126.2	17.2	99.8	87.2 (± 3.7)	120.4	20.6
#7	G47-3	c1355	20.4	19.6 (± 1.3)	23.6	15.3	11.3	10.8 (± 0.7)	12.4	10.1
#8	G47-3	c6288	91.6	82.5 (± 3.9)	108.0	17.9	132.7	116.1 (± 4.6)	161.2	21.5
#9	G72-3	c1355	12.2	11.8 (± 0.8)	14.1	15.2	11.8	11.3 (± 0.8)	13.4	13.5
#10	G72-3	c6288	131.9	125.0 (± 6.3)	158.8	20.4	142.4	125.8 (± 5.8)	168.8	18.6
#11	G69-6	c6288	49.7	45.7 (± 2.3)	57.2	15.2	49.1	43.1 (± 1.9)	58.5	19.3
#12	G94-6	c6288	61.4	57.3 (± 2.9)	72.2	17.6	53.5	48.7 (± 2.4)	63.9	19.4
#13	G90-10	c6288	47.4	44.6 (± 2.3)	55.8	17.7	46.7	41.4 (± 2.0)	55.0	17.6
#14	G140-10	c6288	31.5	29.9 (± 1.6)	35.6	13.2	24.3	22.9 (± 1.2)	27.9	14.9
#15	G135-15	c6288	50.6	49.0 (± 2.9)	55.7	10.0	37.1	33.2 (± 1.7)	43.0	15.8

Τα αποτελέσματα, για κάθε καταβόθρα, αποτελούν και την χειριστή περίπτωση πτώσης τάσης για όλα τα διανυσματικά ζεύγη εισόδων. Τα αποτελέσματα των μέγιστων πτώσεων τάσης, για διάφορα πειραματικά ΔΔΙ και για τα κυκλώματα αναφοράς, παρουσιάζονται στον Πίνακα 10. Όλες οι υπολογισμένες χειρίστες τιμές πτώσης τάσης συγκρίνονται με τις στατιστικές εκτιμήσεις, οι οποίες υπολογίστηκαν με εφαρμογή της διαδικασίας EVT στο δείγμα πτώσεων τάσης, για τα ίδια $m=5000$ τυχαία ζεύγη εισόδων (με περιθώριο εμπιστοσύνης 95% του επιπέδου εμπιστοσύνης). Από τον ίδιο πίνακα, μπορεί να αξιολογηθεί ότι οι δύο εκτιμήσεις είναι αρκετά κοντά. Μία ελαφρά πεσιμιστική συμπεριφορά επιδεικνύει η προτεινόμενη

μεθοδολογία - ειδικά στην περίπτωση του c6288 - η οποία μπορεί να δικαιολογηθεί μερικώς στην επιλογή των cycle-accurate μεγίστων για τις τιμές του multi-cycle DC και σε άλλες περιπτώσεις στην μοιραία παρέκκλιση των μετακινήθων μεγίστων σημείων του δειγματικού χώρου συγκριτικά με τα μέγιστα σημεία όλου του χώρου, συμπεριφορά η οποία γέρνει τελικά προς την πεσιμιστική πλευρά.

Πίνακας 11. Συνέχεια του Πίνακα 10.

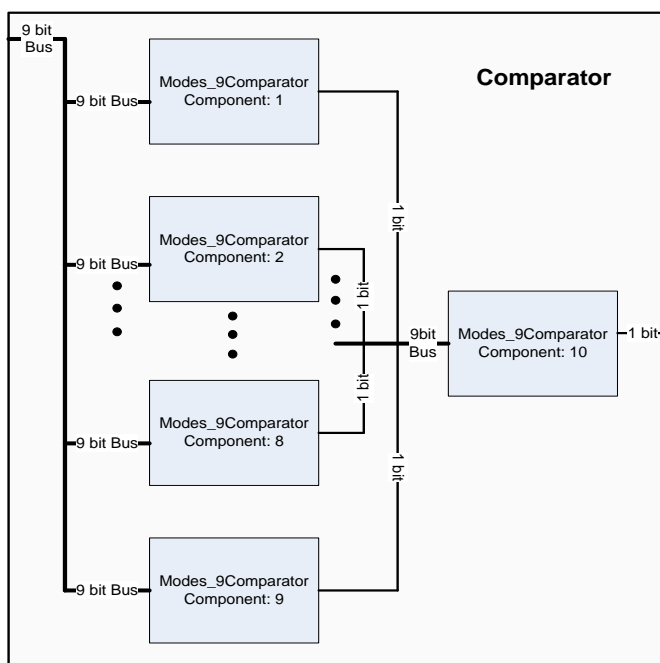
Case study	Maximum drop to sink-C (mV)				Maximum drop to sink-D (mV)				Maximum drop to sink-E (mV)			
	Our method	Statistical estimation	Pess. anal.	% diff.	Our method	Statistical estimation	Pess. anal.	% diff.	Our method	Statistical estimation	Pess. anal.	% diff.
#1	33.3	31.8 (±2.2)	38.0	14.0	39.2	38.1 (±2.6)	46.3	18.1	38.8	37.6 (±2.6)	45.8	18.1
#2	231.9	210.7 (±9.5)	281.8	21.5	154.4	136.1 (±5.8)	185.2	19.9	206.8	183.1 (±7.2)	253.7	22.7
#3	19.6	19.0 (±1.3)	22.5	14.6	11.2	10.9 (±0.7)	13.2	18.1	22.8	22.8 (±1.6)	27.0	18.7
#4	182.6	161.5 (±6.5)	220.2	20.6	148.1	130.7 (±5.6)	179.3	21.0	174.1	153.9 (±6.0)	211.4	21.4
#5	17.9	17.2 (±1.2)	20.5	14.4	16.8	16.3 (±1.1)	19.9	18.4	19.6	19.3 (±1.4)	23.4	19.4
#6	131.9	117.6 (±5.1)	156.4	18.5	111.8	96.8 (±4.0)	132.4	18.4	106.5	93.9 (±3.5)	130.7	22.7
#7	21.6	20.8 (±1.5)	24.6	13.8	14.7	14.4 (±1.0)	17.3	17.9	19.2	19.2 (±1.4)	23.0	19.5
#8	167.8	145.1 (±5.6)	198.5	18.3	151.5	131.2 (±5.0)	181.5	19.8	152.5	133.5 (±5.1)	184.9	21.3
#9	13.2	12.6 (±0.9)	14.9	13.0	5.0	4.9 (±0.3)	5.9	17.6	14.3	14.0 (±1.0)	16.8	17.6
#10	93.2	84.8 (±3.8)	113.1	21.3	38.2	33.3 (±1.4)	45.3	18.7	131.5	116.1 (±4.7)	160.0	21.7
#11	53.2	46.5 (±1.8)	63.7	19.7	55.9	49.1 (±2.0)	67.2	20.3	56.9	49.9 (±1.8)	69.2	21.7
#12	58.9	53.2 (±2.4)	70.0	18.9	39.0	33.6 (±1.4)	45.4	16.3	29.0	25.5 (±0.9)	35.6	22.8
#13	50.2	44.8 (±2.0)	59.6	18.8	17.7	14.9 (±0.6)	19.6	10.6	36.8	32.9 (±1.4)	44.8	22.0
#14	23.7	21.0 (±0.9)	27.8	17.4	22.8	20.5 (±1.0)	26.2	14.8	24.6	22.8 (±1.0)	29.7	20.5
#15	11.2	10.7 (±0.6)	12.1	8.2	25.5	22.6 (±1.1)	29.7	16.2	10.5	9.6 (±0.4)	12.7	20.8

Για κάθε περίπτωση,, έχει υπολογιστεί και η πεσιμιστική της ανάλυση, όπου θεωρούμε ότι ταυτόχρονα εφαρμόζονται μέγιστα ρεύματα σε όλες τις καταβόθρες (π.χ. με εφαρμογή όλων των μέγιστων εκτιμήσεων $\hat{\omega}_k$, $1 \leq k \leq n$, ταυτόχρονα σε όλες τις καταβόθρες). Μπορούμε ξεκάθαρα να παρατηρήσουμε την υπερεκτίμηση που εκδηλώνει μια πεσιμιστική ανάλυση, η οποία είναι περίπου 15%-20% στις περισσότερες περιπτώσεις, άσχετα από την διάσταση του ΔΔΙ και τον αριθμό των τάσεων τροφοδοσίας.

Επίσης, παρατηρούμε ότι το ποσοστό διαφοράς είναι γενικά μικρότερο για το κύκλωμα c1355 σε σχέση με το c6288 για το ίδιο ΔΔΙ, γεγονός που μπορεί να εξηγηθεί αν αναλογιστούμε ότι συνθετότερες εξαρτήσεις μεταξύ των καταβοθρών υφίστανται σε μεγαλύτερα κυκλώματα και παράγουν μεγαλύτερο πεσιμισμό όταν

εφαρμοστούν ταυτόχρονα μέγιστα ρεύματα σε όλες τις καταβόθρες. Επειδή, τα κυκλώματα αναφοράς ISCAS85 είναι μικρά κυκλώματα συγκρινόμενα με τα σύγχρονα δεδομένα και τις απαιτήσεις, είναι αναμενόμενο οι διαφορές της ακριβούς και πεσιμιστικής ανάλυσης να είναι ακόμα πιο σημαντικές για μεγάλες σχεδιάσεις με πολλές καταβόθρες ρεύματος και πιο περίπλοκες εξαρτήσεις μεταξύ τους. Όλα τα παραπάνω συνηγορούν στο ότι, η πεσιμιστική ανάλυση μπορεί να γίνει πηγή λανθασμένων ενδείξεων, οι οποίες επιδεικνύουν παραβάσεις σε κόμβους που στην πραγματικότητα δεν έχουν υπερβατική πτώση τάσης, γεγονός που μπορεί να οδηγήσει σε κακό σχεδιασμό του ΔΔΙ, για την αποφυγή ενός προβλήματος που δεν υφίσταται στην πραγματικότητα.

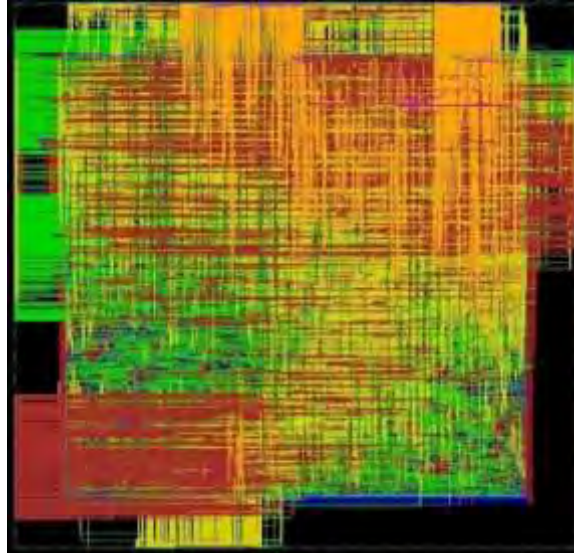
Σε δεύτερη φάση, η νέα μεθοδολογία έπρεπε να ενσωματωθεί στη νέα ροή σχεδίασης. Για το λόγο αυτό, χρησιμοποιήθηκε ένα νέο κύκλωμα προκειμένου να πραγματοποιηθούν οι μετρήσεις, η σχεδίαση Comparator [Koziri07] και η περιγραφή του σε επίπεδο υποκυκλωμάτων, τα οποία είναι αυτά που φαίνονται στην *Εικόνα 68*.



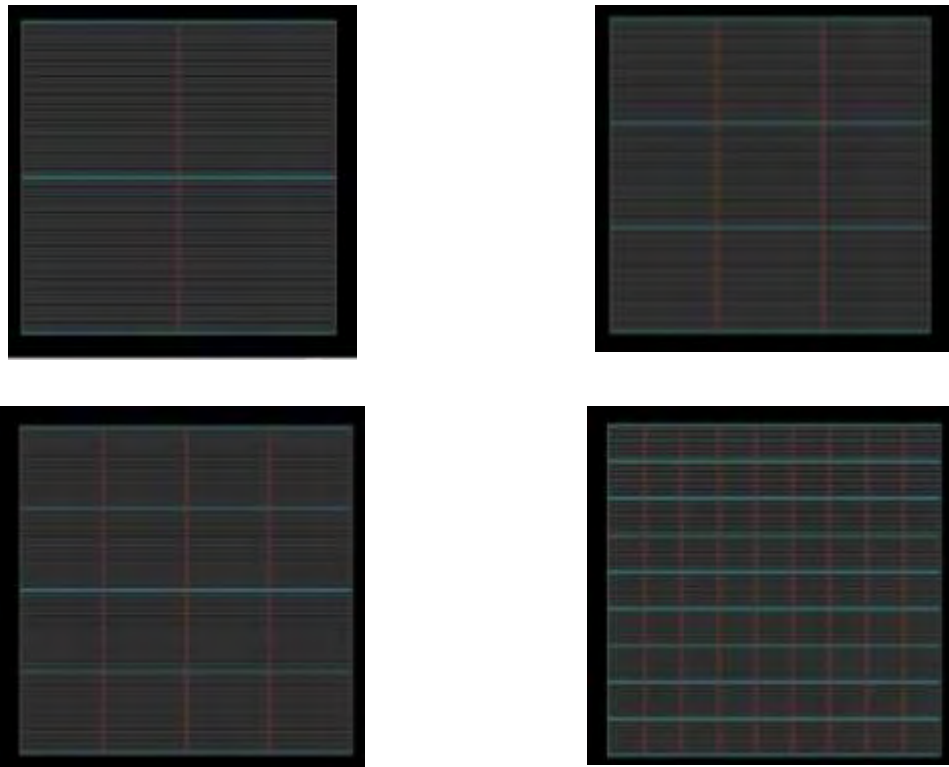
Εικόνα 68. Τα υποκυκλώματα, της σχεδίασης Comparator που χρησιμοποιήθηκε στις μετρήσεις και η διασύνδεση τους.

Το κάθε ένα από τα υποκυκλώματα Modes_9Comparator αποτελεί μια υλοποίηση του SAD, ενός συνδυαστικού κυκλώματος και αξίζει να αναφερθεί ότι η σχεδίαση αυτή αποτελεί μέρος OK που υλοποιεί το H.264. Το κάθε ένα από τα υποκυκλώματα καταλαμβάνει έκταση $50.000 \mu\text{m}^2$, ενώ η σχεδίαση έχει υλοποιηθεί με χρήση της βιβλιοθήκης GSCLib3.0 σε τεχνολογία 90nm. Η τεχνολογία σχεδίασης περιελάμβανε εννέα (9) επίπεδα μετάλλου με την αντίσταση φύλλου των αγωγών $R_{sh} = 0,02 \Omega/\text{sq}$. Η σχεδίαση υλοποιήθηκε και σε επίπεδο φυσικής σχεδίασης (δείτε *Εικόνα 69*).

Οι πηγές τάσης, που μοντελοποίησαν την τάση τροφοδοσίας στους κόμβους του πλέγματος ισχύος, στους οποίους ακουμπά η εξωτερική τροφοδοσία του ολοκληρωμένου ήταν σε αριθμό (3) τρεις με τάση τροφοδοσίας $V_{DD}=1.2V$ η κάθε μια. Η προσομοίωση πραγματοποιήθηκε σε $\Delta\Delta I$ (γράφου) τεσσάρων διαφορετικών τύπων, 3x3, 4x4, 5x5 και 10x10 (δείτε *Εικόνα 70*).



Εικόνα 69. Η φυσική υλοποίηση του κυκλώματος Comparator.



Εικόνα 70. Η φυσική υλοποίηση των διάφορων $\Delta\Delta I$.

Οι πηγές τοποθετήθηκαν πάνω στο ΔΔΙ τυχαία και με βάση την τεχνολογία C4 (και σε εσωτερικούς κόμβους του δικτύου). Τα ρεύματα, τα οποία χρησιμοποιήθηκαν για τη λήψη των αποτελεσμάτων που φαίνονται στον Πίνακα 12, είναι τα μέσα ρεύματα που δίνει ο προσομοιωτής Nanosim για κάθε υποκύκλωμα.

Πίνακας 12. Η πτώση τάσης για όλες τις περιπτώσεις ΔΔΙ για το κύκλωμα του Comparator.

Comparator	Pin Voltage (volts)	Grid Dimension			
		3x3	4x4	5x5	10x10
Blocks (B _i)	B ₁	1.0499	1.1484	946.5920m	1.0840
	B ₂	1.0354	1.0193	1.1364	1.0961
	B ₃	995.7665m	1.0792	916.8668m	1.1424
	B ₄	1.1729	1.0706	1.1387	1.0909
	B ₅	1.1047	1.1597	1.0164	1.1518
	B ₆	1.0970	1.1008	1.1633	1.1715
	B ₇	1.2000	1.1439	918.8831m	1.0906
	B ₈	995.7665m	1.1334	924.2176m	1.1485
	B ₉	1.2000	984.1938m	850.3161m	1.0841
	B ₁₀	1.0970	1.0113	1.1292	1.0840

Προκειμένου να ολοκληρωθεί ο κύκλος επαλήθευσης του κυκλώματος και να βρεθεί η πραγματική καθυστέρηση (το πραγματικό κρίσιμο μονοπάτι - critical path) του ΟΚ, παίρνουμε τις τάσεις πάνω από κάθε υποκύκλωμα και τις εφαρμόζουμε τώρα μέσα από το nanotimeScript.ns για την νέα στατική ανάλυση χρονισμού. Στην πραγματικότητα, εφαρμόζουμε στο κύκλωμα προς εξέταση μια νέα ανάλυση χρονισμού με τη χρήση των νέων τιμών τάσης που προέκυψαν από την μεθοδολογία.

Για την ανάλυση αυτή, χρησιμοποιήσαμε το κύκλωμα c6288, το οποίο υλοποιήθηκε σε τεχνολογία 0.13 μm (UMC-Virtual Silicon) που διαθέτει 6 επίπεδα χάλκινων μεταλλικών αγωγών, τάση τροφοδοσίας $V_{DD}=1.2\text{V}$ και έχει διαρθωθεί σε 32 λειτουργικά υποκυκλώματα. Το ΔΔΙ είναι μεγέθους 10×10 και για πλάτη $w=0.5\mu\text{m}$ και $w=1\mu\text{m}$. Το κύκλωμα αρχικά αναλύθηκε χρονικά με πτώση τάσης 20% του V_{DD} , δηλαδή με τη βασική θεώρηση που κάνουν οι σχεδιαστές και εφαρμόστηκε σε όλα τα υποκυκλώματα. Τα αποτελέσματα παρουσιάζονται στον Πίνακα 13, όπου διακρίνουμε ότι το κρίσιμο μονοπάτι έχει καθυστέρηση 13.719 ns και είναι από την είσοδο B0 ως και την έξοδο P30.

Πίνακας 13. Τα αποτελέσματα χρονισμού για πτώση τάσης 20% του V_{DD} σε όλες τις καταβόθρες.

<i>Circuit</i>	<i>#block</i>	<i>Current Voltage</i>
c6288 Voltage Supply: 1.2 - 20% = 0.96 volt / w = 0.5	1	0.96
	2	0.96
	3	0.96
	4	0.96
	5	0.96
	6	0.96
	7	0.96
	8	0.96
	9	0.96
	10	0.96
	11	0.96
	12	0.96
	13	0.96
	14	0.96
	15	0.96
	16	0.96
	17	0.96
	18	0.96
	19	0.96
	20	0.96
	21	0.96
	22	0.96
	23	0.96
	24	0.96
	25	0.96
	26	0.96
	27	0.96
	28	0.96
	29	0.96
	30	0.96
	31	0.96
	32	0.96
Total Delay	13.719 ns	
Start Point	End Point	
B0	P30	

Στη συνέχεια, το κύκλωμα αφού πέρασε από την ροή ανάλυσης του ΔΔΙ, εκτιμήθηκαν τα μέγιστα ρεύματα και οι πτώσεις τάσεις σε κάθε καταβόθρα και εκκινήσαμε μια νέα στατική ανάλυση χρονισμού. Τα αποτελέσματα παρουσιάζονται στον Πίνακα 14 και διακρίνουμε ότι το κρίσιμο μονοπάτι έχει καθυστέρηση 13.096 ns και είναι από την είσοδο B0 ως και την έξοδο P15.

Πίνακας 15. Τα αποτελέσματα χρονισμού με εφαρμογή των πτώσεων τάσης μετά την εκτίμηση, με $w=1$.

<i>Circuit</i>	<i>#block</i>	<i>Current Voltage</i>
C6288	1	1.0682
	2	1.0707
	3	1.0857
	4	1.1177
	5	1.0959
	6	1.0495
	7	1.0735
	8	1.0579
	9	1.0563
	10	1.1385
	11	1.0832
	12	1.1030
	13	1.1094
	14	1.0685
	15	1.0520
	16	1.1305
	17	1.0795
	18	1.0745
	19	1.0896
	20	1.0648
	21	1.1036
	22	1.0742
	23	1.0711
	24	1.0818
	25	1.0707
	26	1.0865
	27	1.0761
	28	1.0970
	29	1.0818
	30	1.0614
	31	1.0342
	32	1.0688
Total Delay	12.187 ns	
Start Point	End Point	
B0	P30	

4.4. ΣΥΜΠΕΡΑΣΜΑΤΑ

Η διατριβή αυτή καθιστά σαφές το γεγονός ότι, η τεχνολογία των ημιαγωγών αποτελεί μία επιστημονική περιοχή που μπορεί να προσφέρει διάφορες δυνατότητες έρευνας, αλλά και ανάπτυξης νέων εργαλείων. Η κατάσταση αυτή ήταν γνωστή στην ομάδα και από την πρώτη στιγμή βασικός μας στόχος ήταν η ανάπτυξη μεθοδολογιών που θα υποστηρίζονται από νέες μαθηματικές τεχνικές, αλλά ταυτόχρονα θα μπορούν να ενσωματωθούν σε βιομηχανικές ροές σχεδίασης.

Η αρχική εργασία, η οποία είχε γίνει στο χώρο της εκτίμησης των ρευμάτων με καινοτόμες στατιστικές μεθόδους (EVT), μας προσέδωσε ένα συγκριτικό πλεονέκτημα για να επιδιώξουμε να δώσουμε λύση σε διάφορα σχεδιαστικά προβλήματα των CMOS VLSI κυκλωμάτων. Αυτό έγινε με την επιλογή της μελέτης του Δικτύου Διανομής της Ισχύος (ΔΔΙ) που είχε αρχίσει να παρουσιάζει ιδιαίτερο ενδιαφέρον για μελέτη από την επιστημονική και βιομηχανική κοινότητα.

Σε πρώτη φάση χρησιμοποιήθηκαν, η μηχανή στατιστικής εκτίμησης για να προσδιοριστούν τα ρεύματα σε δοκιμαστικά κυκλώματα και μέθοδοι βελτιστοποίησης με στόχο να υπολογιστούν τα βέλτιστα πλάτη των γραμμών τροφοδοσίας και γείωσης αντίστοιχα. Η συγκεκριμένη εργασία είναι ιδιαίτερα σημαντική, γιατί μπορεί να βελτιστοποιήσει την χρήση του μετάλλου στο κύκλωμα, να βοηθήσει το σχεδιαστή προσφέροντας σημαντικές πληροφορίες για το κύκλωμα και να οδηγήσει συνολικά σε μια νέα αντιμετώπιση και μεθοδολογία σχεδίασης που λαμβάνει υπόψη την παράμετρο της ζήτησης ρεύματος, αλλά και της πτώσης τάσης.

Η εκτεταμένη εργασία μας με δομές ΔΔΙ δένδρου, αλλά και γράφου μας οδήγησε στο να δείξουμε ότι μια τέτοια μεθοδολογία θα μπορούσε να προσφέρει σημαντικά αποτελέσματα, να μειώσει τη χρήση του μετάλλου, να ελευθερώσει σημαντικό χώρο για την όδευση άλλων κρίσιμων σημάτων και να αναγνωρίσει σημεία της σχεδίασης που εμφανίζουν ιδιαίτερες απαιτήσεις. Στο σημείο αυτό έγινε η διαπίστωση ότι είναι απαραίτητη η αναβάθμιση της στατιστικής μηχανής, αλλά και η ένταξη της μεθοδολογίας σε μια βιομηχανική ροή σχεδίασης.

Χρονικά, οι διαπιστώσεις αυτές συμπίπτουν με την έναρξη της υποβολής της πρότασης για στήριξη από το πρόγραμμα ΠΕΝΕΔ 2003, αλλά και την ανάπτυξη ενός CMOS VLSI ολοκληρωμένου στο εργαστήριο ηλεκτρονικής. Στο σημείο αυτό ξεκινά και η συνεργασία με την ελληνική εταιρεία εργαλείων CAD, HELIC SA, η οποία συμμετέχει στο ΠΕΝΕΔ, όπου τίθεται σε εφαρμογή μια στενή συνεργασία για την προώθηση της ιδέας και την υλοποίηση της με βιομηχανικά πρότυπα.

Σε σύντομο χρονικό διάστημα αρχίζει η εγκατάσταση όλων των βασικών εργαλείων και αποφασίζεται η ανάπτυξη της πρώτης ροής σχεδίασης. Στη φάση αυτή γίνεται αναβάθμιση της στατιστικής μηχανής και υλοποίηση της με γλώσσα C. Η ροή αυτή ακολουθεί όλα τα βιομηχανικά πρότυπα και έχει ως σκοπό να εντάξει τα αποτελέσματα μας σε ένα ενιαίο περιβάλλον, γνώριμο σε μεγάλο πλήθος μηχανικών. Η επιλογή

των εργαλείων της εταιρείας CADENCE ήταν ιδιαίτερα σημαντική και η υλοποίηση της ροής βασίστηκε σε καθαρά βιομηχανικά πρότυπα ενός σχεδιαστή αναλογικών κυκλωμάτων. Αν και αργότερα, αυτό δεν ήταν ιδιαίτερα ευέλικτο σχήμα, μας έδωσε τη δυνατότητα να εισαχθούμε στο κόσμο των βιομηχανικών εργαλείων με τον καλύτερο εκπαιδευτικό, αλλά και παραγωγικό τρόπο. Η εργασία, στην πλατφόρμα αυτή, ενίσχυσε τις γνώσεις μας σε βασικές αρχές των ροών σχεδίασης, βελτίωσε τις προγραμματιστικές μας ικανότητες και το ευτυχές ήταν ότι κατάφερε να μας προσφέρει και πειραματικά αποτελέσματα. Καταλήξαμε λοιπόν, να διαθέτουμε μια βελτιωμένη στατιστική μηχανή, μια μοντελοποίηση του προβλήματος που είχε πλέον αναπτυχθεί πλήρως, εμπειρία από τις δυνατότητες των βιομηχανικών εργαλείων και μια εικόνα από πειραματικά δεδομένα.

Τα νέα αυτά στοιχεία συνέπεσαν με την ανάδειξη του προβλήματος της μελέτης του ΔΔΙ, από τα έγκυρα επιστημονικά συνέδρια, με την ένταξη στο πρόγραμμα τους σχετικών ενοτήτων. Πλέον, είχε ξεκαθαρίσει για εμάς το τοπίο και μετά από νέο κύκλο συζητήσεων και εργασιών αποφασίσαμε να αναπτύξουμε τη δεύτερη ροή σχεδίασης που θα βελτιώνει σημαντικά όλα τα προβλήματα, αλλά και θα κάλυπτε τις νέες απαιτήσεις της βιομηχανίας. Ήταν λοιπόν, κρίσιμο να αναπτυχθεί μια νέα έκδοση που θα διατηρούσε τις βασικές προτυποποιήσεις, θα είχε τη βασική δομή, αλλά θα είχε ψηφιακό χαρακτήρα και θα ήταν όπως το απαιτούσε η τεχνολογική μόδα, δηλαδή ένα «μαύρο κουτί» - “black box”.

Η νέα ροή διαθέτει νέα χαρακτηριστικά και πλέον ανοίγεται και στα βιομηχανικά εργαλεία της εταιρείας SYNOPSIS, που διαθέτει σημαντική τεχνολογία στο ψηφιακό πεδίο. Τα αποτελέσματα είναι ενθαρρυντικά και το εξαιρετικά θετικό είναι μια ροή καθαρά ψηφιακή με τη δυνατότητα να ενσωματώσει διάφορα εργαλεία. Η στατιστική μηχανή είναι και σε αυτό το σημείο βελτιωμένη και προσφέρει έγκυρες εκτιμήσεις για την ανάλυση του δικτύου. Τα αποτελέσματα της ροής αυτής είναι αξιοποιήσιμα και πλέον υπάρχει μια πλατφόρμα, η οποία μπορεί να μελετήσει με αυτοματοποιημένο τρόπο το ΔΔΙ ενός ΟΚ, αλλά και να αποτελέσει μια πλατφόρμα ανάπτυξης νέων εργαλείων.

Η ανάπτυξη νέων εργαλείων μπορεί να επιτευχθεί με τη συνέργεια διάφορων εργαλείων. Η εργασία μας στην ανάπτυξη ροών για τη μελέτη του ΔΔΙ αποτελεί το εφαλτήριο για την ένταξη των αποτελεσμάτων του παράλληλου υποέργου που περιγράφηκε στην πρόταση του προγράμματος ΠΕΝΕΔ 2003. Στην επόμενη ενότητα, θα συμπληρώσουμε τα συμπεράσματα μας και τις δυνατότητες ανάπτυξης των μελλοντικών εργασιών που μπορούν να ενταχθούν στην παρούσα πλατφόρμα.

4.5. ΜΕΛΛΟΝΤΙΚΕΣ ΕΠΕΚΤΑΣΕΙΣ

Οι μελλοντικές επεκτάσεις συμπληρώνουν τα συμπεράσματα μιας εργασίας, αλλά φανερώνουν και τις αδυναμίες ενός συστήματος. Η εργασία, που αναπτύχθηκε στο κείμενο αυτό, επιδέχεται πολλές και σημαντικές βελτιώσεις που θα μπορούσαν να προσφέρουν ένα πιο ολοκληρωμένο εργαλείο.

Αξίζει επίσης να αναφερθεί ότι, η συγκεκριμένη ροή σχεδίασης είναι σε θέση να ενσωματώσει τα εργαλεία που αναπτύχθηκαν στο παράλληλο υποέργο και με τις απαραίτητες δέσμες ενεργειών να προσφέρει νέα εργαλεία στο μηχανικό. Στο σημείο αυτό, είναι σημαντικό να αναφέρουμε ότι σχετικές εφαρμογές των εργαλείων έχουν αναπτυχθεί και τα αποτελέσματα είναι πολύ ενθαρρυντικά.

Επίσης, είναι σχεδιασμένη με τέτοιο τρόπο, ώστε να μπορεί να ενσωματώσει τα καινοτόμα εργαλεία που προσφέρει η συνεργαζόμενη εταιρεία HELIC SA και να παρέχει μια νέα ροή σχεδίασης που μπορεί να αντιμετωπίσει πιο αποτελεσματικά τις πτώσεις τάσης από το φαινόμενο Ldi/dt.

Η υποστήριξη της εργασίας αυτής και η περαιτέρω χρηματοδότηση της, μπορεί να οδηγήσει σε εμπορικά βιομηχανικά εργαλεία, τα οποία θα είναι σε θέση να προσφέρουν στους μηχανικούς όλες τις απαραίτητες πληροφορίες για τη βελτίωση των σχεδιάσεων τους.

ΒΙΒΛΙΟΓΡΑΦΙΑ

A

- [Abramowitz] M. Abramowitz and I. Stegun, "Handbook of Mathematical Functions", Dover, 1964.

B

- [Boyd01] S. Boyd, L. Vandenberghe, and A. Gamal, "Design of robust power and ground networks", ACM/IEEE Int. Symp. Physical Design, 2001.
- [Black] J. Black, "Electromigration failure modes in aluminum metallization for semiconductor devices", Proc. IEEE, vol. 57, pp. 1587-1594, 1969.
- [Bakoglu] H. Bakoglu, : "Circuits, Interconnections and Packaging for VLSI", Addison-Wesley, 1990.
- [Bobba] S. Bobba, T. Thorp, K. Aingaran, and D. Liu, "IC power distribution challenges", IEEE/ACM Int. Conf. Computer-Aided Design, 2001.

C

- [Chowdhury87] S. Chowdhury and M. Breuer, "Minimal area design of power/ground nets having graph topologies", IEEE Trans. Circuits and Systems, vol. 34, pp. 1441-1450, 1987.
- [Chowdhury88] S. Chowdhury and M. Breuer, "Optimum design of IC power/ground nets subject to reliability constraints", IEEE Trans. Computer-Aided Design, vol. 7, pp. 787-796, 1988.
- [Chatterjee] P. Chatterjee, W. Hunter, A. Amerasekera, S. Aur, C. Duvvury, P. Nicollian, L. Ting, and P. Yang, "Trends for deep submicron VLSI and their implications for reliability", IEEE Int. Reliability Physics Symp., 1995.
- [Castillo] E. Castillo, Extreme Value Theory in Engineering, Academic Press, 1988.
- [Chowdhury90] S. Chowdhury and J. Barkatullah, "Estimation of maximum currents in MOS IC logic circuits", IEEE Trans. Computer-Aided Design, vol. 9, pp. 642-654, 1990.

D

- [Dutta92] R. Dutta and M. Marek-Sadowska, "Algorithm for wire sizing of power and ground networks in VLSI designs", J. Circuits, Systems and Computers, vol. 2, pp. 141-157, 1992.
- [D'Heurle] F. D'Heurle, "Electromigration and failure in electronics: an introduction", Proc. IEEE, vol. 59, pp. 1409-1418, 1971.

- [Dharchoudhury] A. Dharchoudhury, R. Panda, D. Blaauw, R. Vaidyanathan, B. Tutuianu, and D. Bearden, "Design and analysis of power distribution networks in PowerPC microprocessors", ACM/IEEE Design Automation Conf., 1998.
- [Ding] C. Ding, Q. Wu, C. Hsieh, and M. Pedram, "Statistical estimation of the cumulative distribution function for power dissipation in VLSI circuits", ACM/IEEE Design Automation Conf., 1997.

E

- [Evmorfopoulos02] N. Evmorfopoulos, G. Stamoulis, and J. Avaritsiotis, "A Monte Carlo approach for maximum power estimation based on extreme value theory", IEEE Trans. Computer-Aided Design, vol. 21, pp. 415-432, 2002.
- [Evmorfopoulos06] N. Evmorfopoulos, D.P. Karampatzakis, and G.I. Stamoulis, "Precise Identification of the Worst-Case Voltage Drop Conditions in Power Grid Verification", ICCAD '06.

F

- [Fjeldly] T. Fjeldly and M. Shur, "Threshold voltage modeling and the subthreshold regime of operation of short-channel MOSFETs", IEEE Trans. Electron Devices, vol. 40, pp. 137-145, 1993.
- [Fletcher] R. Fletcher, Practical Methods of Optimization, 2nd ed., Wiley, 1987.

G

- [Glasser] L. Glasser and D. Dobberpuhl, The Design and Analysis of VLSI Circuits, Addison-Wesley, 1985.
- [Galambros] J. Galambos, The Asymptotic Theory of Extreme Order Statistics, 2nd ed., Krieger, 1987.
- [Gill] P. Gill, W. Murray, and M. Wright, Practical Optimization, Academic Press, 1981.

H

- [Hashimoto] Effects of On-chip Inductance on Power Distribution Grid, Atsushi Muramatsu Kyoto Univ., Masanori Hashimoto Osaka Univ., Hidetoshi Onodera Kyoto Univ., hasimoto@ist.osaka-u.ac.jp.
- [Harris] CMOS VLSI Design, A Circuits and Systems Perspective, Third Edition, 2005
- [Hedenstierna] N. Hedenstierna and K. Jeppson, "CMOS circuit speed and buffer optimization", IEEE Trans. Computer-Aided Design, vol. 6, pp. 270-281, 1987.
- [Hill] A. Hill, C. Teng, and S. Kang, "Simulation-based maximum power estimation", IEEE Int. Symp. Circuits and Systems, 1996.

K

- [Kang] S. Kang and Y. Leblebici, CMOS Digital Integrated Circuits: Analysis and Design, 2nd ed., McGraw-Hill, 1999.

- [Kriplani] H. Kriplani, F. Najm, and I. Hajj, "Pattern independent maximum current estimation in power and ground buses of CMOS VLSI circuits: algorithms, signal correlations and their resolution", IEEE Trans. Computer-Aided Design, vol. 14, pp. 998-1012, 1995.
- [Koziri07] Μ. Κοζύρη, «Αλγόριθμοι και υλοποίηση για πρόβλεψη Macroblock στο πρότυπο κωδικοποίησης video H.264», Διδακτορική Διατριβή, Π.Θ., Επιβλ. Καθηγητής Γ.Σταμούλης, 2007.
- L
- [Lin] S. Lin and N. Chang, "Challenges in power-ground integrity", IEEE/ACM Int. Conf. Computer-Aided Design, 2001.
- [Kouroussis] D. Kouroussis and F. Najm, "A static pattern-independent technique for power grid voltage integrity verification", ACM/IEEE Design Automation Conf., 2003.
- N
- [Nose] K. Nose and T. Sakurai, "Analysis and future trend of short-circuit power", IEEE Trans. Computer-Aided Design, vol. 19, pp. 1023-1030, 2000.
- [Najm] F. Najm, "Transition density: a new measure of activity in digital circuits", IEEE Trans. Computer-Aided Design, vol. 12, pp. 310-324, 1993.
- [Najm98] F. Najm and M. Xakellis, "Statistical estimation of the switching activity in VLSI circuits", VLSI Design, vol. 7, pp. 289-301, 1998.
- [Najm93] F. Najm, "Transition density: a new measure of activity in digital circuits", IEEE Trans. Computer-Aided Design, vol. 12, pp. 310-324, 1993.
- P
- [Pened03] Τεχνικό Δελτίο της πρότασης για το Έργο ΓΓΕΤ-ΠΙΕΝΕΔ 2003, Γ. Σταμούλης, Ν. Ευμορφόπουλος και Δ. Καραμπατζάκης
- [Pcompiler] Power Compiler Reference Manual, SYNOPSYS, www.synopsys.com
- [Papoulis] A. Papoulis, Probability, Random Variables and Stochastic Processes, 4th ed., McGraw-Hill, 2001.
- [Pillage] L. Pillage, R. Rohrer, and C. Visweswariah, Electronic Circuit and System Simulation Methods, McGraw-Hill, 1995.
- [Powell] M. Powell, "Variable metric methods for constrained optimization", in A. Bachem, M. Grottschel, and B. Korte (eds.), Mathematical Programming: The State of the Art, Springer, 1983.

[Pedram] M. Pedram, S. Nazarian, Thermal Modeling, Analysis and Management in VLSI Circuits: Principles and Thermal Modeling, Proceedings of the IEEE, Volume 94, Issue 8, Aug. 2006
Page(s):1487 - 1501

Q

[Qian] H. Qian, S. Nassif, and S. Sapatnekar, “Early-stage power grid analysis for uncertain working modes”, ACM/IEEE Int. Symp. Physical Design, 2004.

R

[Rao] C. Rao, Linear Statistical Inference and its Applications, 2nd ed., Wiley, 1973.

[Resnick] S. Resnick, Extreme Values, Regular Variation and Point Processes, Springer, 1987.

S

[SIA] SIA – ITRS, public.itrs.net

[SIA08] ITRS 2008, SYSD6 SOC Consumer Portable Power Consumption Trends

[Sedra] A.Sedra and K. Smith, Microelectronic Circuits, 4th ed., Oxford, 1997.

[Steele] G. Steele, D. Overhauser, S. Rochel, and S. Hussain, “Full-chip verification methods for DSM power distribution systems”, ACM/IEEE Design Automation Conf., 1998.

T

[Tan99] X. Tan, C. Shi, D. Lungeanu, J. Lee, and L. Yuan, “Reliability-constrained optimization of VLSI power/ground networks via sequence of linear programmings”, ACM/IEEE Design Automation Conf., 1999.

[Tan01] X. Tan and C. Shi, “Fast power/ground network optimization based on equivalent circuit modeling”, ACM/IEEE Design Automation Conf., 2001.

[Turgis] S. Turgis, N. Azemard, and D. Auvergne, “Explicit evaluation of short circuit power dissipation for CMOS logic structures”, ACM/IEEE Int. Symp. Low Power Design, 1995.

[Tsividis] Y. Tsividis, Operation and Modeling of the MOS Transistor, 2nd ed., McGraw-Hill, 1998.

V

[Veendrick] H. Veendrick, “Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits”, IEEE J. Solid State Circuits, vol. 19, pp. 468-473, 1984.

W

[Weste] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design: A Systems Perspective, 2nd ed., Addison-Wesley, 1993.

- [Woods] M. Woods, "MOS VLSI reliability and yield trends", Proc. IEEE, vol. 74, pp. 1715-1729, 1986.
- [Wang] C. Wang and K. Roy, "Maximum power dissipation for CMOS circuits using deterministic and statistical approaches", IEEE Trans. VLSI Systems, vol. 6, pp. 134-140, 1998.
- [Wu] Q. Wu, Q. Qiu, and M. Pedram, "Estimation of peak power dissipation in VLSI circuits using the limiting distributions of extreme order statistics", IEEE Trans. Computer-Aided Design, vol. 20, pp. 942-956, 2001.

ΠΑΡΑΡΤΗΜΑ Α

Παράδειγμα Υπολογισμού της Ισχύος Κελιού

Θεωρήστε, μια σχεδίαση με συχνότητα μεταγωγής 100 MHz. Χρησιμοποιούμε την εξίσωση για να υπολογίσουμε την κατανάλωση ισχύος μιας πύλης NAND 2-εισόδων με τιμή fanout 4 και με τις παρακάτω τιμές για την μεταγωγή από το pin A1 στο Pin Z.

$$E_{rise} = 0.0006pJ \text{ (from pin B to pin CO)}$$

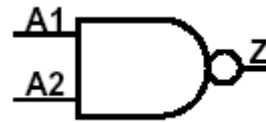
$$E_{fall} = 0.0008pJ \text{ (from pin B to pin CO)}$$

$$C_{fanout} = 4 \cdot 0.005pF = 0.02pF$$

$$V = 1.5V$$

$$F_{switching} = 100MHz$$

$$P_{static} = 2.335 \mu W$$



Σύμφωνα με την παραπάνω σχέση, η κατανάλωση ισχύος της πύλης NAND είναι:

$$P_{diss} = (0.0006 + 0.0008 + (0.02 \cdot 1.5^2)) \cdot 100 + 2.335$$

Άρα:

$$P_{diss} = 0.0464 \cdot 100 + 2.335 \Rightarrow$$

$$P_{diss} = 6.975 \mu W.$$

ΠΑΡΑΡΤΗΜΑ Β

ΔΗΜΟΣΙΕΥΣΕΙΣ

Journals

[1]. “Accurate Minimum Area Design of Power/Ground Meshes Subject to Voltage-Drop Constraints”, N.E. Evmorfopoulos D.P. Karampatzakis G. I. Stamoulis, IEEE JAPED, Vol. 2, 2006.

Conferences

[2]. “Voltage-Drop-Constrained Optimization of Power Distribution Network Based on Reliable Maximum Current Estimates”, N. Evmorfopoulos D.P. Karampatzakis G.I. Stamoulis, ICCAD ‘04.

[3]. “A Statistically-Based Engine for P/G Network Optimization”, *D.P. Karampatzakis* N.E. Evmorfopoulos and G. I. Stamoulis, IEEE PRIME ‘05.

[4]. “An RTL-to-Grid Design Flow for Power Grid Verification Based on a Statistical Estimation Engine”, *D.P. Karampatzakis* N.E. Evmorfopoulos M.K. Tsiampas and G. I. Stamoulis, IEEE PRIME ‘06.

[5]. “Precise Identification of the Worst-Case Voltage Drop Conditions in Power Grid Verification”, N. Evmorfopoulos D.P. Karampatzakis G.I. Stamoulis, ICCAD ‘06.

[6]. “A Design Flow for the Precise Identification of the Worst-Case Voltage Drop in Power Grid Analyses”, *D.P. Karampatzakis* M.K. Tsiampas N.E. Evmorfopoulos and G. I. Stamoulis, IEEE PCI ‘08.

Citations

[1]. “Thermal Modeling, Analysis and Management in VLSI Circuits: Principles and Thermal Modeling”, M. Pedram, S. Nazarian, Proceedings of the IEEE, Volume 94, Issue 8, Aug. 2006 Page(s):1487 – 1501.


ΤΕΧΝΙΚΑ ΣΕΜΙΝΑΡΙΑ

- “Power modeling and estimation of digital circuits: Techniques and tools”, by OFFIS and ChipVision (Germany). AIT-INTRACOM, Athens.
- “Design and implementation of RF Circuits, Cadence and VeloceRF Software”, by HELIC S.A, Athens.
- “Design methodology and implementation of CAD tools, SKILL programming”, by HELIC S.A, Athens.
- NSF-SIGDA-SRC, Design Automation Summer School (DASS), Anaheim, CA.

ΠΑΡΟΥΣΙΑΣΕΙΣ

Design Automation Conference, DAC'05 (Anaheim, CA),

8th Phd Forum, Poster presenter.



University of Thessaly, Greece
 Department of Computer & Communication Engineering
I-Xtreme: A Statistically-Based Engine for P/G Network Optimization
D.P. Karampatzakis, N.E. Evmorfopoulos and G. I. Stamoulis

The IR-drop Problem

The massive power distribution networks of modern deep-submicron (130nm,90nm) VLSI circuits are particularly susceptible to a number of reliability problems, the biggest one of which is the well-known voltage drop or IR-drop problem.

This effect can have an adverse impact on circuit speed and noise margins, degrading performance (at best) or causing faulty logic signals and circuit malfunction. Therefore, a method for designing power networks to satisfy certain constraints on IR-drop while occupying the minimum silicon area is required.

Our methodology gives a new formulation of the design problem considering appropriate values of maximum currents being drawn over time and reliable estimates based on the most recent research in statistical maximum current estimation from the discipline of Extreme Value Theory (EVT).

Problem Formulation

We model the P/G network as a linear resistive circuit with time-varying current sources in place of major functional blocks of the IC. According to the MVA, the vector of instantaneous voltages $V(t)$ at all nodes is determined by the instantaneous currents required by the blocks and the specific network structure, and is given by the following matrix equation:

$$G \cdot V(t) = I(t) \quad (1)$$

The respective IR-drop constraints must be formulated in such way that the voltage difference at all leaf nodes k remains below a safety threshold voltage V_G at any time instant t . In order to fulfill this time-related requirement we must replace the time-varying currents $I_k(t)$ at all leaves by some constant worst-case values. The formulation here will employ maximum currents for all blocks at the leaves as estimated by EVT. Having fixed the time dependency via the vector of currents $I(t)$, the desired IR-drop constraints can be expressed as functions of the widths w by solving (1) with respect to vector V and then extracting the specific components V_k that correspond to the leaf nodes. Thus, the rigorous problem formulation becomes:

$$\begin{cases} \min A(w) & \text{s.t.} \\ V_{\text{min}} - V_k(w) \leq V_G \end{cases} \quad A(w) = I^T \cdot W = \sum_{i=1}^n w_i$$

I-Xtreme Engine

I-Xtreme Flow

Based on the above problem formulation the power grid optimization procedure comprises of the following steps. The first step is to simulate the circuit under random input vectors with a Fast Spice simulator, in order to obtain appropriate values of cycle-accurate maximum currents for each functional block.

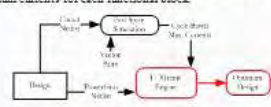


Figure 1. I-Xtreme Optimization Flow

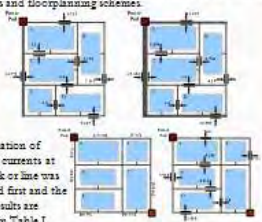
The next step is the estimation of overall maximum currents which is performed using *EVT (I-Xtreme Engine)*. The final step is the application of a suitable numerical algorithm to the constrained optimization problem. The proposed flow is shown in figure 1.

Topology	Number of pins	L _{max}	Average Power (mW)		Confidence Interval			Relative estimation error		
			E _{avg}	E _{max}	95%	90%	80.0%	95%	90%	80.0%
Tree	6000	100	E _{avg}	497.00	47.366	220.00	22.000	100.00	4.70	0.00%
			E _{max}	775.00	228.200	222.00	22.000	100.00	6.76	10.0%
			E _{max}	79.00	220.00	22.000	2.000	100.00	6.76	10.0%
Tree	6000	100	E _{avg}	270.00	70.000	40.000	4.000	27.00	1.00	10.0%
			E _{max}	370.00	210.00	210.00	21.000	100.00	6.76	10.0%
			E _{max}	27.00	210.00	21.000	2.100	100.00	6.76	10.0%
Grid	6000	100	E _{avg}	222.00	222.00	22.000	2.200	4.40	10.0%	
			E _{max}	222.00	70.776	40.000	4.000	22.00	1.00	10.0%
			E _{max}	100.00	22.000	2.200	0.220	100.00	6.76	10.0%

Table 1. Results for the estimated values of maximum current along the major distribution lines (branches).

Results

The circuit selected for the experimental validation of the method was the c6288 of the ISCAS85 benchmark suite. The circuit was implemented in a contemporary of 0.13 microns supply voltage $V_{DD}=1.2V$ and was broken up into 5 major functional blocks that were arranged in different topologies and floorplanning schemes.



The estimation of maximum currents at each block or line was performed first and the derived results are reported in Table 1.




Figure 2. Grids networks with one and 2 grids (R drop tolerance 0.12V, Voltage gain 100).

Some circuit topologies and the initial and optimized power grids with the new optimum line, branch widths are shown in figures 2 and 3.

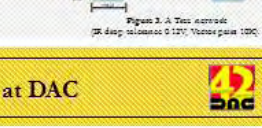



Figure 3. A 2-Tree network (R drop tolerance 0.12V, Voltage gain 100).



8th SIGDA Ph.D. Forum at DAC

