



ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

Πολυτεχνική Σχολή

**Τμήμα Μηχανικών Ηλεκτρονικών Υπολογιστών
Τηλεπικοινωνιών και Δικτύων**

**Σχεδίαση Ολοκληρωμένων Μετατροπών Ισχύος
Ραδιοσυχνοτήτων (RF) σε Ισχύ Συνεχούς (DC)**

Διδακτορική Διατριβή

**Γεώργιος Τ. Γιάννακας
Φυσικός Ραδιοηλεκτρολόγος ΕΚΠΑ**

Λαμία, Φεβρουάριος 2012



ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

Πολυτεχνική Σχολή

**Τμήμα Μηχανικών Ηλεκτρονικών Υπολογιστών
Τηλεπικοινωνιών και Δικτύων**

**Σχεδίαση Ολοκληρωμένων Μετατροπών Ισχύος
Ραδιοσυχνοτήτων (RF) σε Ισχύ Συνεχούς (DC)**

Διδακτορική Διατριβή

Γεώργιος Τ. Γιάννακας

Συμβουλευτική Επιτροπή:

- 1) Σταμούλης Γεώργιος, Καθηγητής ΤΜΗΥΤΔ (Επιβλέπων)
- 2) Δόλλας Απόστολος, Καθηγητής ΗΜΜΥ
- 3) Πνευματικάτος Διονύσιος, Καθηγητής ΗΜΜΥ

UNIVERSITY OF THESSALY

**Department of Computer &
Communication Engineering – CCED**

**“DESIGN OF INTEGRATED
RF TO DC
POWER CONVERTERS”**

GIANNAKAS T. GEORGE

2012

Εγκρίθηκε από την επταμελή εξεταστική επιτροπή την **9^η Μαρτίου 2012**.

.....
Γ.Σταμούλης
Καθηγητής Π.Θ.

.....
Δ.Πνευματικάτος
Καθηγητής ΗΜΜΥ

.....
Απ. Δόλλας
Καθηγητής ΗΜΜΥ

.....
Γ. Αλεξίου
Καθηγητής ΜΗΥΠ

.....
Αλ. Μπίρμπας
Αν. Καθηγητής ΗΜΤΥ

.....
Ι. Μούντανος
Αν.Καθηγητής Π.Θ.

.....
Ν.Ευμορφόπουλος
Λέκτορας Π.Θ.

.....
Γεώργιος Τ. Γιάννακας
Φυσικός Ραδιοηλεκτρολόγος (P/H)
Λαμία, Λεβαδείας 3, ΤΚ 35100
Τηλ. 2231036841 - 6972021795
Email: ggiannac@inf.uth.gr

Copyright © Γεώργιος Τ. Γιάννακας, 2012
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς το συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν το συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Πανεπιστημίου Θεσσαλίας.

Σκοπός λευκή σελίδα

Ευχαριστήρια

Η παρούσα διατριβή αποτελεί το αποτέλεσμα της ερευνητικής μου προσπάθειας που πραγματοποιήθηκε στο Τμήμα Μηχανικών Η/Υ, Τηλεπικοινωνιών και Δικτύων, της Πολυτεχνικής Σχολής του Πανεπιστημίου Θεσσαλίας. Ολοκληρώνοντας μια προσπάθεια πολλών χρόνων, νιώθω την ανάγκη να ευχαριστήσω όσους συνέβαλαν στην ολοκλήρωσή της.

Καταρχάς επιθυμώ να εκφράσω τις θερμές μου ευχαριστίες προς τον Επιβλέποντα της παρούσας διατριβής, καθηγητή Σταμούλη Γεώργιο, τόσο για την εμπιστοσύνη που εξ'αρχής μου έδειξε αποδεχόμενός με ως υποψήφιο για εκπόνηση διατριβής σε ένα τόσο πρωτότυπο και ιδιαίτερα ενδιαφέρον ερευνητικά θέμα, όσο και για την επιστημονική του καθοδήγηση και συναισθηματική υποστήριξή του.

Επίσης θέλω θερμά να ευχαριστήσω τον Δρ. Δημητρώπουλο Παναγιώτη για την πολύτιμή του βοήθεια, στα πρώτα χρόνια της διατριβής, στο να προσεγγίσω σωστά το θέμα της αλλά και να εστιάσω στα πραγματικά άλυτα επιστημονικά προβλήματά του. Σημαντική ήταν και η βοήθεια του Δρ. Καραμπατζάκη Δημητρίου, ειδικά σε θέματα σχετικά με την πλατφόρμα σχεδίασης και εξομοίωσης ολοκληρωμένων κυκλωμάτων Cadence® και τον ευχαριστώ ιδιαίτερα.

Δε θα μπορούσα όμως να μην ευχαριστήσω ιδιαίτερα, τον Δρ. Πλέσσα Φώτιο, που χωρίς τη δική του αμέριστη συμπαράσταση, εποικοδομητική κριτική, γενναιοδωρία διάθεσης χρόνου αλλά και άριστη συνεργασία σε όλα τα επίπεδα της ερευνητικής αναζήτησης, δε θα ήταν ίσως εφικτή η ολοκλήρωση αυτής της διατριβής.

Επίσης ιδιαίτερα σημαντική ήταν και η συμβολή των υποψήφιων διδασκόντων του τμήματος, μέσα από τις εποικοδομητικές επιστημονικές μας συζητήσεις, τις παρατηρήσεις τους αλλά και τη συνεισφορά τους στην εύρεση απαντήσεων σε πολλά και δύσκολα ερωτήματα που ενέσκηπταν στη διάρκεια της έρευνάς μου.

Τέλος, ιδιαίτερα ευχαριστώ τη γυναίκα μου και τα παιδιά μου, που έδειξαν αμέτρητη υπομονή και ανοχή, στις πολυάριθμες ώρες ενασχόλησής μου εκπονώντας τη διατριβή, κλέβοντας αναγκαστικά πολύτιμο χρόνο από την κοινή μας οικογενειακή ζωή. Δίχως την συμπαράσταση και ενθάρρυσή τους η παρούσα εργασία δε θα είχε ποτέ περατωθεί.

Γιώργος Γιάννακας

Λαμία 2012

*Αφιερωμένο στα
παιδιά μου*

Τίμο και Μαίρη

ΠΕΡΙΕΧΟΜΕΝΑ ΚΕΦΑΛΑΙΩΝ

ΕΥΧΑΡΙΣΤΗΡΙΑ	VII
ΠΕΡΙΛΗΨΗ (ABSTRACT)	XIV (XXII)
1. ΕΙΣΑΓΩΓΗ	1
1.1 «ΈΝΑΣ ΑΣΥΡΜΑΤΟΣ ΚΟΣΜΟΣ».....	1
1.2 ΠΕΡΙΓΡΑΦΜΑ ΤΗΣ ΔΙΑΤΡΙΒΗΣ (THESIS OUTLINE)	2
2. ΙΣΤΟΡΙΑ ΤΗΣ «ΕΝΕΡΓΕΙΑΚΗΣ ΣΥΓΚΟΜΙΔΗΣ»	5
2.1 «ΑΠΟ ΤΟ Ν. TESLA ΣΤΟ ΣΗΜΕΡΑ, 100+ ΧΡΟΝΙΑ ΜΕΤΑ».....	5
2.2 ΕΝΑΛΛΑΚΤΙΚΟΙ ΤΡΟΠΟΙ ΕΝΕΡΓΕΙΑΚΗΣ ΣΥΓΚΟΜΙΔΗΣ	7
2.3 ΣΤΟΙΧΕΙΑ ΑΠΟΘΗΚΕΥΣΗΣ ΤΗΣ ΕΝΕΡΓΕΙΑΣ.....	10
2.3.1 <i>Επαναφορτιζόμενες Μπαταρίες</i>	11
2.3.2 <i>Supercapacitors</i>	13
2.4 ΜΕΤΑΤΡΟΠΕΙΣ ΕΝΕΡΓΕΙΑΣ (RF TO DC & DC TO DC)	14
3. ΑΣΥΡΜΑΤΗ ΤΑΥΤΟΠΟΙΗΣΗ - RFIDS	16
3.1 ΕΙΣΑΓΩΓΗ ΣΤΑ RFIDS	16
3.1.1 <i>Παθητικά RFIDs</i>	17
3.1.2 <i>Ενεργά RFIDs</i>	19
3.1.3 <i>Ημπαθητικά RFIDs</i>	19
3.2 RFIDS ΠΟΛΛΑΠΛΩΝ ΛΕΙΤΟΥΡΓΙΩΝ – ΕΜΒΕΛΕΙΑ (RANGE).....	20
3.3 ΔΙΑΔΟΣΗ Η/Μ ΑΚΤΙΝΟΒΟΛΙΑΣ (FAR-FIELD)	23
3.4 ΑΠΟΣΒΕΣΗ ΔΙΑΔΟΣΗΣ ΕΛΕΥΘΕΡΟΥ ΧΩΡΟΥ (FSPL) – ΥΠΟΛΟΓΙΣΜΟΙ ΖΕΥΞΗΣ READER → TAG (FORWARD LINK BUDGET)	26
3.5 ΥΠΟΛΟΓΙΣΜΟΙ ΖΕΥΞΗΣ TAG→READER (BACKWARD LINK).....	30
4. ΠΡΟΣΑΡΜΟΓΗ ΕΜΠΕΔΗΣΕΩΝ (IMPEDANCE MATCHING) – ΥΠΕΡΤΑΣΗ ΣΥΝΤΟΝΙΣΜΟΥ (RESONANCE BOOSTING)	37
4.1 ΠΡΟΣΑΡΜΟΓΗ ΣΥΝΘΕΤΗΣ ΑΝΤΙΣΤΑΣΗΣ, ΙΣΧΥΟΣ, ΘΟΡΥΒΟΥ.....	37
4.2 ΘΕΩΡΙΑ (ΟΡΙΟ) BODE-FANO	39
4.3 ΜΕΘΟΔΟΙ ΠΡΟΣΑΡΜΟΓΗΣ ΕΜΠΕΔΗΣΕΩΝ – L-MATCH.....	44
4.4 ΚΥΚΛΩΜΑΤΑ ΣΥΝΤΟΝΙΣΜΟΥ (ΦΑΙΝΟΜΕΝΟ ΥΠΕΡΤΑΣΗΣ).....	48
4.5 ΜΟΝΤΕΛΟ ΥΠΟΛΟΓΙΣΜΟΥ ΤΟΥ ΟΛΙΚΟΥ (LOADED) Q_T ΓΙΑ ΤΟ ΣΥΝΟΛΙΚΟ ΚΥΚΛΩΜΑ «ΚΕΡΑΙΑΣ/ΣΥΝΤΟΝΙΣΤΗ-ΑΝΟΡΘΩΤΗ».....	51
4.6 ΥΠΟΛΟΓΙΣΜΟΙ ΕΜΒΕΛΕΙΑΣ (R) ΚΑΙ ΑΠΟΔΟΣΕΩΝ ΜΕΤΑΤΡΟΠΗΣ ΤΑΣΗΣ (VCE) ΚΑΙ ΙΣΧΥΟΣ (PCE).....	59
5. ΚΑΤΩΦΛΙ ΤΑΣΗΣ V_{TH} (VOLTAGE THRESHOLD) ΤΩΝ MOS TRANSISTORS ΚΑΙ ΟΙ ΤΕΧΝΙΚΕΣ ΕΛΑΤΤΩΣΗΣ ΤΟΥ	64
5.1 ΒΑΣΙΚΑ ΣΤΟΙΧΕΙΑ ΤΩΝ MOS TRANSISTORS	64
5.2 ΤΕΧΝΙΚΕΣ ΕΛΑΤΤΩΣΗΣ ΤΟΥ THRESHOLD.....	70
5.2.1 <i>Back- or 2nd- gated (Bulk Driven) MOSFETs</i>	71
5.2.2 <i>Floating Gate MOSFETs (FGMOS)</i>	75
6. ΑΝΟΡΘΩΤΕΣ (ΜΕΤΑΤΡΟΠΕΙΣ RF→DC) ΚΑΙ ΒΟΗΘΗΤΙΚΑ ΚΥΚΛΩΜΑΤΑ ΑΥΤΩΝ (RECTIFIERS, CONVERTERS RF-DC)	79

6.1 Η ΑΝΟΡΘΩΣΗ (RECTIFICATION) ΩΣ ΜΕΤΑΤΡΟΠΗ ΤΗΣ ΙΣΧΥΟΣ ΡΑΔΙΟΣΥΧΝΟΤΗΤΩΝ (RF) ΣΕ ΙΣΧΥ ΣΥΝΕΧΟΥΣ (DC).....	79
6.2 ΤΟΠΟΛΟΓΙΑ ΑΝΟΡΘΩΤΗ “DICKSON” (VOLTAGE DOUBLER-VD).....	80
6.3 ΤΟΠΟΛΟΓΙΑ GCCR (GATE CROSS CONNECTED RECTIFIER).....	85
6.4 ΤΟΠΟΛΟΓΙΑ NVC (NEGATIVE VOLTAGE CONVERTER).....	86
6.5 ΘΕΩΡΗΤΙΚΗ ΑΝΑΛΥΣΗ ΤΗΣ ΠΡΟΤΑΘΕΙΣΑΣ ΤΟΠΟΛΟΓΙΑΣ ΕΝΟΣ PSEUDO-FG ΑΝΟΡΘΩΤΗ (PSEUDO-FLOATING GATE RECTIFIER).....	88
6.6 ΑΝΑΛΥΣΗ ΛΕΙΤΟΥΡΓΙΑΣ ΑΝΟΡΘΩΤΗ ΤΟΠΟΛΟΓΙΑΣ «DICKSON».....	90
6.7 ΑΝΑΛΥΣΗ ΤΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΑΝΟΡΘΩΤΩΝ ΜΕ MOS-SWITCHES.....	95
6.7.1 MOS-Switches and CMOS-Switches (TG-Transmission Gates).....	95
6.7.2 Ανάλυση λειτουργίας ενός Fully Cross Connected Ανορθωτή.....	98
6.7.3 CP, VD και CTS με Switches (MOS, CMOS - TG).....	102
6.8 ΚΥΚΛΩΜΑΤΑ ΥΠΟΣΤΗΡΙΞΗΣ ΚΑΙ ΠΡΟΣΤΑΣΙΑΣ ΑΝΟΡΘΩΤΩΝ.....	107
6.8.1 Κύκλωμα Παραγωγής Τάσης Αναφοράς Χάσματος Ζώνης - Bandgap Voltage References (BVR).....	107
6.8.2 Voltage Regulators (Protectors, Voltage Limiters).....	111
6.8.3 Άλλα κυκλώματα στο Analog RF Front End of RFID Tag - (POR, Backscattering Modulator, AM Demodulator-Envelope Detector, Local Oscillator-Clock Extractor, ESD Protection).....	119
7. ΕΞΟΜΟΙΩΣΕΙΣ ΚΑΙ ΠΕΙΡΑΜΑΤΙΚΕΣ ΜΕΤΡΗΣΕΙΣ	124
7.1 ΕΞΟΜΟΙΩΣΗ ΑΝΟΡΘΩΤΩΝ ΔΙΑΦΟΡΩΝ ΤΟΠΟΛΟΓΙΩΝ ΚΑΙ ΣΥΓΚΡΙΣΗ ΜΕ ΤΗΝ ΠΡΟΤΑΘΕΙΣΑ ΤΟΠΟΛΟΓΙΑ «PSEUDO-FG».....	124
7.2 ΠΕΙΡΑΜΑΤΙΚΗ ΔΙΑΤΑΞΗ ΚΑΙ ΠΕΙΡΑΜΑΤΙΚΕΣ ΜΕΤΡΗΣΕΙΣ.....	133
8. ΣΥΜΠΕΡΑΣΜΑΤΑ	150
8.1 ΠΡΟΤΑΣΕΙΣ ΓΙΑ ΠΕΡΑΙΤΕΡΩ ΕΡΕΥΝΑ.....	152
Βιβλιογραφία.....	153
Παράρτημα Α.....	158
Παράρτημα Β.....	161

ΛΙΣΤΑ ΠΙΝΑΚΩΝ

ΠΙΝΑΚΑΣ 1. ΣΥΓΚΡΙΣΗ ΕΝΑΛΛΑΚΤΙΚΩΝ ΜΕΘΟΔΩΝ ΕΝΕΡΓΕΙΑΚΗΣ ΣΥΓΚΟΜΙΔΗΣ.....	9
ΠΙΝΑΚΑΣ 2. ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΚΟΙΝΩΝ ΤΥΠΩΝ ΜΠΑΤΑΡΙΩΝ.....	11
ΠΙΝΑΚΑΣ 3. ΠΕΡΙΟΧΕΣ ΣΥΧΝΟΤΗΤΩΝ, ΧΡΗΣΕΙΣ, ΙΣΧΕΙΣ ΕΚΠΟΜΠΗΣ ΤΩΝ RFIDS.....	22
ΠΙΝΑΚΑΣ 4. ΤΑ ΟΡΙΑ ΜΕΤΑΞΥ ΚΟΝΤΙΝΟΥ-ΜΑΚΡΙΝΟΥ ΠΕΔΙΟΥ ΑΝΑ ΣΥΧΝΟΤΗΤΑ.....	24
ΠΙΝΑΚΑΣ 5. ΣΥΜΠΕΡΙΦΟΡΑ ΑΝΟΡΘΩΤΩΝ ΣΕ 1 ΚΑΙ 4 ΣΤΑΔΙΑ, ΣΕ ΔΙΑΦΟΡΕΣ ΤΟΠΟΛΟΓΙΕΣ ΚΑΙ ΥΛΟΠΟΙΗΣΕΙΣ.....	125
ΠΙΝΑΚΑΣ 6. Η ΣΥΜΠΕΡΙΦΟΡΑ ΤΟΥ ΑΝΟΡΘΩΤΗ GCCR-ZVT 20 ΣΤΑΔΙΩΝ.....	128
ΠΙΝΑΚΑΣ 7. ΣΥΓΚΡΙΣΗ ΥΛΟΠΟΙΗΣΕΩΝ ΜΑΣ ΜΕ ΑΛΛΕΣ ΑΠΟ ΤΗ ΒΙΒΛΙΟΓΡΑΦΙΑ.....	129
ΠΙΝΑΚΑΣ 8. Α. ΟΙ ΤΙΜΕΣ ΜΕΤΡΗΣΕΩΝ (ΕΞΟΜΟΙΩΣΗΣ ΚΑΙ ΠΕΙΡΑΜΑΤΙΚΕΣ) ΓΙΑ ΤΗΝ ΕΙΚΟΝΑ 7-11, Β. ΟΙ ΤΙΜΕΣ ΜΕΤΡΗΣΕΩΝ ΓΙΑ ΤΗΝ ΕΙΚΟΝΑ 7-13.....	138
ΠΙΝΑΚΑΣ 9. ΟΙ ΤΙΜΕΣ ΜΕΤΡΗΣΕΩΝ (ΕΞΟΜΟΙΩΣΗΣ ΚΑΙ ΠΕΙΡΑΜΑΤΙΚΕΣ) ΓΙΑ ΤΙΣ ΕΙΚΟΝΕΣ 7-14 ΚΑΙ 7-15.....	139
ΠΙΝΑΚΑΣ 10. ΟΙ ΤΙΜΕΣ ΜΕΤΡΗΣΕΩΝ (ΕΞΟΜΟΙΩΣΗΣ ΚΑΙ ΠΕΙΡΑΜΑΤΙΚΕΣ) ΓΙΑ ΤΗ ΣΥΜΠΕΡΙΦΟΡΑ ΤΟΥ ΣΗΜΑΤΟΣ V_{FG} ΑΠΑΙΤΟΥΜΕΝΟΥ ΓΙΑ ΤΗ ΛΕΙΤΟΥΡΓΙΑ ΤΟΥ ΠΡΟΤΑΘΕΝΤΟΣ PSEUDO-FG ΑΝΟΡΘΩΤΗ.....	140
ΠΙΝΑΚΑΣ 11. Η ΣΥΜΠΕΡΙΦΟΡΑ ΤΟΥ ΑΝΟΡΘΩΤΗ ΜΑΚΡΙΑ ΑΠΟ ΤΗΝ ΣΥΧΝΟΤΗΤΑ ΛΕΙΤΟΥΡΓΙΑΣ ΤΩΝ 2.45GHZ ΓΙΑ 2 ΤΙΜΕΣ ΠΥΚΝΩΤΩΝ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΠΡΟΣΑΡΜΟΓΗΣ – ΥΠΕΡΤΑΣΗΣ.....	146

ΛΙΣΤΑ ΕΙΚΟΝΩΝ – ΣΧΗΜΑΤΩΝ

ΕΙΚΟΝΑ 1-1. ΈΝΑ RFID ΜΕΣΑ ΣΤΟ ΜΑΤΙ ΜΙΑΣ ΒΕΛΟΝΑΣ [2] ΚΑΙ ΣΤΗΝ ΑΚΡΗ ΔΑΧΤΥΛΟΥ	1
ΕΙΚΟΝΑ 2-1 . ΤΥΠΙΚΗ ΔΙΑΤΑΞΗ ΜΙΑΣ RECTENNA	5
ΕΙΚΟΝΑ 2-2. ΑΣΥΡΜΑΤΗ ΜΕΤΑΔΟΣΗ ΕΝΕΡΓΕΙΑΣ ΜΕ ΜΑΓΝΗΤΙΚΗ ΕΠΑΓΩΓΗ (WWW.WITRICITY.COM)	7
ΕΙΚΟΝΑ 2-3. ΠΗΓΕΣ ΕΝΕΡΓΕΙΑΣ ΠΡΟΣ ΣΥΓΚΟΜΙΔΗ ΚΑΙ ΟΙ ΑΠΑΡΑΙΤΗΤΟΙ ΜΕΤΑΤΡΟΠΕΙΣ ΕΝΕΡΓΕΙΑΣ ΓΙΑ ΤΗΝ ΤΡΟΦΟΔΟΤΗΣΗ ΑΥΤΟΝΟΜΩΝ ΑΙΣΘΗΤΗΡΩΝ [10]	8
ΕΙΚΟΝΑ 2-4. ΥΒΡΙΔΙΚΟ ΣΥΣΤΗΜΑ ΔΙΑΧΕΙΡΙΣΗΣ RF ΚΑΙ ΘΕΡΜΙΚΗΣ ΕΝΕΡΓΕΙΑΣ. [23]	10
ΕΙΚΟΝΑ 3-1. (Α) ΑΝΑΠΑΡΑΣΤΑΣΗ ΣΥΣΤΗΜΑΤΟΣ RFID, (Β) PASSIVE RFIDS ΛΙΑΝΕΜΠΟΡΙΚΗΣ ΧΡΗΣΗΣ	17
ΕΙΚΟΝΑ 3-2. ΣΥΖΕΥΞΗ RFID ΚΟΝΤΙΝΟΥ (NEAR FIELD) & ΜΑΚΡΙΝΟΥ (FAR FIELD) ΠΕΔΙΟΥ [13]	18
ΕΙΚΟΝΑ 3-3. ΤΟ ΕΥΡΟΣ ΦΑΣΜΑΤΩΝ ΛΕΙΤΟΥΡΓΙΑΣ ΤΩΝ RFIDS (ISM OR NOT) [HTTP://RFIDHANDBOOK.DE], [2]	18
ΕΙΚΟΝΑ 3-4. (Α) ACTIVE RFID - [ZR-USB FROM TAG-SENSE], (Β) SEMI-PASSIVE RFID	19
ΕΙΚΟΝΑ 3-5. Η ΤΥΠΙΚΗ ΑΚΟΛΟΥΘΙΑ ΣΥΜΒΑΝΤΩΝ ΕΠΙΚΟΙΝΩΝΙΑΣ READER↔TAG (ΤΟ TAG ΑΠΟΚΡΙΝΕΤΑΙ ΜΕ ΨΗΦΙΑΚΗ ΔΙΑΜΟΡΦΩΣΗ ΠΛΑΤΟΥΣ ΑΝΑΛΟΓΙΚΟΥ ΦΕΡΟΝΤΟΣ (BASK)) [29]	20
ΕΙΚΟΝΑ 3-6. ΜΟΡΦΗ ΤΟΥ EPC ΤΩΝ 96BITS (ΜΕ 79.2 ΤΡΙΣ ΤΡΙΣ ΣΥΝΔΥΑΣΜΟΥΣ) [15]	21
ΕΙΚΟΝΑ 3-7. (Α) ΕΠΙΚΟΙΝΩΝΙΑ ΜΕ ΠΑΘΗΤΙΚΟ RFID, (Β) ΚΑΙ ΜΕ ΕΝΕΡΓΟ RFID	25
ΕΙΚΟΝΑ 3-8. ΈΝΑ ΤΥΠΙΚΟ ΣΥΣΤΗΜΑ ΕΠΙΚΟΙΝΩΝΙΑΣ RFID READER + TAG (RF FRONT END).	26
ΕΙΚΟΝΑ 3-9. Η ΙΣΧΥΣ (ΑΠΟ -50 ΕΩΣ +20DBM) ΠΟΥ ΛΑΜΒΑΝΕΤΑΙ ΑΝΑ ΑΠΟΣΤΑΣΗ R TAG-READER ΓΙΑ ΔΙΑΦΟΡΕΤΙΚΑ ΕΠΙΤΡΕΠΤΑ ΟΡΙΑ EIRP (ETSI, FCC) ΣΤΗ ΣΥΧΝΟΤΗΤΑ ISM-RFID ΤΩΝ 2.45GHZ.	28
ΕΙΚΟΝΑ 3-10. RFIDS READER-TAG-READER COMMUNICATION POWER LINK BUDGET [105]	33
ΕΙΚΟΝΑ 4-1. ΤΟ ΚΥΚΛΩΜΑ ΓΙΑ ΤΗ ΘΕΩΡΗΣΗ ΤΟΥ ΟΡΙΟΥ BODE-FANO (ΩΜΙΚΗ ΑΝΤΙΣΤΑΣΗ ΠΗΓΗΣ R_s ΚΑΙ ΣΥΝΘΕΤΗ ΑΝΤΙΣΤΑΣΗ ΦΟΡΤΙΟΥ (R//C) ΜΕ ΣΥΝΤΕΛΕΣΤΗ ΠΟΙΟΤΗΤΑΣ Q_c)	40
ΕΙΚΟΝΑ 4-2. ΣΥΝΤΕΛΕΣΤΗΣ ΠΟΙΟΤΗΤΑΣ Q, RLC ΔΙΚΤΥΩΜΑΤΩΝ ΣΕ ΣΥΝΔΕΣΗ ΣΕ ΣΕΙΡΑ ΚΑΙ ΠΑΡΑΛΛΗΛΗ.	40
ΕΙΚΟΝΑ 4-3. ΓΡΑΦΙΚΗ ΠΑΡΑΣΤΑΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $G(P_{MAX})$ ΓΙΑ $0 < P_{MAX} \leq 1$.	43
ΕΙΚΟΝΑ 4-4. ΔΙΚΤΥΩΜΑΤΑ ΠΡΟΣΑΡΜΟΓΗΣ ΤΥΠΟΥ L [104]	46
ΕΙΚΟΝΑ 4-5. ΤΟ L-MATCH ΚΑΤΑ ΤΗΝ ΠΡΟΣΑΡΜΟΓΗ ΤΩΝ ΕΜΠΕΔΗΣΕΩΝ Z_s, Z_l	47
ΕΙΚΟΝΑ 4-6. ΚΥΚΛΩΜΑΤΑ ΣΥΝΤΟΝΙΣΜΟΥ: Α) ΣΕ ΣΕΙΡΑ ΚΑΙ Β) ΕΝ ΠΑΡΑΛΛΗΛΩ	49
ΕΙΚΟΝΑ 4-7. ΚΑΜΠΥΛΕΣ ΣΥΝΤΟΝΙΣΜΟΥ ΚΑΙ ΕΠΙΤΕΥΞΗ ΥΨΗΛΟΥ Q ΣΤΗΝ ΠΕΡΙΠΤΩΣΗ ΜΗ ΑΚΡΙΒΟΥΣ ΣΥΝΤΟΝΙΣΜΟΥ ($\Omega < \Omega_0$) ΑΛΛΑ ΤΕΛΕΙΑΣ ΣΥΖΥΓΟΥΣ ΠΡΟΣΑΡΜΟΓΗΣ ($Q_2 > Q_1$)	53
ΕΙΚΟΝΑ 4-8. ΕΠΙΔΡΑΣΗ ΤΗΣ ΠΡΟΣΑΡΜΟΓΗΣ ΣΤΗΝ ΤΙΜΗ ΤΟΥ Q, ΚΥΚΛΩΜΑΤΩΝ ΥΠΕΡΤΑΣΗΣ ΣΥΝΤΟΝΙΣΜΟΥ	54
ΕΙΚΟΝΑ 4-9. ΑΝΑΛΥΤΙΚΟ ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ ΤΟΥ TAG (TRANSPODER)	54
ΕΙΚΟΝΑ 4-10. ΤΥΠΙΚΗ ΤΙΜΗ ΕΜΠΕΔΗΣΗΣ ΟΛΟΚΛΗΡΩΜΕΝΟΥ ΑΝΟΡΘΩΤΗ ΚΙ Η ΘΕΣΗ ΤΟΥ ΣΤΟ Χ. SMITH	56
ΕΙΚΟΝΑ 4-11. Η ΕΜΒΕΛΕΙΑ ΩΣ ΣΥΝΑΡΤΗΣΗ ΤΗΣ ΕΛΑΧΙΣΤΗΣ ΠΑΡΕΧΟΜΕΝΗΣ ΤΑΣΗΣ ΣΤΟΝ ΑΝΟΡΘΩΤΗ	62
ΕΙΚΟΝΑ 4-12. Q ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΣΠΕΙΡΟΕΙΔΩΝ ΠΗΝΙΩΝ (22NH) ΤΗΣ ΤΕΧΝΟΛΟΓΙΑΣ 90NM IBM-CMOS 9FLP/9RF ΓΙΑ ΔΙΑΦΟΡΕΤΙΚΕΣ ΑΠΟΣΤΑΣΕΙΣ ΜΕΤΑΛΛΟΥ [46]	62
ΕΙΚΟΝΑ 5-1. Η ΒΑΣΙΚΗ ΔΟΜΗ ΚΑΙ ΤΟ ΣΥΜΒΟΛΟ ΕΝΟΣ TRANSISTOR NMOS [47]	64
ΕΙΚΟΝΑ 5-2. ΙΣΟΔΥΝΑΜΑ ΣΥΜΒΟΛΑ ΓΙΑ NMOS (ENHANCEMENT TYPE) TRANSISTOR	65
ΕΙΚΟΝΑ 5-3. ΠΕΡΙΟΧΕΣ ΛΕΙΤΟΥΡΓΙΑΣ ΕΝΟΣ MOSFET: STRONG, MODERATE AND WEAK INVERSION	69
ΕΙΚΟΝΑ 5-4. ΔΟΜΗΣΗ ΘΥΡΙΣΤΟΡ PNP (SCR) ΜΕΣΩ ΤΩΝ ΠΑΡΑΣΙΤΙΚΩΝ ΔΙΠΟΛΙΚΩΝ TRANSISTORS ΠΟΥ ΑΝΑΠΤΥΣΣΟΝΤΑΙ ΣΕ CMOS (ΦΑΙΝΟΜΕΝΟ LATCH-UP: Q1 VERTICAL PNP, Q2 LATERAL NPN)	70
ΕΙΚΟΝΑ 5-5. ΧΑΡΑΚΤΗΡΙΣΤΙΚΕΣ I-V ΜΕ (2) ΚΑΙ ΔΙΧΩΣ (1) ΠΟΛΩΣΗ ΥΠΟΣΤΡΩΜΑΤΟΣ.	71
ΕΙΚΟΝΑ 5-6. BULK DRIVEN MOSFET (V_{IN} AT BODY)	72
ΕΙΚΟΝΑ 5-7. Η ΕΞΑΡΤΗΣΗ ΤΟΥ ΠΑΧΟΥΣ ΤΗΣ ΠΕΡΙΟΧΗΣ ΑΠΟΚΕΝΩΣΗΣ ΑΠΟ ΤΗΝ ΤΑΣΗ ΠΟΛΩΣΗΣ V_{BS} [53].	73
ΕΙΚΟΝΑ 5-8. Η ΒΑΣΙΚΗ ΔΟΜΗ ΕΝΟΣ FG-NMOS ΚΑΙ ΤΟ ΚΥΚΛΩΜΑΤΙΚΟ ΤΟΥ ΣΥΜΒΟΛΟ [53]	75

ΕΙΚΟΝΑ 5-9. MOS CAPACITOR ΜΕ ΚΑΙ ΧΩΡΙΣ ΠΟΛΩΣΗ ΚΙ ΕΝΑΣ MIM CAPACITOR [61]	76
ΕΙΚΟΝΑ 5-10. Α) Η ΜΕΤΑΒΑΣΗ ΠΡΟΣ HIGH-K DIELECTRICS MOSFETS (SAFC HITTECH®), Β) NITRIDE MIM CAPACITOR ΤΗΣ ΤΕΧΝΟΛΟΓΙΑΣ IBM-CMOS9RF, ΠΟΥ ΧΡΗΣΙΜΟΠΟΙΗΘΗΚΕ [46]	77
ΕΙΚΟΝΑ 5-11. ΕΛΑΤΤΩΣΗ ΤΟΥ V_{TH} ΜΕΣΩ ΔΥΝΑΜΙΚΗ Σ ΠΟΛΩΣΗΣ ΠΥΛΗΣ-ΥΠΟΔΟΧΗΣ G-D [60]	78
ΕΙΚΟΝΑ 6-1. Α) Η ΚΛΑΣΙΚΗ ΤΟΠΟΛΟΓΙΑ ΓΕΦΥΡΑΣ ΠΛΗΡΟΥΣ ΑΝΟΡΘΩΣΗΣ (BRIDGE FWR) ΜΕ ΔΙΟΔΟΥΣ, Β) BRIDGE FWR ΓΙΑ RF ΕΦΑΡΜΟΓΕΣ, ΥΛΟΠΟΙΗΜΕΝΟΣ ΜΕ PMOS-DIODES.	79
ΕΙΚΟΝΑ 6-2. BASIC CELL OF DICKSON'S VD TOPOLOGY	81
ΕΙΚΟΝΑ 6-3. ΜΕΤΑΣΧΗΜΑΤΙΣΜΟΣ DICKSON DC-DC CONVERTER ΣΕ RF (AC) –DC [26]	82
ΕΙΚΟΝΑ 6-4. ΚΛΙΜΑΚΩΤΟΣ ΑΝΟΡΘΩΤΗΣ 4 ΣΤΑΔΙΩΝ (4 STAGES CASCADED RF-DC CONVERTER)	83
ΕΙΚΟΝΑ 6-5. ΕΠΟΠΤΙΚΗ ΛΕΙΤΟΥΡΓΙΑ ΒΑΣΙΚΟΥ CELL ΕΝΟΣ DICKSON'S RF-DC CONVERTER	83
ΕΙΚΟΝΑ 6-6. Α)ΤΟΠΟΛΟΓΙΕΣ GREINACHER (FWR) 1 ΚΑΙ 2 ΣΤΑΔΙΩΝ (ΑΠΛΗΣ ΚΑΙ ΤΡΟΠΟΠΟΙΗΜΕΝΗΣ ΜΟΡΦΗΣ), Β) ΥΛΟΠΟΙΗΣΗ ΜΕ MOS-DIODES ΕΝΟΣ GREINACHER ΔΙΑΦΟΡΙΚΟΥ ΑΝΟΡΘΩΤΗ 3 ΒΑΘΜΙΔΩΝ.	84
ΕΙΚΟΝΑ 6-7. Α) ΠΟΛΛΑΠΛΑΣΙΑΣΤΗΣ ΤΑΣΗΣ (X8) Β) ΔΙΑΦΟΡΙΚΟΣ (FWR) COCKCROFT-WALTON [87]	84
ΕΙΚΟΝΑ 6-8. GATE CROSS CONNECTED RECTIFIER BASIC CELL (GCCR) –2 DIODES, 2 SWITCHES ALL NMOS	85
ΕΙΚΟΝΑ 6-9. ΤΟ ΒΑΣΙΚΟ CELL ΕΝΟΣ ΑΝΟΡΘΩΤΗ FULLY CROSS COUPLED (NVC - Η BRIDGE)	86
ΕΙΚΟΝΑ 6-10. ΤΟ ΒΑΣΙΚΟ CELL ΕΝΟΣ PSEUDO-FG ΑΝΟΡΘΩΤΗ ΤΥΠΟΥ DICKSON	88
ΕΙΚΟΝΑ 6-11. ΤΟ ΒΑΣΙΚΟ CELL ΕΝΟΣ PSEUDO-FG ΑΝΟΡΘΩΤΗ ΤΥΠΟΥ GCCR	89
ΕΙΚΟΝΑ 6-12. ΈΝΑ FG-NMOS ΜΕ ΜΗΔΕΝΙΚΟ ΚΑΤΩΦΛΙ ΤΑΣΗΣ V_{TH} ΛΟΓΩ ΤΗΣ ΠΟΛΩΣΗΣ V_{FG}	89
ΕΙΚΟΝΑ 6-13. N STAGES CASCADED DICKSON RECTIFIER WITH MOS-DIODES ($M_1, C_1 \exists$ if N even)	91
ΕΙΚΟΝΑ 6-14. Η ΛΕΙΤΟΥΡΓΙΑ ΤΗΣ ΗΜΙΑΝΟΡΘΩΣΗΣ (HWR) ΣΕ ΧΡΟΝΟ ΜΙΑΣ ΠΕΡΙΟΔΟΥ Τ	93
ΕΙΚΟΝΑ 6-15. Η ΓΩΝΙΑ ΑΓΩΓΗΣ θ_c ΚΑΤΑ ΤΗ ΛΕΙΤΟΥΡΓΙΑ ΤΗΣ ΗΜΙΑΝΟΡΘΩΣΗΣ (ΤΑΞΗ C, $\theta_c < \pi$)	94
ΕΙΚΟΝΑ 6-16. Α) ΔΙΑΚΟΠΤΗΣ NMOS-SWITCH ΚΑΙ Β) CMOS SWITCH (TG)	96
ΕΙΚΟΝΑ 6-17. Η ΓΡΑΦΙΚΗ ΠΑΡΑΣΤΑΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $Z=F(X)$ Η $\frac{\widehat{V}_{rect}}{V_{in}} = f\left(\frac{V_{in}}{V_{th}}\right)$	100
ΕΙΚΟΝΑ 6-18. Η ΓΡΑΦΙΚΗ ΠΑΡΑΣΤΑΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $G=F(X)$ Η $\frac{\widehat{V}_{rect}}{V_{in}} = f\left(\frac{V_{in}}{V_{th}}\right)$	101
ΕΙΚΟΝΑ 6-19. ΟΙ ΓΡΑΦΙΚΕΣ ΠΑΡΑΣΤΑΣΕΙΣ ΤΩΝ ΣΥΝΑΡΤΗΣΕΩΝ $Z(X)$ (ΕΞ. 6-15) ΚΑΙ $G(X)$ (ΕΞ. 6-18) ΔΗΛΑΔΗ ΤΗΣ $\frac{\widehat{V}_{rect}}{V_{in}} = f\left(\frac{V_{in}}{V_{th}}\right)$ ΓΙΑ ΤΙΣ ΔΥΟ ΠΕΡΙΠΤΩΣΕΙΣ ΑΝΟΡΘΩΤΩΝ.	102
ΕΙΚΟΝΑ 6-20. ΔΙΠΛΑΣΙΑΣΤΗΣ ΤΑΣΗΣ (VOLTAGE DOUBLER-VD) ΤΟΠΟΛΟΓΙΑΣ ΜΑΚOWSKI [83]	103
ΕΙΚΟΝΑ 6-21. ΔΙΠΛΑΣΙΑΣΤΗΣ ΤΑΣΗΣ (VOLTAGE DOUBLER-VD) ΤΟΠΟΛΟΓΙΑΣ STARZYK [84]	104
ΕΙΚΟΝΑ 6-22. Α) STATIC CTS ΚΑΙ Β) MODIFIED #1 DICKSON CP (NCP-1) [85]	105
ΕΙΚΟΝΑ 6-23. Α) ΔΥΝΑΜΙΚ CTS ΚΑΙ Β) MODIFIED #2 DICKSON CP (NCP-2) [85]	106
ΕΙΚΟΝΑ 6-24. Α) CHARGE TRANSFER BLOCK, Β) CP ΑΝΕΥ ΕΠΙΔΡΑΣΗΣ ΤΟΥ BODY EFFECT ΣΤΟ V_{TH} [86]	107
ΕΙΚΟΝΑ 6-25. PARASITIC VERTICAL PNP BIPOlar IN PMOS [45]	108
ΕΙΚΟΝΑ 6-26. Α) Η 1^H ΤΑΣΗ ΑΝΑΦΟΡΑΣ ΤΟΥ D. HILBIBER, Β) Η ΥΛΟΠΟΙΗΣΗ ΤΟΥ R.WIDLAR [89]	110
ΕΙΚΟΝΑ 6-27. CMOS BANDGAP REFERENCE WITH $Q_{1,2}$ PARASITIC VERTICAL PNP BULK DIODES [89]	111
ΕΙΚΟΝΑ 6-28. ΔΗΜΙΟΥΡΓΙΑ ΤΑΣΗΣ ΑΝΑΦΟΡΑΣ (V REFERENCE) ΜΕ ΧΡΗΣΗ ΜΟΝΟ MOSFETS [93, 101]	113
ΕΙΚΟΝΑ 6-29. A TYPICAL LDO (LOW DROP OUT) VOLTAGE REGULATOR	114
ΕΙΚΟΝΑ 6-30. VOLTAGE LIMITER (R=50KΩ MOS RESISTOR (IN TRIODE REGION), W/L=1UM/0.1UM FOR MOSFETS MP, MN _{1,2})	116
ΕΙΚΟΝΑ 6-31. ΔΡΑΣΗ ΤΟΥ VOLTAGE LIMITER ΣΕ ΑΝΟΡΘΩΤΗ GCCR-ZVT 20 ΣΤΑΔΙΩΝ ΓΙΑ $V_{R_IN} = 0.5V$	116
ΕΙΚΟΝΑ 6-32. ΚΥΚΛΩΜΑ ΠΡΟΣΤΑΣΙΑΣ ΥΠΕΡΤΑΣΗΣ (SIMPLE SHUNT REGULATOR) [92]	117
ΕΙΚΟΝΑ 6-33. BASIC SYSTEM ARCHITECTURE OF ANALOG RF FRONT END IN RFID TAGS	119
ΕΙΚΟΝΑ 6-34. Ο ΠΑΛΜΟΣ ΠΟΥ ΠΑΡΑΓΕΙ Η ΔΙΑΤΑΞΗ POWER ON RESET (POR)	120
ΕΙΚΟΝΑ 6-35. ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ ΔΙΑΤΑΞΗΣ POR [28]	121
ΕΙΚΟΝΑ 6-36. (Α) BASIC ESD CIRCUITS, (Β) IBM 90NM ESD PROTECTION DEVICES [46]	122

EΙΚΟΝΑ 6-37. ESD TESTING MODELS [102]	122
EΙΚΟΝΑ 7-1. ΣΥΚΡΙΣΗ ΣΥΜΠΕΡΙΦΟΡΑΣ ΑΝΟΡΘΩΤΩΝ 1-STAGE VD (DICKSON BASED) ΓΙΑ $V_{RECT} = 0.25V$	125
EΙΚΟΝΑ 7-2. ΣΥΜΠΕΡΙΦΟΡΑ ΔΙΑΦΟΡΕΤΙΚΩΝ ΤΟΠΟΛΟΓΙΩΝ ΑΝΟΡΘΩΤΩΝ 1 ΣΤΑΔΙΟΥ ΓΙΑ ΕΙΣΟΔΟ 0.25V ΣΤΟΝ ΑΝΟΡΘΩΤΗ (Η 0.125V RF INPUT), ΥΠΟ ΦΟΡΤΙΟ 1ΜΩ.	126
EΙΚΟΝΑ 7-3. ΑΝΟΡΘΩΤΕΣ 4 ΣΤΑΔΙΩΝ ΑΝΕΥ ΦΟΡΤΙΟΥ ΚΑΙ ΓΙΑ ΕΙΣΟΔΟ ΑΝΟΡΘΩΤΗ ΠΛΑΤΟΥΣ 0.25V	127
EΙΚΟΝΑ 7-4. ΑΝΟΡΘΩΤΕΣ 4 ΣΤΑΔΙΩΝ ΜΕ ΦΟΡΤΙΟ 1ΜΩ, ΓΙΑ ΕΙΣΟΔΟ ΑΝΟΡΘΩΤΗ ΠΛΑΤΟΥΣ 0.25V	127
EΙΚΟΝΑ 7-5. ΑΝΟΡΘΩΤΗΣ 20 ΣΤΑΔΙΩΝ GCCR-ZVT (ΜΕ ΦΟΡΤΙΟ 1ΜΩ) ΚΑΙ ΜΕ ΕΙΣΟΔΟ ΠΛΑΤΟΥΣ: 0.05, 0.1, 0.15 & 0.2V ΑΝΤΙΣΤΟΙΧΑ	128
EΙΚΟΝΑ 7-6. Η ΔΡΑΣΗ ΤΟΥ RESONATOR OVERVOLTAGE BOOSTER ΚΑΙ Η ΕΠΙΤΕΥΞΗ ΚΕΡΔΟΥΣ ΤΑΣΗΣ $Q_T=2$.	129
EΙΚΟΝΑ 7-7. Η ΒΕΛΤΙΩΣΗ ΚΑΤΑ 11.5% ΤΗΣ ΣΥΜΠΕΡΙΦΟΡΑΣ ΤΟΥ ΠΡΟΤΑΘΕΝΤΟΣ ΑΝΟΡΘΩΤΗ PSEUDO- FG ΓΙΑ ΕΙΣΟΔΟ ΠΛΑΤΟΥΣ $V_{RF} = 0.125V$, ΛΟΓΩ ΣΥΝΕΙΣΦΟΡΑΣ ΤΟΥ ΣΗΜΑΤΟΣ FG (SIGNAL) ΣΤΗ ΜΕΙΩΣΗ ΤΟΥ V_{TH}	131
EΙΚΟΝΑ 7-8. Η ΕΞΑΡΤΗΣΗ ΤΩΝ DC ΤΑΣΕΩΝ V_{OUT} ΚΑΙ V_{FG} ΑΠΟ ΤΟ ΦΟΡΤΙΟ	132
EΙΚΟΝΑ 7-9. Η ΕΞΑΡΤΗΣΗ ΤΩΝ DC ΤΑΣΕΩΝ V_{OUT} ΚΑΙ V_{FG} ΑΠΟ ΤΗ ΣΥΧΝΟΤΗΤΑ	133
EΙΚΟΝΑ 7-10. Η ΔΙΑΤΑΞΗ ΤΩΝ ΠΕΙΡΑΜΑΤΙΚΩΝ ΜΕΤΡΗΣΕΩΝ	133
EΙΚΟΝΑ 7-11. Η DC ΤΑΣΗ ΕΞΟΔΟΥ ΤΟΥ ΑΝΟΡΘΩΤΗ V_{OUT} ΣΥΝΑΡΤΗΣΕΙ ΤΗΣ ΣΥΧΝΟΤΗΤΑΣ F, ΓΙΑ ΔΙΑΦΟΡΕΣ ΤΙΜΕΣ ΤΟΥ ΦΟΡΤΙΟΥ R_L , ΜΕ ΒΑΣΗ ΠΕΙΡΑΜΑΤΙΚΕΣ ΜΕΤΡΗΣΕΙΣ ΚΑΙ ΔΕΔΟΜΕΝΑ ΕΞΟΜΟΙΩΣΕΩΝ	134
EΙΚΟΝΑ 7-12. Η DC ΤΑΣΗ ΕΞΟΔΟΥ ΤΟΥ ΑΝΟΡΘΩΤΗ V_{OUT} ΣΥΝΑΡΤΗΣΕΙ ΤΗΣ ΣΥΧΝΟΤΗΤΑΣ F, ΓΙΑ ΔΙΑΦΟΡΕΣ ΤΙΜΕΣ ΤΟΥ ΦΟΡΤΙΟΥ R_L ΚΟΝΤΑ ΣΤΗΝ ΠΕΡΙΟΧΗ ΕΝΔΙΑΦΕΡΟΝΤΟΣ, ΤΩΝ 2.45GHZ	135
EΙΚΟΝΑ 7-13. Ο ΣΥΝΤΕΛΕΣΤΗΣ S11 ΤΗΣ ΜΗΤΡΑΣ ΣΚΕΔΑΣΗΣ, ΩΣ ΣΥΝΑΡΤΗΣΗ ΤΗΣ ΣΥΧΝΟΤΗΤΑΣ ΓΙΑ ΔΙΑΦΟΡΕΣ ΤΙΜΕΣ ΤΟΥ ΦΟΡΤΙΟΥ	136
EΙΚΟΝΑ 7-14. Η ΕΞΑΡΤΗΣΗ ΤΗΣ DC ΤΑΣΗΣ ΕΞΟΔΟΥ ΓΙΑ ΔΙΑΦΟΡΕΣ ΤΙΜΕΣ ΙΣΧΥΟΣ ΕΙΣΟΔΟΥ RF ΥΠΟ ΔΙΑΦΟΡΕΤΙΚΑ ΦΟΡΤΙΑ R_L	136
EΙΚΟΝΑ 7-15. ΕΙΣΟΔΟΣ (ΔΙΑΦΟΡΙΚΗ) ΠΛΑΤΟΥΣ 0.235V ΣΤΟΝ ΑΝΟΡΘΩΤΗ, ΓΙΑ ΤΗΝ ΕΠΙΤΕΥΞΗ $V_{OUT} = 1.2V$	137
EΙΚΟΝΑ 7-16. Η ΑΝΤΙΣΤΑΣΗ ΕΙΣΟΔΟΥ ΤΟΥ ΑΝΟΡΘΩΤΗ ΣΥΝΔΕΔΕΜΕΝΟΥ ΣΤΟ ΟΛΟ ΚΥΚΛΩΜΑ	140
EΙΚΟΝΑ 7-17. ΒΕΛΤΙΩΣΗ ΤΟΥ S11 (= -20DB) ΑΛΛΑ ΕΛΑΤΤΩΣΗ ΤΟΥ Q_T (= 1.24) ΓΙΑ: C=1.3PF	142
EΙΚΟΝΑ 7-18. ΣΥΓΚΡΙΣΗ ΤΩΝ S11 ΓΙΑ ΔΥΟ ΔΙΑΦΟΡΕΤΙΚΕΣ ΤΙΜΕΣ ΠΥΚΝΩΤΩΝ ΤΟΥ ΚΥΚΛΩΜΑΤΟΣ ΠΡΟΣΑΡΜΟΓΗΣ – ΥΠΕΡΤΑΣΗΣ: C = 1PF (CHIP DESIGN) & C = 1.3PF	143
EΙΚΟΝΑ 7-19. ΜΙΚΡΟΦΩΤΟΓΡΑΦΙΑ ΤΟΥ CHIP ΔΙΑΣΤΑΣΕΩΝ 0.85MM X 1.05MM Η 0.89MM ² (FABRICATED BY IBM – MOSIS)	144
EΙΚΟΝΑ 7-20. LAYOUT OF CHIP (CADENCE® VIRTUOSO-XL)	145
EΙΚΟΝΑ 7-21. ΙΔΑΝΙΚΟ BALUN ΓΙΑ ΜΕΤΑΤΡΟΠΗ ΑΠΟ SINGLE ENDED ΣΕ BALANCED ΤΡΟΦΟΔΟΤΗΣΗ	148
EΙΚΟΝΑ 7-22. ΟΔΗΓΗΣΗ ΤΟΥ ΑΝΟΡΘΩΤΗ, ΜΕ ΔΥΟ ΑΝΤΙΦΑΣΙΚΕΣ ΓΕΝΝΗΤΡΙΕΣ (ΔΙΑΦΟΡΙΚΗ ΔΙΕΓΕΡΣΗ)	149

Περίληψη

Σημαντικό πρόβλημα στη σχεδίαση ασύρματων δικτύων αισθητήρων (WSN) είναι η εξαιρετικά περιορισμένη ενεργειακή τροφοδότηση των κόμβων του. Αν και υπάρχει πληθώρα από πρωτόκολλα διατήρησης της ενέργειας για τα δίκτυα αυτά, το ενεργειακό πρόβλημα παραμένει τεράστιας σημασίας. Η συγκομιδή ενέργειας από το ατμοσφαιρικό περιβάλλον, αποτελεί μια προσέγγιση που αναμένεται να επιλύσει το πρόβλημα ενέργειας των κόμβων του δικτύου. Διάφορες πηγές ενέργειας μπορούν να συλλεχθούν, όπως ηλιακή ακτινοβολία, δονήσεις - ταλαντώσεις, θερμότητα, διακυμάνσεις πίεσης, ραδιοσυχνότητες (RF) κι άλλα φυσικά φαινόμενα.

Βέβαια, η συγκομιδή της ενέργειας από το περιβάλλον τυπικά μεταβάλλεται με το χρόνο με ένα μη αιτιοκρατικό τρόπο και τη χαρακτηρίζει η τυχαιότητα σε όλες τις εκφάνσεις της. Η λειτουργία ενός κόμβου που τροφοδοτείται με ενεργειακή συγκομιδή, χαρακτηρίζεται γενικά από το ότι σε κάθε χρονική στιγμή, το συνολικό ποσό ενέργειας που απαιτείται για την απρόσκοπτη λειτουργία του, πρέπει να είναι μικρότερο ή ίσο από το άθροισμα της ενέργειας που ήδη προϋπάρχει στη μπαταρία και της ενέργειας που συνολικά μπορεί να συγκομιστεί. Είναι έκδηλη δε, η δυσκολία εκτίμησης του ποσού ενέργειας προς συγκομιδή, αφού χαρακτηρίζεται από απόλυτη τυχαιότητα και συνακόλουθα δύσκολη είναι κι η επίτευξη ορθής λειτουργίας του κόμβου. Σε ένα μελλοντικό όμως «Διαδίκτυο (των) Πραγμάτων» (Internet of things) όπου τα RFIDs (Radio Frequency IDentification) θα είναι σε μορφή ολοκληρωμένου μαζί με αισθητήρες ή άλλες μικροσυσκευές (MEMS / Micro-Electro-Mechanical Systems ή EnHANTs / Energy Harvesting Active Networked Tags) πάνω σε κάθε τι και παντού, οι παραπάνω απαιτήσεις αποκτούν πρωταρχική σημασία.

Ένα σύστημα ενεργειακής συγκομιδής περιλαμβάνει γενικά 3 τμήματα, τη μικρογεννήτρια (μετατροπέας, ανορθωτής κλπ) που μετατρέπει την ενέργεια του περιβάλλοντος σε ηλεκτρική ενέργεια, έναν ενισχυτή τάσης (DC) προς αύξηση αυτής κι ένα στοιχείο αποθήκευσης (επαναφορτιζόμενη μπαταρία ή ένας ηλεκτρολυτικός πυκνωτής διπλής επίστρωσης EDLC-Supercapacitor). Αν και είναι μεγάλο το πλήθος εναλλακτικών μορφών ενέργειας προς συγκομιδή, αρχικά θα σταθούμε στην περίπτωση της συγκομιδής

Ηλεκτρομαγνητικής (H/M) ενέργειας ραδιοσυχνοτήτων (RF) που υπάρχουν (Background RF) παντού γύρω μας (ραδιοφωνία, τηλεοπτικές μεταδόσεις, κινητή τηλεφωνία, ασύρματα δίκτυα H/Y κ.α.) ή τοποθετούνται ειδικά για το σκοπό αυτό (Κεραία εκπομπής ραδιοκυμάτων ορισμένης συχνότητας και ισχύος προς άντληση αυτής της ενέργειας από ένα δίκτυο αισθητήρων ή απλών RFIDs ώστε να λειτουργήσουν, όντας παθητικά, χωρίς ανάγκη ύπαρξης δικής τους πηγής ενέργειας στο κύριο σώμα τους).

Όπως ήδη είναι φανερό, η παρούσα έρευνα αποσκοπεί κύρια στην συγκομιδή H/M ενέργειας ραδιομικροκυμάτων (RF) οπότε ο μετατροπέας της αρχικής ενέργειας σε ηλεκτρική ενέργεια συνεχούς (DC), δε μπορεί παρά να είναι ένας ανορθωτής (Rectifier, RF → DC Converter), που κύρια υλοποιείται με ένα μη γραμμικό στοιχείο όπως μια δίοδος (Schottky ή MOS-diode).

Βέβαια η λαμβανόμενη πολύ μικρή -περίπου συνεχής- τάση από τον ανορθωτή, για να έχει πρακτική σημασία πρέπει να αναβιβασθεί από έναν μετατροπέα DC → DC, N σταδίων, γνωστού και ως Charge Pump (Αντλία Φορτίων) ή ως Charge Transfer Switch (CTS). Αν και η μετάδοση της H/M ενέργειας με επαγωγή (near field induction) έχει στις μέρες μας αρκετές εφαρμογές, από την άλλη η διατριβή αυτή εστιάζει κύρια στη μακρινού πεδίου (far field radiation) ακτινοβολήση της H/M ενέργειας, σε συχνότητες κύρια μικροκυματικές (2.45GHz) της ζώνης συχνοτήτων ISM-RFID. Η μετάβαση βέβαια αυτή, από το κοντινό Μαγνητοστατικό και Ηλεκτροστατικό στο μακρινό H/M πεδίο έγινε κύρια, όταν τα παθητικά RFIDs έπρεπε πια να λειτουργήσουν σε υψηλές συχνότητες (\geq UHF) κι όχι σε LF, HF όπως ήταν το σύνηθες.

Στην περίπτωση των παθητικών RFIDs που θεωρήσαμε, η επικοινωνία μεταξύ reader → tag γίνεται μέσω της ανάκλασης προς τα πίσω (Back-scattering Reflection) ενός ποσοστού της H/M ενέργειας που προσέπεσε στο δέκτη μέσω διαμόρφωσης της εμπέδησης (άρα και του συντελεστή ανάκλασης) αυτού. Για απρόσκοπτη επικοινωνία πρέπει να τηρούνται δύο βασικές προϋποθέσεις:

- α) η μεταφορά ισχύος στο δέκτη από τον εκπομπό, ικανής ώστε να τον ενεργοποιήσει, όπου υπάρχει απόσβεση με τη 2η δύναμη της απόστασης και
- β) η επιστροφή ικανού ποσού ισχύος ξανά πίσω στον εκπομπό (που τώρα γίνεται αποδέκτης) με απόσβεση με βάση την 4η δύναμη ως προς την απόσταση.

Όσον αφορά τα της ζεύξης από το Tag→Reader μέσω της ανάκλασης ενός ποσοστού της προσπίπτουσας ενέργειας που πέφτει στο tag (Backscattering Modulation), πρέπει να χρησιμοποιηθεί ορολογία γνωστή από τη θεωρία των Radars, που άλλωστε αποτελούν και την εναρτηρήρια ιδέα πίσω από την τεχνική αυτή. Αφού λοιπόν καταφέρει να ενεργοποιηθεί

το tag, κατόπιν ένα ικανό ποσό ισχύος πρέπει να επιστρέψει στον Reader, μεταφέροντας τουλάχιστον την ID του tag ή άλλες πληροφορίες. Πάντως, το σήμα που υπολογίσαμε ότι λαμβάνει ο reader (δέκτης τώρα που απαντά στο tag) θα πρέπει να ξεπερνά τουλάχιστον το επίπεδο ηλεκτρονικού θορύβου ώστε να μπορεί να ανιχνευθεί-αποκωδικοποιηθεί σωστά.

Για την ορθή λειτουργία του ανορθωτή, εισάγουμε πριν από αυτόν ένα απολύτως απαραίτητο κύκλωμα υπέρτασης λόγω συντονισμού (Resonator as Voltage Booster) που αυξάνει το επίπεδο της λαμβανόμενης τάσης, ώστε να εισαχθεί κατόπιν στα MOS-diodes χαμηλού ή μηδενικού κατωφλίου τάσης V_{th} (Voltage Threshold) ανοίγοντάς τα, ώστε η ανόρθωση να καθίσταται εφικτή.

Αν και σε πρώτη ανάγνωση φαίνεται παράξενη αυτή η ανάπτυξη υπέρτασης στο πηνίο και στον πυκνωτή, αφού όλη η τάση της πηγής πέφτει στην ωμική αντίσταση κατά το συντονισμό, πρέπει να σκεφτούμε ότι στο χώρο συχνοτήτων οι τάσεις και τα ρεύματα είναι διανύσματα (φάσορες) και όχι αριθμητικές τιμές οπότε μπορεί να έχουν ίδιο μέτρο αλλά έχουν διαφορά φάσης 180° και αλληλοαναιρούνται. Επιθυμούμε δε, την όσο δυνατόν μεγαλύτερη αύξηση της ληφθείσας τάσης V , ώστε να παρέχεται ικανή τάση ($Q \cdot V$) στον ανορθωτή.

Ουσιαστικά, το κύκλωμα προσαρμογής-υπέρτασης λόγω συντονισμού (matching-resonance boosting) έχει διπλό ρόλο, αφού ταυτόχρονα πρέπει να κάνει τη συζυγή προσαρμογή των εμπεδήσεων κεραίας και εισόδου του tag chip, αλλά και να συντονίζει στη συχνότητα λειτουργίας με άμεσο αποτέλεσμα στην παθητική αύξηση της τάσης που φτάνει στο tag chip λόγω του φαινομένου της υπέρτασης κατά το συντονισμό. Βέβαια, όπως παρατηρήθηκε πειραματικά αλλά και από εξομοιώσεις των κυκλωμάτων, είναι γενικά πολύ κρίσιμη η εύρεση της χρυσής τομής μεταξύ της σωστής προσαρμογής και του να συντονίζει το κύκλωμα επακριβώς στη συχνότητα λειτουργίας (εν προκειμένω 2.45GHz).

Η προσαρμογή σύνθετης αντίστασης είναι ένας όρος που χρησιμοποιείται συχνά στο αντικείμενο των γραμμών μετάδοσης. Στην περίπτωσή μας των RFIDs όπου ως Z_a ορίσαμε την εμπέδηση της κεραίας και ως Z_c την εμπέδηση του υπόλοιπου tag chip, προφανώς για $Z_a = Z_c$, δεν έχουμε ανάκλαση κύματος (άρα ούτε στάσιμα κύματα λόγω ορθού τερματισμού) και το 100% της ισχύος οδεύει προς το ολοκληρωμένο κύκλωμα.

Όσον αφορά την προσαρμογή ισχύος, αυτή επιτυγχάνεται όταν η σύνθετη αντίσταση Z_S μιας πηγής τάσης πλάτους (peak) V_S που οδηγεί ένα φορτίο Z_L ταυτιστεί με τη συζυγή εμπέδηση αυτού, δηλαδή όταν $Z_S = Z_L^*$ που σημαίνει, $R_L = R_S$ και $jX_L = -jX_S$ εξού και το όνομα «συζυγής προσαρμογή».

Είναι αδύνατη η ταυτόχρονη επίτευξη και των δυο στόχων μέσω ενός και μόνο κυκλώματος προσαρμογής δύο μιγαδικών εμπεδήσεων, οπότε κάθε φορά ή ικανοποιούμε πλήρως τον έναν στόχο ή και τους δύο με ανοχές, σε ενδιάμεσες καταστάσεις.

Προφανώς, τέλεια προσαρμογή ($\rho = 0$) μπορεί να επιτευχθεί σε μια μικρή (ιδανικά μηδενική) ζώνη συχνοτήτων (narrowband matching) οπότε τότε έχουμε μεγιστοποίηση του συντελεστή ποιότητας Q . Το άνω όμως όριο του μέγιστου εφικτού εύρους ζώνης (ή μικρού Q) προσαρμογής εμπεδήσεων (broadband matching), έχει τεθεί από τους Bode-Fano. Ένα κύκλωμα προσαρμογής εμπεδήσεων σε μεγάλο εύρος ζώνης συχνοτήτων B , που δεν προσαρμόζει τέλεια τις εμπεδήσεις, θα ανακλά μεγάλο μέρος της ισχύος προς τα πίσω, όμως δε θα δίνει ικανοποιητική τάση στον ανορθωτή ώστε να επιτελέσει την ανόρθωση του (ημιτονικού) H/M κύματος.

Βέβαια ο ανορθωτής που ακολουθεί (Q_{rec}) επιφορτίζει το κύκλωμα του συντονισμού και ελαττώνει το συντελεστή ποιότητάς του Q_{res} , ώστε τελικά ο ολικός (total-loaded) $Q_t < Q_{\text{res}}$. Αυτή η μείωση αποτελεί όμως πλεονέκτημα όσον αφορά το εύρος ζώνης συχνοτήτων λειτουργίας B , αφού για μικρό Q_t ο συντονισμός καθίσταται λιγότερο οξύς οπότε το B μεγαλώνει.

Η μέγιστη τιμή συντελεστή ποιότητας που στην πράξη πετύχαμε ήταν $Q_t = 2$ και στο εξής η τιμή αυτή (X2) χρησιμοποιήθηκε ως το παθητικό κέρδος τάσης (overvoltage boosting) που καθιστά διπλάσια την παρεχόμενη τάση στον ανορθωτή, δίνοντας μας πλεονέκτημα τόσο στην εμβέλεια όσο και στην ευαισθησία (S_{min} σε dBm) του tag.

Βέβαια με την ανάπτυξη στατικών ή δυναμικών μεθόδων μείωσης του V_{th} , επιτυγχάνονται αυξημένες τιμές εμβέλειας, λόγω της πιο μικρής τάσης V_r που απαιτείται να φθάνει στον ανορθωτή υποβοηθούμενη από τη δράση και του κυκλώματος υπέρτασης συντονισμού. Οι κύριες μέθοδοι μεταβολής του κατωφλίου τάσης αγωγής των MOSFETs απαιτούν ακριβές υλοποιήσεις στο εργοστάσιο με αυξημένη δυσκολία στην παραγωγή. Άλλες στηρίζονται στην τεχνική Backgate (2nd Gate) MOS που ελέγχει την τιμή τάσης μεταξύ σώματος και πηγής ($V_{\text{BS}} > 0$ για NMOS) επηρεάζοντας έτσι ηθελημένα το κατώφλι τάσης ή μηδενίζοντας αυτό, αφού η περιοχή αποκένωσης φορέων ελαττώνεται και το στρώμα ασθενούς αναστροφής διατηρείται με λιγότερα φορτία και άρα λιγότερη πια τάση ανοίγει τα transistors.

Άλλη μέθοδος που μιμείται και αυτή τη λειτουργία των MOS αποκένωσης διαύλου (Depletion mode MOS) είναι τα FG MOS (Floating Gate) τα οποία από μια 2^η κυρίως πύλη (ελέγχου) μεταφέρουν ποσότητες φορτίου σε αυτήν ώστε να ελέγχξουν το στρώμα απογύμνωσης ή ακόμα και αναστροφής. Υπάρχουν και αρκετές υβριδικές μέθοδοι μεταξύ

των δυο προαναφερθέντων που ελέγχουν αυτή τη “νεκρή ζώνη” τάσης των MOS transistors. Ακόμη μια λύση είναι η τοποθέτηση χωρητικότητας σε σειρά προς την πύλη, ώστε να παγιδεύονται εκεί τα φορτία που έχουν τεχνητά εισαχθεί. Απαιτούν όμως δύσκολο προγραμματισμό κι έλεγχο, αύξηση κόστους και δυσκολίας παραγωγής, πράγμα ανέφικτο προς χρήση στα φτηνά παθητικά ολοκληρωμένα κυκλώματα RFIDs.

Η ανόρθωση, δηλαδή η μετατροπή από RF σε DC πραγματοποιείται με διάφορες τοπολογίες, με χρήση διόδων Schottky (χαμηλού V_{th} μα μη συμβατής παραγωγής κατά CMOS) ή με χρήση transistors MOS συνδεδεμένων είτε ως διόδοι (MOS-diode) είτε ως διακόπτες (MOS-switch), λύση που ακολουθήσαμε και στην παρούσα έρευνα.

Η κλασική τοπολογία γέφυρας πλήρους- ή ημι-ανόρθωσης (για χαμηλές συχνότητες και υψηλές ισχύεις) εδώ δεν έχει χρηστική σημασία λόγω της πτώσης τάσης των 4 διόδων που πρέπει να χρησιμοποιηθούν (2 ανά ημιπερίοδο). Οι νέες τοπολογίες αποφεύγουν αυτό το μειονέκτημα κάνοντας χρήση είτε τεσσάρων διακοπών είτε 2 διακοπών και δύο μόνο διόδων (MOSFETs).

Αν και πολλών τοπολογιών η ύπαρξη, πηγάζει από τους μετατροπείς από DC→DC και εξαρχής φαίνεται πολύ διαφορετική η διεργασία μετατροπής από RF → DC σε σχέση με την αντίστοιχη DC → DC, τα δύο ζητήματα (ανορθωτές και πολλαπλασιαστές τάσης) επικαλύπτονται ισχυρά, αφού πολλά κυκλώματα κυρίως DC → DC, μετατρέπονται σε μετατροπείς RF → DC ή οι ανορθωτές ταυτόχρονα δρουν και ως αναβιβαστές του επιπέδου της DC τάσης, στο ίδιο κύκλωμα και χωρίς εμφανή διαχωρισμό. Έτσι πραγματοποιείται η επιθυμητή ανόρθωση όχι μόνο με τη χρήση της μη γραμμικότητας της χαρακτηριστικής I(V) μιας διόδου, αλλά και βάσει της λειτουργίας διακοπόμενων πυκνωτών (Switched Capacitors) των κλασικών Charge Pumps και CTS, χρησιμοποιώντας όμως ως Clock (Πολοί χρονισμού των διακοπών) το ίδιο το σήμα RF (διαμορφωμένο ημιτονικό) που αν και δεν έχει επακριβώς τη μορφή ενός τετραγωνικής μορφής ρολογιού τελικά καθιστά εφικτή την απαιτούμενη διακοπτική λειτουργία.

Από όλα τα κυκλώματα και τους συνδυασμούς τους, ξεχωρίσαμε τρεις πρακτικές τοπολογίες με αρκετά καλή απόδοση ως ανορθωτικές διατάξεις. Η 1^η οφείλει την ύπαρξή της στον J. Dickson (1976) και εισήχθη αρχικά σαν μετατροπέας συνεχούς σε συνεχές με χρήση κύρια σε flash EEPROMs μνήμες ή για την τροφοδότηση τελεστικών ενισχυτών. Πρόκειται για ένα διπλασιαστή τάσης (VD) και μπορεί να λειτουργήσει όχι μόνο σαν charge pump αλλά και ως ανορθωτής (μετατροπέας RF→ DC). Αυτό γίνεται όταν οι συνδέσεις των δύο αντιφασικών ρολογιών του κλασικού charge pump αντικατασταθούν από το σήμα RF και συνδέοντας στη γη την είσοδο του 1^{ου} σταδίου του. Βέβαια πολλά στάδια μπορούν

κλιμακωτά (cascaded) να συνδεθούν ώστε να αυξήσουμε την συνεχή τάση που θα λάβουμε τελικά. Απαντάται και σε διαφορική κλιμακωτή μορφή ως Greinacher τοπολογία και που τότε αποτελεί ανορθωτή πλήρους κύματος.

Η 2^η τοπολογία ονομάζεται GCCR (Gate Cross Connected Rectifier - P. Favrat) και αποτελεί τροποποίηση μιας γέφυρας ανόρθωσης, κάνοντας χρήση δύο MOS-Diodes και δύο MOS-Switches. Πάλι δε, τα απαραίτητα διαφασικά clocks των διπλασιαστών τάσης αντικαθίστανται από το σήμα RF. Πρόκειται για ανορθωτή πλήρους κύματος. Παρουσιάζει πολύ καλή απόδοση, ταχύτατη απόκριση και χαμηλή κυμάτωση συνεχούς τάσης.

Η 3^η τοπολογία ονομάζεται NVC (Negative Voltage Converter or H-bridge) και αποτελεί έναν ανορθωτή fully cross coupled. Εδώ χρησιμοποιούνται 4 MOS-Switches και υποφέρει ως τοπολογία από την ανυπαρξία τρόπου εμπόδισης του ανάστροφου ρεύματος όταν η DC έξοδος ξεπερνά σε επίπεδο τάσης το εισερχόμενο σήμα. Επίσης όπως ανελύθη από τον ερευνητή (S. Mandal) που κύρια τη χρησιμοποιεί, η τοπολογία αυτή υποφέρει στην αρχή της λειτουργίας της από μια παρασιτική γέφυρα ανόρθωσης δομούμενη από τις παρασιτικές διόδους επαφής μεταξύ πηγής-υποστρώματος η οποία εμποδίζει την ταχεία άνοδο του σήματος συνεχούς τάσης.

Πρόκειται για διπλασιαστή τάσης και δεν υποφέρει από το κατώφλι δυναμικού V_{th} των MOS-diodes, παρά μόνο από την πτώση τάσης λόγω της αντίστασης r_{ds} των MOS σε κατάσταση αγωγής καθώς και από ρεύματα διαρροής που μπορεί να υπάρχουν.

Οι παραπάνω τοπολογίες εξομοιώθηκαν (Cadence) όλες σε RF-CMOS στα 90nm (IBM) ώστε να ερευνηθεί η συμπεριφορά τους σε διάφορα στάδια και μεγέθη χωρητικότητας και MOSFETs με όλους τους παρεχόμενους από την process τύπους (RFMOS, LVT, ZVT) σε μεγάλη κλίμακα διαφορετικών V_{th} . Μετά την εξαγωγή συμπερασμάτων και συγκριτικών αναλύσεων, οδηγηθήκαμε στην υλοποίηση μιας νέας τοπολογίας που έχει εφαρμογή στις δύο μόνο πρώτες υπάρχουσες κυκλωματώσεις που εμπεριέχουν διόδους MOS (Dickson VD, GCCR). Συγκρίναμε δε την καινοτόμο εξέλιξη με τις υπάρχουσες τοπολογίες της βιβλιογραφίας, μετά από σύγκρισή τους στις ίδιες συνθήκες και με την ίδια process.

Η προταθείσα εξέλιξη, στηρίχθηκε κύρια στις μεθόδους μείωσης του V_{th} μέσω της παροχής φορτίου, άρα τάσης στην πύλη, που καθιστά έτσι πιο εύκολο το άνοιγμα των transistors όπως αναφέραμε. Όμως η μέθοδος που εισάγουμε, δεν απαιτεί ούτε εξειδικευμένες κυκλωματώσεις αλλά ούτε πρόσθετα κόστη στην παραγωγή και είναι απολύτως CMOS compatible. Αναλυτικότερα ονομάζουμε τη μέθοδο ως “pseudo-FG” αφού οι κλασικές μέθοδοι FG-MOS είδαμε ότι απαιτούν ειδική μέθοδο πανάκριβης παραγωγής αλλά και προγραμματισμό κι έλεγχο με απαιτήσεις και δυσκολία. Βέβαια στα μεγέθη των καναλιών

λίγων nm που σήμερα υλοποιούνται, ανάλογες μέθοδοι μείωσης του V_{th} , τείνουν να ελκείφουν, αφού το λεπτότατο οξειδίο της πύλης (ιάποια \hat{A}) αποτρέπει τη διατήρηση φορτίου στο GD path για πολύ, λόγω του υπολογίσιμου ρεύματος διαρροής από το λεπτό οξειδίο της πύλης.

Πρακτικά, προσθέσαμε δύο MOS-diode connected transistors και δύο πυκνωτές (MIM) στην αγώγιμη διαδρομή σύνδεσης μεταξύ Drain-Gate (Καταβόθρας-Πύλης) πετυχαίνοντας έτσι την εισαγωγή διαφοράς δυναμικού V_{FG} χωρίς δρόμο διαφυγής των φορτίων (λόγω των πυκνωτών) στη θέση αυτή. Η τάση V_{FG} παράγεται από ένα στάδιο ανορθωτή GCCR με τη χρήση ZVT (Zero V_{th}) MOSFETs που έχουν μηδενικό κατώφλι τάσης και άρα ανοίγουν με ελάχιστο RF σήμα εισόδου. Το μέγεθος της τάσης V_{FG} καθορίζει ουσιαστικά και τη μείωση στο κατώφλι τάσης V_{th} που μπορεί να επιτευχθεί. Η παραπάνω εξέλιξη αν και μπορεί να χρησιμοποιηθεί και στις 2 τοπολογίες όπως αναφέραμε, εντέλει έδωσε πολύ μεγαλύτερη βελτίωση στην περίπτωση του GCCR ανορθωτή τόσο σε αύξηση απόδοσης (PCE, VCE) και ταχύτητας (settling time) όσο και στην ελάττωση της κυμάτωσης (ripple) . Για το λόγο αυτό η υλοποίηση ενός πρότυπου chip ολοκληρωμένου ανορθωτή 4 σταδίων με τα απαραίτητα κυκλώματα προσαρμογής και προστασίας υπέρτασης (limiters) στηρίχθηκε σε GCCR/Pseudo-FG τοπολογία κυκλώματος.

Ο στόχος μας πάντοτε ήταν η επίτευξη συνεχούς τάσης 1.2V στην έξοδο, ικανή να θέσει σε λειτουργία τόσο ψηφιακά (και $< 1V$) όσο και αναλογικά κυκλώματα στα τμήματα που ακολουθούν. Οι προσπάθειες μας στόχευσαν κύρια στην επίτευξη μεγάλης απόδοσης μετατροπής τάσης (VCE) και όχι τόσο στην υψηλή απόδοση μετατροπής ισχύος (PCE), που απαιτεί μικρά φορτία (loads) άρα μεγάλα ρεύματα και άρα μεγάλες διαστάσεις (W/L) transistors ώστε να χειριστούν τα ρεύματα αυτά.

Οι πειραματικές μας μετρήσεις βρέθηκαν σε πολύ καλή συμφωνία με τις μετρήσεις των εξομοιώσεων. Ο παράγοντας βελτίωσης της τάσης εξόδου με τη χρήση της καινοτόμου pseudo-FG κυκλωμάτωσης στον 4-σταδίων ανορθωτή, είναι 11.5% όταν στην είσοδο εισέρχεται η απαιτούμενη τάση που καθιστά εφικτή την ανάπτυξη των 1.2V DC τάσης εξόδου και οφείλεται στη μείωση του V_{th} με αποτέλεσμα την αύξηση ενεργού περιοχής λειτουργίας του ανορθωτή (μικρότερη τάση ώστε να άγουν τα MOSFETs αλλά και μεγαλύτερη περίσσεια διαφοράς δυναμικού προς ανόρθωση, για δεδομένη τάση στην είσοδο του ανορθωτή).

Ο ανορθωτής 4 σταδίων που κατασκευάστηκε, μετρήθηκε πειραματικά να έχει απόδοση μετατροπής τάσης και ισχύος $VCE = 63.83\%$ και $PCE = 1.05\%$ (για φορτίο 1M Ω)

αντιστοίχως, για είσοδο RF ισχύος -8.60dBm (117.5mV RF input) με εμβέλεια 0.75m (EIRP = 825mV in EUROPE).

Επίσης εξομοιώσαμε έναν ανορθωτή 20 σταδίων με χρήση μόνο ZVT MOSFETs σε τοπολογία GCCR που λειτούργησε ταχύτατα με ελάχιστη κυμάτωση χωρίς τα προβλήματα αυξημένων διαρροών ρεύματος που όλα τα άλλα δικτυώματα επέδειξαν με χρήση MOS μηδενικού V_{th} . Αυτό συμβαίνει κυρίως σε ανορθωτές με λογική λειτουργίας διακοπτόμενων πυκνωτών αφού ένα MOS με μηδενικό ή ελάχιστο V_{th} ποτέ δεν είναι απόλυτα ανοιχτό ή κλειστό (εναλλάξ) όπως θα έπρεπε στη λειτουργία του ως τέλειος διακόπτης. Έτσι για μια RF τάση εισόδου ίση με 53.5mV (-15.43dBm) και σε φορτίο $1\text{M}\Omega$ λάβαμε 1.25V DC τάση εξόδου ή μια ισχύ εξόδου $1.563\mu\text{W}$ ($I = 1.25\mu\text{A}$), με απόδοση $VCE = 29.21\%$ και $PCE = 5.46\%$ με εμβέλεια 1.65m . Με φορτίο $0.2\text{M}\Omega$ λάβαμε $VCE = 16.67\%$ και $PCE = 8.89\%$.

Εντέλει, με βάση τις μετρήσεις μας από πειράματα και εξομοιώσεις συμπεραίνουμε ότι οι προταθέντες ανορθωτές μπορούν με αυξημένη απόδοση να προσδώσουν την απαραίτητη συνεχή ισχύ σε αισθητήρες ή παθητικά RFIDs. Συγκριτικά δε με άλλες υλοποιήσεις από την ερευνητική βιβλιογραφία, οι ανορθωτές που εισήχθησαν υπερέχουν, ειδικά αν λάβει κανείς υπόψιν (ένεκα της απουσίας ενός ευρέως αποδεκτού figure of merit) την εκπεμπόμενη ισχύ (EIRP μικρό στην Ευρώπη), τη συχνότητα λειτουργίας (2.45GHz , υψηλό FSPL), το κέρδος και την αντίσταση της κεραίας (50Ω αντί π.χ. 300Ω) καθώς και το φορτίο, αλλά και το ότι προβήκαμε σε μια πλήρως ολοκληρώσιμη υλοποίηση με ότι αυτό συνεπάγεται στη χαμηλή τιμή του συντελεστή ποιότητας Q , λόγω των ολοκληρωμένων (on chip) σπειροειδών πηνίων.

ABSTRACT

A major problem in designing wireless sensor networks (WSN) is the very limited energy supply of its nodes. Although there are plenty of energy conservation protocols for these networks, the energy problem remains of paramount importance. Harvesting energy from the ambient environment is an approach that will solve the problem of powering these network nodes. Various sources of energy can be collected, such as solar radiation, vibrations - oscillations, heat, pressure variations, radiofrequency (RF) and other natural phenomena.

Of course, harvesting energy from the environment typically changes over time with a non-deterministic manner and is characterized by randomness. The operation of a node which is powered by energy harvesting, generally is characterized by the fact that at any time, the total amount of energy required to operate normally, must be less than or equal to the sum of the energy that is already existed in the battery and total energy that can be harvested. Obviously, it is difficult to estimate the amount of harvesting energy, because is characterized by complete randomness thus is also difficult to achieve proper operation of the node. In a future “Internet of Things” where RFIDs (Radio Frequency IDentification) will be integrated with sensors or other devices (MEMS / Micro-Electro-Mechanical Systems or EnHANTs / Energy Harvesting Active Networked Tags) on everything and everywhere, these requirements are of crucial meaning.

An energy harvesting system generally includes three parts, a microgenerator (rectifier, inverter etc.) which converts the energy of the environment into electric energy, a voltage amplifier (DC) to increase the DC voltage and a storage element (rechargeable battery or an electrolytic double layer EDLC (super)-capacitor). Although there are lots of alternative energy harvesting forms, we are initially focused on the electromagnetic radiofrequency energy harvesting (RF) which is present all around us as Background RF (radio, TV broadcasting, mobile phones and base stations, wireless networks etc.) or is specifically installed for this purpose (antenna transmitting power in a certain frequency to feed a network of sensors or RFIDs for their operation, without the necessity of energy source in their main bodies (passive tags)). Obviously, this research is focused on the radiofrequency energy harvesting and the conversion of the initial RF power to a DC

one that can be implemented by a rectifier which is a nonlinear element such as diode (Schottky or MOS-diode).

Of course, a small -almost constant- voltage that is taken from the rectifier, should be increased by a DC-DC converter known as Charge Pump (CP) or Charge Transfer Switch (CTS) to have practical significance. Although the transmission of electromagnetic energy via near field induction has several applications in nowadays, this thesis focuses on the far field radiation of electromagnetic energy at frequencies mainly of the microwave ISM-RFID band (2.45GHz). The transition from the near magnetostatic and electrostatic field to the radiated far field, became true when the passive RFIDs had to operate at high frequencies (not LF or HF anymore).

In the case of passive RFIDs we have considered, the communication between reader-tag is through backscattering reflection where via impedance modulation, we change the amount of energy that can be reflected from the tag. For the proper communication two basic conditions must be kept:

- i) the power transfer from the emitter to receiver, able to turn it on, and where there is power loss with the 2nd power of distance r and
- ii) the sufficient amount of power, to return back to the emitter (which now receives) damped by the 4th power of distance r .

Regarding the coupling from tag to reader through backscattering modulation, should be used terminology known from Radar's theory where this method owes its existence. After we managed to activate the tag, then a sufficient amount of power must be returned to the reader, transferring at least the ID of tag or other information. However, the signal that reader takes (as a receiver now that responds to tag) should exceeds electronic noise level to be detected-decoded correctly.

For proper operation of the rectifier we add before it an absolutely essential overvoltage resonance circuit (Resonator or Voltage Booster) which increases the level of the received voltage in order to be possible the rectification, via the opening of the low (LVT) or zero (ZVT) threshold voltage (V_{th}) MOS-diodes transistors. The amount of the resonance overvoltage gain depends on quality factor Q , so a large Q increases the received voltage to provide sufficient (QV) voltage to rectifier. Essentially, this impedance matching/overvoltage boosting circuit plays a dual role: to make conjugate impedance matching of the antenna and chip impedances, and to resonate to the frequency of operation with the direct effect of passive overvoltage gain of the voltage that tag can accept. As it was observed from experiments and simulations, there is a

“trade off” between perfect matching and the perfect resonance to the frequency of operation.

Apparently, a perfect matching can be achieved in a small (ideally zero) frequency band (narrowband matching) so then we have maximization of the quality factor Q . The upper limit of the maximum achievable bandwidth (minimum Q) of impedance matching has been set by Bode-Fano. A wideband impedance matching circuit which can't match perfectly the impedances, will reflect much of the power back, but will give an insufficient voltage to rectifier for rectification. Of course the rectifier (Q_{rect}) that follows, loads the resonator and reduces Q , so the total-loaded $Q_t < Q_{res}$. But this reduction provokes a less sharp resonance or a larger bandwidth.

The maximum loaded quality factor we achieved, was $Q_t = 2$ and from so on this will be the voltage gain of overvoltage boosting circuit, that doubles the supplied voltage to rectifier, giving us an advantage both in range and sensitivity (S_{min} in dBm) of tag.

Also, with the development of static or dynamic V_{th} reduction methods, higher ranges are achieved, due to the smaller voltage that rectifier demands to open its MOS-diodes or MOS-switches. The main methods of threshold voltage reduction require expensive factory implementations and increased difficulty in the chip production. Others rely on the Backgated (2^{nd} -Gated) technique that controls the voltage between body and source ($V_{BS} > 0$ for NMOS) affecting V_{th} because the depletion area is reduced and the inversion layer is maintained with less charge. As a result, less voltage opens now the transistors.

Another method which imitates the Depletion mode MOSFET is the Floating Gate FG-MOS where via a second gate they control the charge transferring that is necessary to control the depletion or even the inversion layer. There are and several hybrid between the above methods which control the “dead zone” of MOSFETs. Another solution is the installation of a capacitor in series with the gate, to trap there all the charges that have introduced before. All these methods require difficult control and complicate programming with rising of cost and difficulty of production, which is impractical in the case of cheap passive RFIDs.

Rectifiers or RF-to-DC converters are used in radio frequency identification (RFID) transponders where the energy storage element is powered up by the transmitted RF signal. Diodes or diode-connected MOS transistors are commonly used to implement rectifiers. Full-wave bridge structures are also used as they offer higher power efficiency, smaller output ripples and greater reverse breakdown voltage compared with their counterpart, the half-wave rectifiers. However, they are both constrained by the inherent

diode/transistor forward-bias voltage drop which results in a significant power loss within the rectifier, that affects the overall power efficiency and decreases the delivered voltage to the following modules. This negative impact becomes increasingly significant in the design of low-voltage power supplies, which is the case for new sub-micron CMOS technologies. The oldest and predominant topology has been introduced by J. Dickson (Voltage Doubler, VD, for DC-DC conversion) and is the most frequently and efficiently used in literature. Another common architecture is the Gate Cross Coupled Rectifier (GCCR). Finally, fully Cross-Coupled structures (NVC) have also been introduced where both upper and lower main branch transistors are cross-coupled.

Though many topologies come from the DC-DC converters area, and at first the RF-DC conversion looks quite different than the DC-DC one, the two issues overlap strongly, as many circuits of DC-DC conversion act simultaneously and as RF-DC converters and reversely. So, the rectification is made by the use of nonlinearity of the diode I(V) characteristic or by the use of Switched Capacitor's operation of Charge Pumps or Charge Transfer Switches, that use as biphasic clock (to control the timing of switching), the RF+, RF- signals, in a fine approximation that finally works.

It should be noted that all topologies have been designed and simulated using the same 90nm RF-CMOS process and conditions. After simulations, comparative analysis and conclusions, we implemented a novel topology, which applies to the topologies that have diodes (2 or 4 per cell), so only VDs and GCCR rectifiers could be used in this innovation. Based on a basic Voltage Doubler (VD) and on a GCCR, we introduce a modified basic cell, the pseudo-FG with the addition of two MOS diode connected transistors and two MIM capacitors at the drain-gate connection path of MOS-diodes. The signal V_{FG} that is essential for the reduction of threshold can be produced by one efficient stage of a NVC or a GCCR basic cell using zero V_{th} (ZVT) MOSFETs. A voltage is inserted in the drain-gate path of the diode connected MOSFETs and if $V_{FG} = V_{th}$, then $V_s = V_d$. Thus the threshold voltage of these transistors is reduced accordingly to the value of V_{FG} . This approach improves VCE and reduces time delay and ripple. We called this method of threshold voltage as pseudo-FG. This method does not require either special circuitry or additional cost in fabrication (via the necessity of new masks in photolithography). Also is fully CMOS compatible. Between the two topologies we simulated via our method, the GCCR one, had the best efficiency (VCE & PCE) the faster response (smaller Settling time) and extremely small ripple. So we decided to implement a prototype chip of an integrated 4-stages GCCR/pseudo-FG rectifier, where

the FG signal is produced by one stage of a ZVT-GCCR rectifier, with the necessary circuits of overvoltage protection (Limiter) and ESD protection of the whole chip. Our goal has always been to achieve constant DC output voltage 1.2V, able to operate both digital ($< 1V$) and analog circuits of the following sections. Our efforts were focused on the achievement of high voltage conversion efficiency (VCE) than high power conversion efficiency (PCE), which requires small loads or large currents and therefore MOSFETs of large dimensions to handle these large currents.

The experimental measurements are in a very good agreement with the measurements of simulations. The improvement factor of the output voltage of the 4-stage rectifier using the innovative pseudo-FG topology/circuitry is 11.5% when in the input of rectifier we accept the minimum required voltage for the production of 1.2V as DC output voltage. This voltage enhancement comes from the V_{th} reduction and the excess of voltage that can be used as a larger effective (overdrive) voltage for the easier opening of MOS-diodes.

The 4-stages Rectifier was experimentally found to have a VCE = 63.83% and a PCE = 1.05% (at load $1M\Omega$) for an input RF power of -8.60dBm or 117.5mV as RF voltage input (235mV as rectifier's input due to $Q_t = 2$) and a range of 0.75m (for EIRP = 825mV or ERP = 500mW in Europe, by ETSI regulations). We also have simulated and a 20-stages rectifier using only ZVT MOSFETs in a GCCR topology, that had a very fast response with very small ripple and without the problems of increased leakage that had all other topologies using ZVT MOSFETs. The main reason is possibly because of the use of switches (of zero V_{th}) in the switched capacitors type of rectifiers and the fact that when the one MOS switch is closed (opened) the other is not 100% opened (closed) as might be as a perfect switch and this provokes large leakages. So , for an input RF voltage of 53.5mV (or -15.43dBm) and for a load $1M\Omega$ we took 1.25V as output DC voltage or an output power of 1.563uW (or $I = 1.25\mu A$) with a VCE = 29.21% and a PCE = 5.46%, and a range of 1.65m. With a load $0.2M\Omega$ the VCE = 16.67% and the PCE = 8.89%.

The proposed architectures are more efficient and robust compared to previously reported works, especially when taking into account the transmitted power P_t , the frequency of operation, the antenna gain G_s and resistance R_s and the load R_L . Given the absence of a unique figure of merit, the comparison with previously published works, might be misleading to the reader. We should note that to obtain the results reported here, real-valued antenna and load impedances have been assumed ($R_s = 50\Omega$ and $R_L =$

1M Ω). Obviously the PCE is proportional to R_s but inversely proportional to R_L . The number of stages N (very small in our case) has direct relationship to the die area and also affects the results. The frequency of operation determines the free space propagation loss (FSPL) and thus the range, whereas it provokes larger parasitic substrate capacitance losses. Low transmitted power (P_t), which in our case is based on the very strict European (ETSI) regulations, also limits the coverage area. Finally, the proposed converter is fully integrated, so the achieved Q_t is very poor (on-chip inductors) in contrast to the large total quality factors in designs with off-chip components. A novel for RF power harvesting at 2.45 GHz has been implemented. With the aid of the proposed V_{th} reduction techniques, improved performance is achieved using fabrication procedures in a 90nm standard CMOS process, without additional cost. Based on our measurements we conclude that the use of the proposed rectifiers in energizing RFID tags or sensors appears to be realistic and effective.

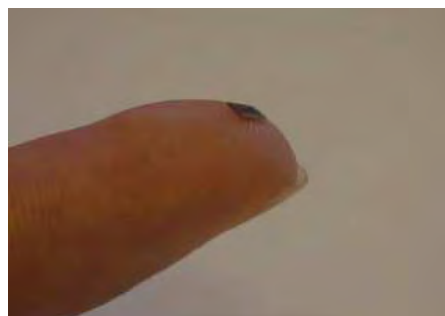
1. Εισαγωγή

1.1 «Ένας ασύρματος κόσμος»

Σημαντικό πρόβλημα στη σχεδίαση ασύρματων δικτύων αισθητήρων (WSN) είναι η εξαιρετικά περιορισμένη ενεργειακή τροφοδότηση των κόμβων του. Αν και υπάρχει πληθώρα από πρωτόκολλα διατήρησης της ενέργειας για τα δίκτυα αυτά, το ενεργειακό πρόβλημα παραμένει τεράστιας σημασίας. Η συγκομιδή ενέργειας από το ατμοσφαιρικό περιβάλλον αποτελεί μια προσέγγιση που αναμένεται να επιλύσει το πρόβλημα ενέργειας των κόμβων του δικτύου. Διάφορες πηγές ενέργειας μπορούν να συλλεχθούν, όπως ηλιακή ακτινοβολία, δονήσεις - ταλαντώσεις, θερμότητα, διακυμάνσεις πίεσης, ραδιοσυχνότητες (RF) κι άλλα φυσικά φαινόμενα.

Βέβαια, η συγκομιδή της ενέργειας από το περιβάλλον τυπικά μεταβάλλεται με το χρόνο με ένα μη αιτιοκρατικό τρόπο και τη χαρακτηρίζει η τυχαιότητα σε όλες τις εκφάνσεις της. Η λειτουργία ενός κόμβου που τροφοδοτείται με ενεργειακή συγκομιδή, χαρακτηρίζεται γενικά από το ότι σε κάθε χρονική στιγμή, το συνολικό ποσό ενέργειας που απαιτείται για την απρόσκοπτη λειτουργία του, πρέπει να είναι μικρότερο ή ίσο από το άθροισμα της ενέργειας που ήδη προϋπάρχει στη μπαταρία και της ενέργειας που συνολικά μπορεί να συγκομιστεί. Είναι έκδηλη δε, η δυσκολία εκτίμησης του ποσού ενέργειας προς συγκομιδή, αφού χαρακτηρίζεται από απόλυτη τυχαιότητα και συνακόλουθα δύσκολη είναι κι η επίτευξη ορθής λειτουργίας του κόμβου.

Σέ ένα μελλοντικό όμως «Διαδίκτυο (των) Πραγμάτων» (Internet of things) όπου τα RFIDs (Εικ.1-1) θα είναι σε μορφή ολοκληρωμένου μαζί με αισθητήρες ή άλλες μικροσυσκευές (MEMS / Micro-Electro-Mechanical Systems ή EnHANTs / Energy Harvesting Active Networked Tags [16]) πάνω σε κάθε τι και παντού, οι παραπάνω απαιτήσεις αποκτούν πρωταρχική σημασία.



Εικόνα 1-1. Ένα RFID μέσα στο μάτι μιας βελόνας [2] και στην άκρη δαχτύλου (800X800μm)

1.2 Περίγραμμα της Διατριβής (Thesis Outline)

Η παρούσα διατριβή, πραγματεύεται τη διαδικασία μετατροπής της ισχύος ραδιοσυχνοτήτων (RF Power) σε ισχύ συνεχούς (DC Power), μέσω απόλυτα ολοκληρωμένων ανορθωτικών διατάξεων που η κύρια χρήση τους είναι τα ασύρματα δίκτυα αισθητήρων (WSN) καθώς και τα RFIDs.

Η ισχύς ραδιοσυχνοτήτων συχνότητας 2.45GHz (ISM-RFID Band) μπορεί είτε να συλλεχθεί από την ήδη υπάρχουσα στο περιβάλλον για άλλο σκοπό (Energy Harvesting or Scavenging) είτε να αποσταλεί στο δέκτη (tag) ειδικά εκπεμπόμενη για το σκοπό αυτό.

Αρχικά σε μια σύντομη εισαγωγή (1^ο Κεφ.), αναφέρουμε τα βασικά προβλήματα που ενσκήπτουν στο σημερινό «ασύρματο κόσμο» μας, ενώ παρουσιάζουμε και ένα σύντομο περίγραμμα της θέσης.

Ακολούθως (2^ο Κεφ.), μετά από μια μικρή ιστορική αναφορά στους πρωτεργάτες της ενεργειακής συγκομιδής και της ασύρματης μεταφοράς ενέργειας γενικότερα, αναφέρουμε και όλες τις υπάρχουσες εναλλακτικές λύσεις για συγκομιδή ενέργειας οι οποίες τίθενται σήμερα υπό ανάλυση και έρευνα για την αξιοποίησή τους στην πράξη.

Επίσης γίνεται και αναφορά στους δύο βασικούς τρόπους αποθήκευσης ενέργειας, τις επαναφορτιζόμενες μπαταρίες και τους Ηλεκτρολυτικούς υπερπυκνωτές. Τέλος τίθενται οι πρώτες αρχές της μετατροπής από DC→DC με σκοπό τη μετάβαση στην επιθυμητή μετατροπή από RF→DC, που εκτενώς αναλύουμε στο 6^ο Κεφ.

Στο επόμενο (3^ο Κεφ.) ασχολούμαστε με το θέμα της Ασύρματης Ταυτοποίησης (RFIDs), γίνεται ο διαχωρισμός τους ανάλογα με τον τρόπο λειτουργίας τους και τροφοδότησής τους και εισερχόμαστε στο καίριο θέμα της εμβέλειας αυτών. Έτσι εξηγούμε τον τρόπο διάδοσης της Η/Μ ακτινοβολίας στο μακρινό πεδίο γύρω από τον εκπομπό (Reader) έπειτα από μικρή αναφορά στον εναλλακτικό τρόπο διάδοσης κοντινού πεδίου. Τίθενται κατόπιν οι περιορισμοί που θέτει η απώλεια λόγω διάδοσης στον ελεύθερο χώρο (FSPL) οπότε πραγματοποιούνται οι πρώτοι υπολογισμοί για τη ζεύξη (Forward Link Budget) μεταξύ Reader→Tag. Ακολούθως γίνονται οι απαραίτητοι υπολογισμοί και η θεώρηση της αντίστροφης επικοινωνίας tag→reader (Backward Link) με βάση τη διαμόρφωση εμπέδησης που σκοπό έχει τη μεταβολή του ποσού της ανακλώμενης ενέργειας από το tag προς τον reader, με τη βοήθεια της κλασικής θεωρίας των Radars.

Ακολούθως (4^ο Κεφ.) εισάγουμε το πρόβλημα της ορθής προσαρμογής εμπεδήσεων αλλά και το ζήτημα της επιθυμητής υπέρτασης λόγω συντονισμού, σχετικά με ένα κύκλωμα με διττό ρόλο, μεταξύ κεραίας και ανορθωτικής διάταξης. Αφού τεθεί γενικά το πρόβλημα της προσαρμογής, με βάση τη θεωρία Bode-Fano τίθεται το όριο που σχετίζεται με τη δυνατότητα τέλει προσαρμογής εμπεδήσεων σε ένα συγκεκριμένο εύρος ζώνης συχνοτήτων, με δεδομένο τον ανεκτό κατά περίπτωση συντελεστή ανάκλασης. Όμως το εύρος ζώνης συχνοτήτων B είναι αντιστρόφως ανάλογο του συντελεστή ποιότητας (υπέρτασης) Q με αποτέλεσμα η απαίτηση για τέλεια προσαρμογή σε μια στενή ζώνη συχνοτήτων, να καθιστά πολύ μεγάλο το αντίστοιχο Q . Έτσι για 1^η φορά, αναδεικνύεται θεωρητικά, η ανάγκη προς εύρεση μιας χρυσής τομής, μεταξύ της απαίτησης για υψηλό Q (ώστε λόγω υπέρτασης συντονισμού να μεγιστοποιείται η παρεχόμενη τάση στον ανορθωτή) και της ορθής προσαρμογής σε όχι πολύ στενό εύρος ζώνης συχνοτήτων B , που απαιτεί μικρή τιμή στο Q για να επιτευχθεί. Κατόπιν αναφέρονται οι μέθοδοι προσαρμογής με καταναμημένα και μη, παθητικά στοιχεία, ενώ αναλύεται διεξοδικά η επιλεγμένη μέθοδος L-match. Μετά από μια μικρή αναφορά στο κλασικό θέμα του συντονισμού, εισάγουμε ένα μοντέλο, με σκοπό τον υπολογισμό του ολικού (loaded) συντελεστή ποιότητας του κυκλώματος «Κεραίας – Συντονιστή/Προσαρμογέα – Ανορθωτή».

Με βάση το μοντέλο αυτό αλλά και την πραγματικά επιτευχθείσα τιμή του Q ($=2$) υπολογίζουμε την εμβέλεια του tag, με βάση και την απώλεια FSPL. Ορίζουμε επίσης τις αποδόσεις μετατροπής τάσεως και ισχύος για το όλο κύκλωμα (VCE, PCE) που μαζί με την εμβέλεια αποτελούν έναν τρόπο σύγκρισης (FOM) με άλλες υλοποιήσεις.

Κατόπιν (5^ο Κεφ.), περνούμε στο κυρίαρχο ζήτημα της ελάττωσης της τάσεως κατωφλίου (Voltage Threshold, V_{th}) και παρουσιάζονται (μεταξύ πολλών εναλλακτικών μικροηλεκτρονικών κύρια μεθόδων) οι δύο κύριες μέθοδοι για αυτό το σκοπό (Backgated and Floating Gate MOSFETs), αφού αρχικά γίνει μια σύντομη αναγκαία ανασκόπηση στις βασικές αρχές λειτουργίας των MOSFETs.

Έπειτα (6^ο Κεφ.) αρχικά εξηγείται η διαδικασία της ανόρθωσης και η μετάβαση από τους κλασικούς μετατροπείς DC-DC (Charge Pumps or Charge Transfer Switches) στους μετατροπείς RF-DC (Rectifiers) που αναφέρθηκαν και στο Κεφ.3. Κατόπιν διεξοδικά, αναλύονται οι τρεις κυρίαρχες τοπολογίες – κυκλωματώσεις της βιβλιογραφίας (VD, GCCR, NVC) και τονίζονται τα πλεονεκτήματα και μειονεκτήματα αυτών. Ακολούθως εισάγεται η προταθείσα τοπολογία μας,

επονομαζόμενη ως pseudo-FG (Floating Gate) μιας και το έναυσμα για την πρότασή της εκκινεί από τη μέθοδο μείωσης V_{th} μέσω των προστιθέμενων (μικροηλεκτρονικά όμως συνήθως) φορτίων στην πύλη.

Μετά αναλύεται λεπτομερώς τόσο ο ανορθωτής τύπου Dickson-VD (Voltage Doubler) όσο και οι ανορθωτές που εμπεριέχουν τρανζίστορ ως διακόπτες και όχι μόνο συνδεδεμένα ως δίοδοι. Αποδεικνύεται δε και θεωρητικά η αυξημένη τους -αν και αναμενόμενη- απόδοση, ειδικά στα πολύ χαμηλά υποκατωφλιακά επίπεδα τάσης που φτάνουν στον ανορθωτή, αφού αρχικά γίνει μια μικρή αναφορά στο θέμα των MOS-Switches και CMOS-Switches (TG, Transmission Gate). Εξηγείται δε και η λειτουργία των CTS (Charge Transfer Switches) που αποτελούν εξέλιξη των αρχικών CP (Charge Pumps) με τη χρήση διακοπών MOS αλλά και λειτουργία τύπου διακοπόμενων πυκνωτών (Switched Capacitors operation), γνωστής και από τα ολοκληρωμένα ενεργά φίλτρα.

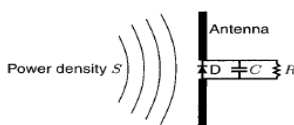
Κατόπιν αναφερόμαστε σε άλλα υποστηρικτικά κυκλώματα του RF-FrontEnd όπως τα κυκλώματα παραγωγής τάσης αναφοράς χάσματος ζώνης (BVR, Bandgap Voltage References), οι σταθεροποιητές τάσης (Voltage Regulators) αλλά και κυκλώματα περιορισμού της τάσης ή προστασίας από την υπέρταση (Overvoltage Protectors and Limiters). Μάλιστα προτείνουμε και έναν απλό περιοριστή τάσης, ο οποίος χρησιμοποιήθηκε στα κυκλώματά μας. Τέλος αναφέρονται εν συντομία τα κυκλώματα τηλεπικοινωνιακής λογικής του tag (AM Demodulator, Envelope Detector, Backscatter Modulator) αλλά και τα απαιτούμενα κυκλώματα για τη διασύνδεση με το ψηφιακό τμήμα του (POR, Clock Extractor), καθώς και τα απαιτούμενα κυκλώματα προστασίας από ηλεκτροστατικές εκφορτίσεις-εκκενώσεις του όλου chip (ESD).

Το επόμενο (7^ο Κεφ.) εμπεριέχει όλες τις εξομοιώσεις όλων των κυκλωμάτων που σχεδιάσαμε, βελτιώσαμε ή προτείναμε αλλά και τα πειραματικά αποτελέσματα των μετρήσεων ενός chip που κατασκευάστηκε, με έναν ανορθωτή 4 σταδίων GCCR pseudo-FG που στηρίζεται στην τοπολογία που προτάθηκε και όπου το σήμα FG το παράγει ένα στάδιο ενός ανορθωτή GCCR-nZVT, με χρήση τρανζίστορς μηδενικής τάσης κατωφλίου. Όλα τα συμπεράσματα προέκυψαν μετά από το συνδυασμό θεωρητικών υπολογισμών με αυτές από τις εξομοιώσεις ή (και) με τη χρήση μετρήσεών μας από πειράματα, όπου αυτό κατέστη δυνατό. Τέλος τίθενται οι προτάσεις για συνέχιση των ερευνών και ακολουθεί η απαραίτητη βιβλιογραφία.

2. Ιστορία της «Ενεργειακής Συγκομιδής»

2.1 «Από το N.Tesla στο σήμερα, 100+ χρόνια μετά»

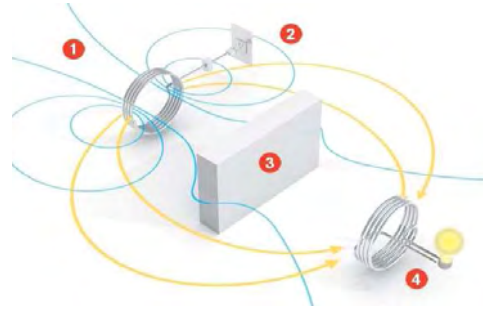
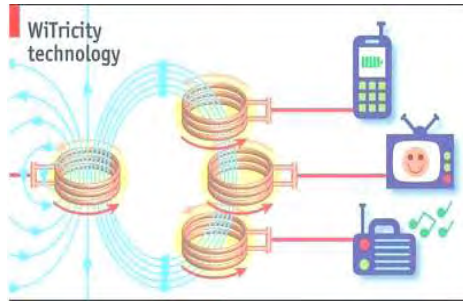
Ένα σύστημα ενεργειακής συγκομιδής περιλαμβάνει γενικά 3 τμήματα, τη **μικρογεννήτρια** (μετατροπέας, ανορθωτής κλπ) που μετατρέπει την ενέργεια του περιβάλλοντος σε ηλεκτρική ενέργεια, έναν **ενισχυτή τάσης (DC)** προς αύξηση αυτής κι ένα **στοιχείο αποθήκευσης** (επαναφορτιζόμενη μπαταρία ή ένας ηλεκτρολυτικός πυκνωτής διπλής επίστρωσης EDLC-Supercapacitor). Αν και είναι μεγάλο το πλήθος εναλλακτικών μορφών ενέργειας προς συγκομιδή, αρχικά θα σταθούμε στην περίπτωση της συγκομιδής Ηλεκτρομαγνητικής (H/M) ενέργειας ραδιοσυχνοτήτων (RF) που υπάρχουν (Background RF) παντού γύρω μας (ραδιοφωνία, τηλεοπτικές μεταδόσεις, κινητή τηλεφωνία, ασύρματα δίκτυα H/Y κ.α.) ή τοποθετούνται ειδικά για το σκοπό αυτό (Κεραία εκπομπής ραδιοκυμάτων ορισμένης συχνότητας και ισχύος προς άντληση αυτής της ενέργειας από ένα δίκτυο αισθητήρων ή απλών RFIDs ώστε να λειτουργήσουν, όντας παθητικά, χωρίς ανάγκη ύπαρξης δικής τους πηγής στο κύριο σώμα τους). Η συγκομιδή τέτοιας μορφής ενέργειας κύρια επιτυγχάνεται με μια “ κεραία ανόρθωσης ” (Rectifying Antenna – Rectenna, Εικ. 2-1) που βέβαια στις χαμηλές συχνότητες δρα περισσότερο ως αυτεπαγωγή και όχι ως κεραία. Αν και ως διαδικασία μετατροπής αναφέρεται αρχικά από τον N.Tesla (το 1899), ως όρος πρωτοαναφέρθηκε από τον W.C.Brown [9] σχετικά με την δυνατότητα πτήσης ελικοπτέρου τροφοδοτούμενου ασύρματα με ενέργεια ισχυρών μικροκυμάτων. Η ανόρθωση αυτή μετατρέπει σε συνεχές ηλεκτρικό ρεύμα την μικροκυματική ηλεκτρομαγνητική ενέργεια των προσπίπτοντων RF σημάτων. Αυτή είναι βέβαια και η περιοχή έρευνας αυτής της διατριβής, αλλά κατά κάποιο τρόπο αποδίδουμε και την απαραίτητη τιμή στον πρωτεργάτη της ασύρματης μεταφοράς H/M ενέργειας (WPT – Wireless Power Transmission), του Κροάτη N.Tesla [5] που πολλά σχέδια και πατέντες του συνεχίζουν να τίθενται υπό εξονυχιστική έρευνα και αναλύσεις στην USA από τη DARPA (Defense Advanced Research Projects Agency) που κύρια ερευνά τη συγκομιδή ενέργειας από το ίδιο το ανθρώπινο σώμα για τη λειτουργία “φορετών” αισθητήρων ή και συσκευών.



Εικόνα 2-1 . Τοπική διάταξη μιας Rectenna

Βέβαια σήμερα έχουν ερευνητικά αναπτυχθεί και κεραίες ελαχίστων διαστάσεων (Nantennas – Nanoantennas) με σκοπό τη λήψη ενέργειας από σήματα ελαχίστου μήκους κύματος λ (0.3-2 μm) ακόμα και στην περιοχή του υπέρυθρου (IR) ή ακόμα και ορατού φωτός προς μετατροπή τους σε ηλεκτρική ενέργεια (NEC – Nantenna Electromagnetic Collectors) [4]. Σε τέτοιες όμως τιμές συχνοτήτων (εκατοντάδων THz ή PHz) το ηλεκτρικό ρεύμα λόγω του επιδερμικού φαινομένου (skin effect) οδεύει σε μια ελάχιστη εξωτερική περιοχή της νανο-κεραίας οπότε έτσι αυξάνεται η αντίσταση αυτής και μειώνεται η απόδοσή της. Επίσης οι απαραίτητες δίοδοι ανόρθωσης της εισαχθείσας ακτινοβολίας σε συνεχή (DC) τάση (συνήθως Schottky που έχουν μικρό κατώφλι τάσης (Voltage Threshold - V_{th}) λειτουργίας-αγωγής) σε αυτές τις συχνότητες καθίστανται ανεπαρκείς, κύρια λόγω της παρασιτικής χωρητικότητας επαφής (p-n) ειδικά σε συχνότητες >5THz. Έτσι ερευνώνται νέες δίοδοι που βασίζουν τη λειτουργία τους στο φαινόμενο σήραγγος (tunnel effect) και είναι υλοποιημένες με τεχνολογία MIM (Metal-Insulator-Metal, συνήθως με χρήση Νιόβιου-Nb ή Αντιμόνιου-Sb ως μετάλλου) όπως και οι χωρητικότητες που ευρύτατα σήμερα χρησιμοποιούνται και στην περιοχή μικροκυματικών συχνοτήτων. Έτσι τέτοιες δίοδοι λειτουργούν ακόμα και στα 150THz ($\lambda \approx 2\mu\text{m}$) [3]. Βέβαια, σε ακόμα μεγαλύτερες μελλοντικά οπτικές συχνότητες (~PHz), κάθε κλασική ανάλυση κεραίων και λήψης H/M ακτινοβολίας καθώς και μετατροπής αυτής σε DC τάση (ανόρθωση), θα απαιτεί μια ανάλυση με βάση θεωρία κβαντομηχανικής [4].

Σήμερα πάνω από 100 χρόνια μετά τον Tesla που εισήγαγε την ασύρματη μετάδοση με αγωγή, ερευνητές κύρια στο MIT (Marin Soljačić et.al.) προωθούν ή ξαναεφευρίσκουν την έννοια της Witricity (**Wireless Electricity**) οραματιζόμενοι έναν κόσμο άνευ καλωδίων παροχής ηλεκτρικής ενέργειας στηριζόμενοι όμως σε ηλεκτροδυναμική επαγωγή (σαν μετασχηματιστής απομακρυσμένου πρωτεύοντος-δευτερεύοντος που όμως κάθε πηνίο έχει και μια απαραίτητη χωρητικότητα για τη δόμηση κυμαινόμενου LC συντονισμένου κυκλώματος) κοντινών συζευγμένων μαγνητικών πεδίων [6] σε συντονισμό (συχνότητας 10MHz), όπως ήδη έχει πραγματοποιηθεί με την ασύρματη μετάδοση πληροφορίας (εδώ η ενέργεια ακτινοβολείται, δε μεταφέρεται επαγωγικά) κάθε είδους, με πρωτεργάτη τον G.Marconi που -όπως πολλοί άλλοι- στηρίχθηκε κι αυτός στις υλοποιήσεις και τα σχέδια του N.Tesla.



Εικόνα 2-2. Ασύρματη μετάδοση ενέργειας με Μαγνητική Επαγωγή (www.witricity.com)

Ο κύριος λόγος που στο MIT χρησιμοποιούν το κοντινό μαγνητικό πεδίο κι όχι το ηλεκτρικό είναι η αισθητά μικρότερη απορρόφησή του από το ανθρώπινο σώμα ειδικά στην περίπτωση του αναγκαίου αλλά αδύνατου από το ανθρώπινο σώμα συντονισμού κατά την ισχυρή σύζευξη συντονισμένων μαγνητικών πεδίων, προς αποφυγήν δυσάρεστων επιπτώσεων από αντίστοιχες αλληλεπιδράσεις. Βέβαια πολλοί ερευνητές ισχυρίστηκαν ότι όπως και στην περίπτωση των μαγνητικών πεδίων της τομογραφίας (πυρηνικού) μαγνητικού συντονισμού (NMRT – Nuclear-Magnetic Resonance Tomography) θα υπήρχε πιθανά, καταστροφή βιολογικών ή άλλων ευαίσθητων ηλεκτρονικών συσκευών, όμως το μαγνητικό πεδίο είναι 4 τάξεις μεγέθους μικρότερο στην περίπτωση της τεχνολογίας Witricity. Επίσης η καμπύλωση των μαγνητικών δυναμικών γραμμών του ανομοιογενούς μαγνητικού πεδίου γύρω από ένα πηνίο (Εικ. 2-2) επιτρέπει τη λειτουργία συσκευών (άναμμα λάμπας 60W στα 2m με απόδοση 40%) ακόμα και αν μεταξύ πομπού-δέκτη παρεμβάλλεται εμπόδιο κάθε είδους. Η απόδοση εξαρτάται από την απόσταση μεταξύ πομπού ενέργειας και αποδέκτη αυτής και είναι έως και 95% σε πολύ κοντινές αποστάσεις ($\leq 30\text{cm}$) ενώ παρέχουν ισχείς από mW έως KW στις υπό ασύρματη λειτουργία συσκευές. Ουσιαστικά πρόκειται για μια ήδη (2007) εμπορικά εφαρμόσιμη μετατροπή αρχικά εναλλασσόμενης ηλεκτρικής ενέργειας σε μαγνητική στο χωρητικά φορτωμένο πηνίο (LC) εκπομπού και έπειτα της επαγόμενης μαγνητικής ενέργειας σε εναλλασσόμενη ηλεκτρική στο συντονισμένο πηνίο (LC) του αποδέκτη της.

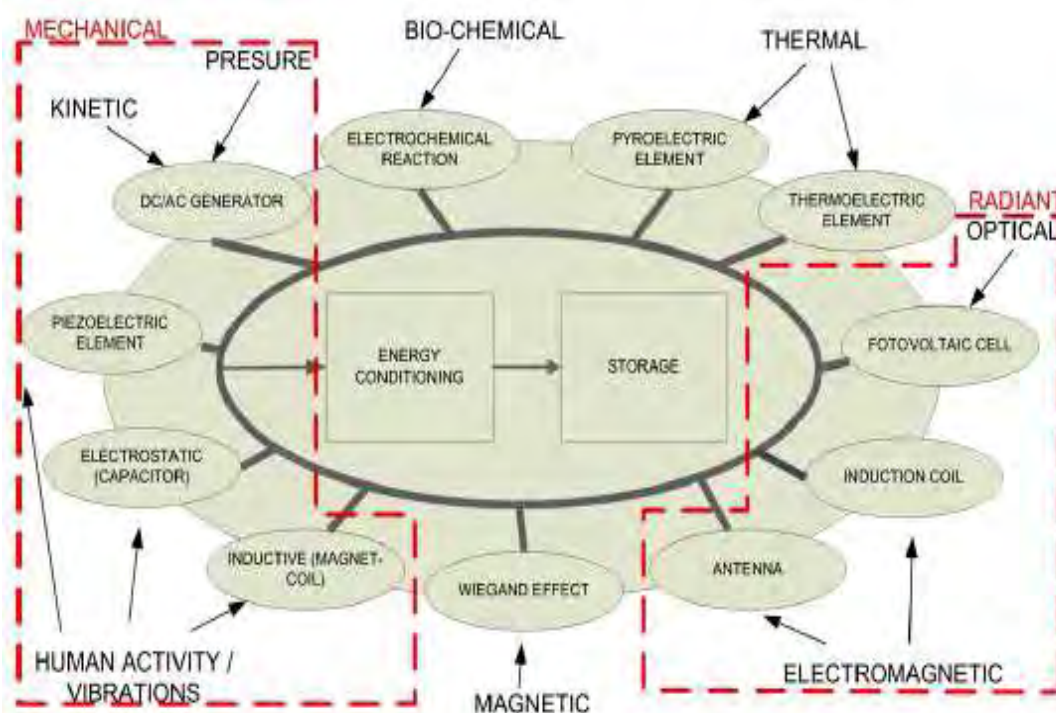
2.2 Εναλλακτικοί τρόποι Ενεργειακής Συγκομιδής

Βέβαια ο προαναφερθέντας τρόπος ασύρματης ενεργειακής συγκομιδής μέσω Η/Μ κυμάτων, δεν είναι ούτε μοναδικός αλλά και ούτε ο καλύτερος από άποψη απόδοσης και επιδόσεων αν και υπερτερεί έναντι άλλων τρόπων σε καίρια ζητήματα.

Από εικοσαετίας εκκίνησε ένα πρότζεκτ στις Ηνωμ. Πολιτείες, στο πανεπιστήμιο Berkeley με κύριο ερευνητή τον καθηγητή S.J. Pister καλούμενο ως «Έξυπνη Σκόνη» (Smart Dust) σχετικό με την ασύρματη δικτύωση μικρών (<math><1\text{mm}^3</math>) αισθητήρων ή και ηλεκτρομηχανικών συσκευών (MEMS), ικανών προς ανίχνευση φυσικών φαινομένων όπως, ηλιακή ακτινοβολία, θερμοκρασία, δονήσεις, χημικών κλπ.

Προτάθηκαν έτσι αρκετοί εναλλακτικοί τρόποι συγκομιδής ενέργειας από τους αισθητήρες αυτούς άλλοτε με βάση πιεζοηλεκτρικά φαινόμενα και ιδιότητες ανάλογων (όχι και πολύ φιλικών περιβαλλοντικά) υλικών (PZT – PbZrTi ή BaTiO₃, BiTiO₃, LiNbO₃) όπου μηχανικές πιέσεις μετατρέπονται σε ηλεκτρική ενέργεια, άλλοτε μέσω φωτοβολταϊκού φαινομένου για μετατροπή της ηλιακής σε ηλεκτρική ενέργεια κι άλλοτε μέσω του θερμοηλεκτρικού φαινομένου όπου οι μεταβολές θερμοκρασίας μετατρέπονται σε διαφορές δυναμικού, καθώς και μέσω βιοχημικών ή άλλων διεργασιών (Εικ. 2-3).

Σε μια προσπάθεια σύγκρισης των μεθόδων, μπορούμε να παρατηρήσουμε από τον



Εικόνα 2-3. Πηγές ενέργειας προς συγκομιδή και οι απαραίτητοι μετατροπείς ενέργειας για την τροφοδότηση αυτόνομων αισθητήρων [10]

Πίνακα 1, ότι η περίπτωση της ασύρματης ενεργειακής συγκομιδής από Η/Μ (μικρο)κύματα κατέχει τη χειρότερη θέση από άποψη επιφανειακής πυκνότητας ισχύος (W/cm^2) που είναι λογικό και λόγω της μεγάλης απόσβεσης διάδοσης ελευθέρου χώρου (σε υψηλές ειδικά συχνότητες) αλλά και λόγω μικρών τιμών

επιτρεπτόν εκπεμπόμενων ισχύων, λόγω των ορίων που λόγω ασφάλειας του πληθυσμού (ορθά) έχουν τεθεί.

Πίνακας 1. Σύγκριση Εναλλακτικών μεθόδων Ενεργειακής Συγκομιδής [11]

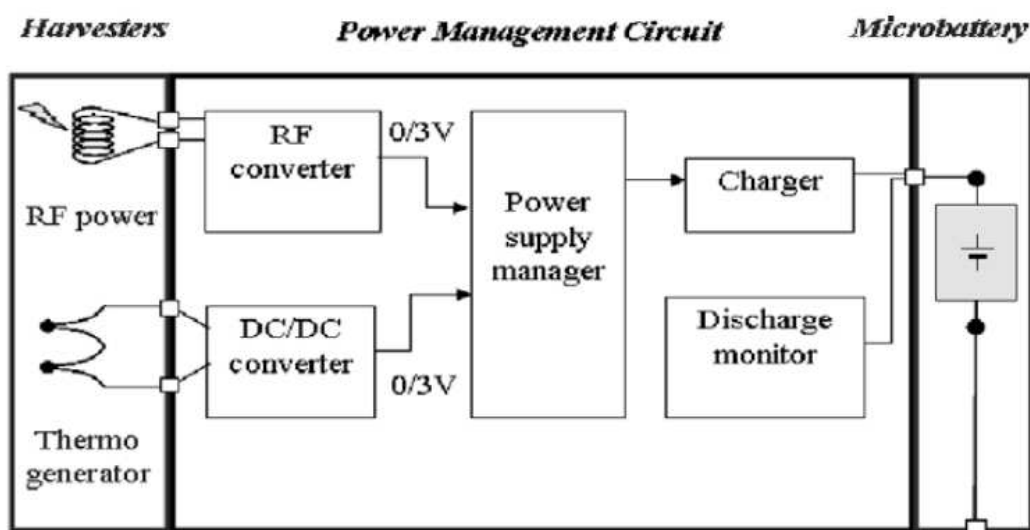
Energy Harvester	Energy Source	Characteristics	Efficiency	Power Density	Integration
Piezoelectric	Vibration	Humans Hz Machines kHz	25-50%	$4\mu\text{W}/\text{cm}^2$ $800\mu\text{W}/\text{cm}^2$	Difficult
Solar	Light	Outdoor Indoor	10-25%	$100\text{mW}/\text{cm}^2$ $100\mu\text{W}/\text{cm}^2$	Possible
Thermoelectric	Thermal	Human Industrial	0.1% 3%	$60\mu\text{W}/\text{cm}^2$ $100\text{mW}/\text{cm}^2$	Possible
RF	Radio Frequency	GSM 900 MHz Wifi 2.4 GHz	50%	$0.1\mu\text{W}/\text{cm}^2$ $1\text{nW}/\text{cm}^2$	Easy

Όμως είναι μια λύση εύκολα υλοποιήσιμη σε ολοκληρωμένη μορφή (chip) ενώ επιδεικνύει και αυξημένη απόδοση στη μετατροπή ενέργειας, έναντι άλλων λύσεων. Έχει δε το πλεονέκτημα της παραγωγής μια σχετικά σταθερής DC τάσης σε αντίθεση με τις άλλες μεθόδους που παράγουν τάσεις με τεράστια διακύμανση, μη γραμμικά εξαρτώμενες από πολλούς παράγοντες, ενώ υλοποιείται με χρήση γενικά φιλικών προς το περιβάλλον - συνηθισμένων - χημικών υλικών.

Στην περίπτωση συγκομιδής ενέργειας ραδιοκυμάτων που υπάρχουν ήδη στο περιβάλλον (Back-ground RF as Power Reservoir) για άλλους σκοπούς (GSM, WiFi, WLAN, Bluetooth) και όχι ειδικά για τη συγκεκριμένη ζητούμενη επικοινωνία, η πυκνότητα ισχύος που μπορεί να συλλεχθεί είναι ελάχιστη, της τάξης των $0.1-1.0\text{mW}/\text{m}^2$ (σε απόσταση 25-100m από σταθμό βάσης κινητής τηλεφωνίας GSM). Αντίστοιχα για WLAN σε ίδιες αποστάσεις έχουμε μια τάξη μεγέθους μικρότερη πυκνότητα ισχύος, οπότε καθίσταται αναποτελεσματική ή χρήση της ενέργειας που μπορεί περιβαλλοντικά να συλλεχθεί με τον τρόπο αυτό, τουλάχιστον σε τόσο μεγάλες αποστάσεις [20, 21]. Είναι γνωστό όμως ότι εδώ και 6 δεκαετίες υπάρχει η δυνατότητα λειτουργίας δέκτη (με ακουστικά υψηλής αντίστασης) ραδιοφωνικών κυμάτων AM με χρήση απλού κρυστάλλου (Γαληνίτη, PbS) ως φορατή διόδου επαφής-σημείου, όπου η απαιτούμενη ενέργεια για τη λειτουργία του ραδιοφωνικού δέκτη λαμβάνεται από το ίδιο το AM σήμα! Παρόλα αυτά, πρακτική σημασία έχει η χρήση πομπού ενέργειας ραδιοκυμάτων ειδικά για το συγκεκριμένο σκοπό κάθε φορά, και σε αποστάσεις που εξαρτώνται από τον τύπο και την κατευθυντικότητα (κέρδος) των κεραιών, τη συχνότητα των H/M κυμάτων, το ποσοστό ανάκλασης λόγω κακής

προσαρμογής, την απόδοση μετατροπής ενέργειας από RF→DC και τις παρασιτικές απώλειες που πάντοτε ενυπάρχουν.

Βέβαια και στις άλλες περιπτώσεις ενεργειακής συγκομιδής, μπορεί να γίνει συγκομιδή της υπάρχουσας ήδη στο περιβάλλον αντίστοιχης ενέργειας και με μια απόδοση περίπου στο 10% της αναφερθείσας στον Πίνακα 1 [22]. Έχουν δε ερευνηθεί και υλοποιήσεις υβριδικές, με την έννοια ότι υποστηρίζουν ταυτόχρονα πάνω από μία μέθοδο συγκομιδής ενέργειας με στόχο την αύξηση της διαθέσιμης ενέργειας στο chip, λόγω των πολλών εναλλακτικών μεθόδων συλλογής της [22]. Στην Εικόνα 2-4 βλέπουμε μια υλοποίηση που διαχειρίζεται τόσο την ενέργεια ραδιοκυμάτων όσο και τη θερμική ενέργεια από το περιβάλλον.



Εικόνα 2-4. Υβριδικό σύστημα διαχείρισης RF και θερμικής ενέργειας. [23]

Να σημειωθεί, ότι στην περίπτωση των διατάξεων συγκομιδής ενέργειας χρησιμοποιείται η πυκνότητα ισχύος και όχι η πυκνότητα ενέργειας όπως στους κλασικούς παροχείς ενέργειας, όπου η ισχύς εξαρτάται από το χρόνο χρήσης τους. Εδώ, η ενέργεια που αποδίδεται εξαρτάται από το πόσο χρόνο λειτουργούν, οπότε ορθότερη κρίνεται η χρήση της πυκνότητας ισχύος [12]. Σκεφτείτε π.χ. έναν πιεζοηλεκτρικό μετατροπέα που τον κτυπούμε δυνατά με σφυρί, οπότε έχουμε μια παντελώς άχρηστη ποσότητα παρεχόμενης ενέργειας αποδιδόμενη όμως με τεράστια ισχύ, λόγω του ελάχιστου χρονικού διαστήματος που αυτή παρέχεται!

2.3 Στοιχεία αποθήκευσης της ενέργειας

Όπως είδαμε, βασικό τμήμα ενός συστήματος ενεργειακής συγκομιδής είναι το στοιχείο αποθήκευσης της ενέργειας RF που συγκομίστηκε και μετατράπηκε σε συνεχή τάση (DC) μέσω του ανορθωτή (Rectifier or RF-DC Converter) αλλά και των μετατροπέων συνεχούς σε συνεχή τάση (DC-DC Converters) που αυξάνουν σε ικανά επίπεδα την τάση που ο ανορθωτής παρέχει συνήθως.

Οι εναλλακτικές λύσεις που προσφέρονται όσον αφορά την αποθήκευση της συλλεγμένης ενέργειας είναι: α) οι επαναφορτιζόμενες μπαταρίες (Rechargeable batteries) και β) οι πυκνωτές (Supercapacitors).

2.3.1 Επαναφορτιζόμενες Μπαταρίες

Χρησιμοποιούνται κύρια σε ηλεκτρονικές συσκευές ευρείας εμπορικής αποδοχής (κινητά τηλέφωνα, φορητοί Η/Υ, PDAs κλπ) και αποτελούν μια δευτερεύουσα πηγή ενέργειας, με την έννοια ότι αφού μπορούν να επαναφορτισθούν, ως πρωτεύουσα πηγή να θεωρείται ο παροχέας της ηλεκτρικής ενέργειας απ' όπου επαναφορτίζονται. Οι ηλεκτροχημικές αυτές πηγές ενέργειας, προσφέρουν μεγάλη γενικά πυκνότητα ενέργειας (Βλ. Παρ. 2.2) με σχετικά μικρό κόστος. Ο χρόνος ζωής τους εξαρτάται από το ρυθμό εκφόρτισής τους που αλλάζει πολύ μεταξύ των διάφορων τύπων τέτοιων συσσωρευτών ενέργειας. Οι βασικότεροι τύποι και χαρακτηριστικά επαναφορτιζόμενων μπαταριών φαίνονται στον Πίνακα 2 [12].

Πίνακας 2.

Χαρακτηριστικά κοινών τύπων μπαταριών

	NiCd	Lead Acid	NiMH	Li-ion	Reusable Alkaline	Li-ion polymer
Commercial use since	1950	1970	1990	1991	1992	1999
Gravimetric Energy Density (Wh/kg)	45-80	30-50	60-120	110-160	80 (initial)	100-130
Cycle life (to 80% of initial capacity)	1500	200 to 300	300 to 500	500 to 1000	50 (to 50%)	300 to 500
Typical fast charge time	1h	8-16h	2-4h	2-4h	2-3h	2-4h
Overcharge tolerance	moderate	high	Low	very low	moderate	low
Nominal cell Voltage	1.25V	2V	1.25V	3.6V	1.5V	3.6V
Load Current - peak - best result	20C 1C	5C 0.2C	5C <0.5C	>2C <1C	0.5C <0.2C	>2C <1C
Operating Temperature	-40 to 60°C	-20 to 60°C	-20 to 60°C	-20 to 60°C	0 to 65°C	0 to 60°C

Παρατηρούμε ότι, αν και οι μπαταρίες ιόντων λιθίου (Li-ion) έχουν καλύτερη πυκνότητα ενέργειας αποδίδοντας συγκεκριμένη ισχύ για περισσότερο χρόνο (ή περισσότερη ισχύ για συγκεκριμένο χρόνο), εντούτοις επαναφορτίζονται πιο δύσκολα. Είναι βέβαια οι μόνες που δεν παρουσιάζουν φαινόμενο μνήμης και υποστηρίζουν για το λόγο αυτό μεγαλύτερο αριθμό φορτίσεων/εκφορτίσεων. Επίσης έχουν ελάχιστα ρεύματα διαρροής, οπότε κρατούν τη φόρτισή τους στο 95% εντός ενός μηνός, άνευ χρήσης. Οι Νικελίου-υδριδίων Μετάλλου έχουν καλύτερη πυκνότητα ενέργειας και γρηγορότερη φόρτιση από τις NiCd όμως η εσωτερική αντίσταση των NiMH είναι μεγαλύτερη, οπότε περισσότερη ενέργεια μετατρέπεται σε θερμότητα όταν η ίδια ένταση ρεύματος, τις διαρρέει. Βέβαια μιας και είναι αδύνατη η σύνδεση όλων αυτών των μικροσυσκευών σε παροχέα ηλεκτρικής ενέργειας, πρέπει να επαναφορτίζονται συνήθως από μικρή απόσταση (near field induction) ή και μεγάλη απόσταση (far field radiation). Ο έλεγχος βέβαια αυτών των φορτίσεων απαιτεί πολύπλοκη κυκλωμάτωση και περισσότερα ηλεκτρονικά στοιχεία (π.χ. ρυθμιστές τάσης (voltage regulators) για προστασία υπερφόρτισης) που αυξάνουν την ολική κατανάλωση ενέργειας. Σήμερα στα RFIDs κύρια χρησιμοποιούνται οι μπαταρίες Li-MnO₂ και Li-SOCl₂ λόγω κύρια της ασφαλέστερης λειτουργίας τους λόγω απουσίας παραγωγής μεγάλων ποσών θερμότητας, χημικών ουσιών και πιέσεων που αυτή προκαλεί. Επίσης οι NiMH χρησιμοποιούνται από τον μικρο-αισθητήρα PicoCube [24].

Πάντως η μικρή διάρκεια ζωής των επαναφορτιζόμενων πηγών ενέργειας καθιστά αναπόφευκτη την αντικατάστασή τους από τον αισθητήρα ή τη συσκευή MEMS ή ενεργά RFIDs (Παρ. 3.1.2) που είχε τοποθετηθεί. Αυτό όμως είναι συχνά δύσκολο, επικίνδυνο, χρονοβόρο, ακριβό ή και ανέφικτο. Για παράδειγμα μη πρακτική είναι η τοποθέτηση μπαταρίας σε βιοιατρικά εμφυτεύματα ή σε μικροαισθητήρες ενσωματωμένους σε υλικά αφού είναι αδύνατη η αντικατάστασή της. Σε περιβάλλοντα με χημικά ή ραδιενέργεια, επίσης είναι παράλογη η χρήση μπαταριών. Βέβαια η DARPA (USA) ήδη ερευνά την παραγωγή μπαταριών πυρηνικής ενέργειας για τροφοδότηση δικτύων αισθητήρων ή RFIDs. Χρησιμοποιεί ραδιοσότοπα που έχουν πολύ μικρή δείσδυση (<25μm) σε γύρω υλικά οπότε θεωρείται ασφαλής η χρήση τους αλλά έχουν όπως ήταν αναμενόμενο τεράστια πυκνότητα ενέργειας, πολλές χιλιάδες φορές μεγαλύτερη των επαναφορτιζόμενων μπαταριών που είδαμε (π.χ. με Τρίτιο (T ή H₁³) έχουν 850mWh/mg, και με Πολώνιο (Po) 57000mWh/mg που κάλλιστα δίνει ισχύ 50mW για 4 μήνες από μόλις 10mg Po όγκου 1mm³). Αν

συγκρίνουμε με βάση τον Πίνακα 2, μια μπαταρία Li-ion βλέπουμε να προσδίδει μια πυκνότητα ενέργειας της τάξης των 0.15mWh/mg και μόνο.

Παρόλη επίσης την έρευνα χρόνων σχετικά με την εξέλιξή τους, αυτή γίνεται με πολύ αργά βήματα (με μόνη εξαίρεση την έρευνα για μπαταρίες “Thin Film” στερεού Λιθίου - LiCoO_2) τόσο σε σχέση με την απόδοση αλλά και με το μέγεθος που καταλαμβάνουν. Ειδικά σήμερα με την τεράστια σμίκρυνση των ηλεκτρονικών συσκευών, το ποσοστό όγκου που οι μπαταρίες καταλαμβάνουν απ’όλο το chip είναι περίπου 90%, από 5% που ήταν πριν ~100 χρόνια με τα διακριτά ηλεκτρονικά κυκλώματα. Για τους λόγους αυτούς ερευνώνται άλλες προσεγγίσεις σχετικά με την τροφοδότηση μικροσυσκευών, ασύρματα (RF induction and RF radiation) με χρήση πυκνωτών για την αποθήκευση ενέργειας (Παρ. 2.3.2) ή με την παραγωγή ενέργειας τοπικά από το ίδιο το chip π.χ. με ένα “Fuel Cell” (κυψέλη καυσίμου-H) με καύσιμο Υδρογόνο (ή αλκοόλη ή υδρογονάνθρακες) και πολύ μεγάλη διάρκεια ζωής σε σχέση με τις μπαταρίες και πολλαπλάσια πυκνότητα ενέργειας.

2.3.2 Supercapacitors

Οι πυκνωτές έχουν διάρκεια ζωής 10-100 φορές μεγαλύτερη των επαναφορτιζόμενων μπαταριών και χωρίς τη χρήση επικίνδυνων περιβαλλοντικά υλικών (Pb, Cd). Στην έξοδο των ανορθωτών και των μετατροπέων τάσης (RF-DC-DC) μια τέτοια ηλεκτρολυτική χωρητικότητα αποθηκεύει φορτία, αποδίδοντας μια σχετικά σταθερή τάση. Ονομάζονται συνήθως Super-Capacitors (or Ultra-, Gold-) και είναι ηλεκτρολυτικοί πυκνωτές διπλού στρώματος λεπτού διηλεκτρικού (Electrochemical Double Layer Capacitors-EDLC) (σαν 2 κλασικοί ηλεκτρολυτικοί πυκνωτές εν σειρά) και επιδεικνύουν μεγαλύτερη πυκνότητα ενέργειας από κλασικούς πυκνωτές, διατηρώντας όλα τα πλεονεκτήματα αυτών, όπως μακρά διάρκεια ζωής, μικρή διάρκεια φόρτισης, ελάχιστες διαρροές (leakage currents), χωρίς τα βασικά μειονεκτήματα των επαναφορτιζόμενων μπαταριών, όπως το φαινόμενο μνήμης και η περίπλοκη ενεργοβόρα κυκλωμάτωση φόρτισής τους. Θεωρητικά ο αριθμός επαναφορτίσεων των supercapacitors είναι τεράστιος, αλλά στην πράξη η γήρανση του ηλεκτρολύτη επιφέρει ένα άνω όριο. Επίσης κρατούν την ενέργειά τους για μεγάλο χρονικό διάστημα (50% για 3μήνες) αφού έχουν μικρές διαρροές εκφόρτισης εξαρτώμενες βέβαια ανάλογα και από τη θερμοκρασία [12].

Συγκρίνοντας [17] τις δύο εναλλακτικές λύσεις που προσφέρονται, λαμβάνοντας ως μέτρα σύγκρισης την πυκνότητα ενέργειας και ισχύος, κατανοούμε ότι οι επαναφορτιζόμενες μπαταρίες έχουν μεγάλη πυκνότητα ενέργειας μα μικρή πυκνότητα ισχύος, όπως και η συγκομιδή (harvesting or scavenging) ενέργειας από το περιβάλλον. Αντιθέτως, οι υπερ-πυκνωτές έχουν σχετικά υψηλή πυκνότητα ισχύος και χαμηλή πυκνότητα ενέργειας σε σχέση με τις μπαταρίες. Ουσιαστικά, αυτό σημαίνει, ότι οι πυκνωτές δεν μπορούν να αποθηκεύσουν μεγάλη ποσότητα ενέργειας από τη μία, αλλά μπορούν από την άλλη, να αποδώσουν την ενέργεια αυτή με μεγαλύτερο ρυθμό (power at bursts) σε σχέση με τις μπαταρίες.

2.4 Μετατροπείς Ενέργειας (RF to DC & DC to DC)

Όπως είδαμε, η ενεργειακή συγκομιδή πραγματοποιείται με ένα σύνολο διαφορετικών μεθόδων μετατροπής της αρχικής ενέργειας από το περιβάλλον (υπάρχουσα ή ειδικά για το σκοπό που θα επιτελεστεί) σε ηλεκτρική ενέργεια ώστε να λειτουργήσουν αισθητήρες, RFIDs ή MEMS. Όπως ήδη είναι φανερό, η παρούσα έρευνα αποσκοπεί κύρια στην συγκομιδή H/M ενέργειας ραδιομικροκυμάτων (RF) οπότε ο μετατροπέας της αρχικής ενέργειας σε ηλεκτρική ενέργεια συνεχούς (DC) δε μπορεί παρά να είναι ένας ανορθωτής (Rectifier, RF → DC Converter), που κύρια υλοποιείται με ένα μη γραμμικό στοιχείο όπως μια δίοδος (Schottky παλαιότερα ή και MOS-diode σήμερα). Βέβαια η λαμβανόμενη πολύ μικρή (περίπου, λόγω κυμάτωσης (ripple)) συνεχής τάση από τον ανορθωτή, για να έχει πρακτική σημασία πρέπει να αναβιβασθεί από έναν μετατροπέα DC → DC, N σταδίων, γνωστού και ως Charge Pump (Αντλία Φορτίων) ή ως Charge Transfer Switch (CTS). Οχι μόνο λόγω σπουδαιότητας και όγκου ερευνητικών δραστηριοτήτων περί του θέματος αυτού, αλλά και λόγω εστίασης της έρευνας τούτης στο θέμα αυτό, η ανάλυση διεξοδικά γίνεται σε επόμενο κεφάλαιο ειδικά για το σκοπό. Πάντως αν και εξ αρχής φαίνεται πολύ διαφορετική η διεργασία μετατροπής από RF → DC σε σχέση με την αντίστοιχη DC → DC, εντέλει όπως θα δούμε και στο Κεφ. 6 τα δύο ζητήματα (ανορθωτές και πολλαπλασιαστές τάσης) επικαλύπτονται ισχυρά, αφού πολλά κυκλώματα κυρίως DC → DC, μετατρέπονται σε μετατροπείς RF → DC ή οι ανορθωτές ταυτόχρονα δρουν και ως αναβιβαστές του επιπέδου της DC τάσης, στο ίδιο κύκλωμα και χωρίς εμφανή διαχωρισμό. Έτσι πραγματοποιείται η επιθυμητή ανόρθωση όχι μόνο με τη χρήση της

μη γραμμικότητα της χαρακτηριστικής $I(V)$ μιας διόδου, αλλά και βάσει της λειτουργίας διακοπόμενων πυκνωτών (Switched Capacitors) των κλασικών Charge Pumps και CTS, χρησιμοποιώντας ως Clock (Ρολοί χρονισμού των διακοπών) το ίδιο το σήμα RF (διαμορφωμένο ημιτονικό) που αν και δεν έχει επακριβώς τη μορφή ενός τετραγωνικής μορφής ρολογιού τελικά καθιστά εφικτή, όπως θα δούμε, τη διακοπτική απαιτούμενη λειτουργία [26]. Εκτενής λοιπόν ανάλυση των ως άνω, θα πραγματοποιηθεί στο αφιερωμένο ειδικά για το σκοπό αυτό Κεφ. 6 όπου θα αναλυθούν όχι μόνο η μετατροπή της ακτινοβολούμενης μικροκυματικής ενέργειας σε ηλεκτρική τάση συνεχούς και ή αύξηση αυτής, αλλά και ειδικά κυκλώματα σταθεροποίησής της, καθώς και προστασίας από υπέρταση τόσο του ίδιου του ανορθωτή όσο και των κυκλωμάτων που τον ακολουθούν στο chip.

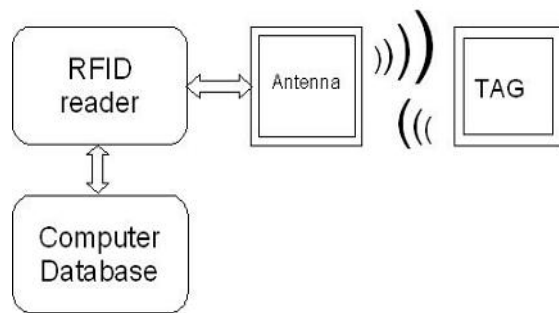
3. Ασύρματη Ταυτοποίηση - RFIDs

3.1 Εισαγωγή στα RFIDs

Το RFID είναι τα αρχικά του όρου **R**adio **F**requency **I**dentification δηλαδή της «ταυτοποίησης μέσω ραδιοσυχνοτήτων». Το RFID είναι ένα σύστημα ασύρματης αναγνώρισης αντικειμένων (Εικ. 3-1α) και αντικατέστησε καθολικά σχεδόν το σύστημα Bar Code. Τα απλούστερα τα συναντούμε στα supermarkets και έχουν μόνο μια κεραία και μια δίοδο ανόρθωσης. Απλά ανακλούν τα σήματα από έναν πομπό με σκοπό την αποφυγή κλοπής των προϊόντων όπου έχουν τοποθετηθεί, συνήθως ως αυτοκόλλητα (Εικόνα 3-1β). Χρησιμοποιούνται επίσης, στα δίοδια των αυτοκινητοδρόμων, στην ιχνηλάτηση-τηλεπισκόπηση ανθρώπων και ζώων, για αυτόματη πρόσβαση, στη βιομηχανία και στο εμπόριο. Σε κάθε εφαρμογή χρησιμοποιείται και διαφορετική συχνότητα λειτουργίας λόγω της διαφορετικής συμπεριφοράς των ραδιοκυμάτων ανά συχνότητα. Έτσι, τα χαμηλών συχνοτήτων RFIDs είναι κατάλληλα για σάρωση-αναγνώριση αντικειμένων (με υψηλή συγκέντρωση υγρασίας, αφού σε μικρές συχνότητας η απορρόφηση H/M ακτινοβολίας από το νερό είναι μικρή) σε μικρή απόσταση (<30cm) σε μη μεταλλικά περιβάλλοντα, λόγω μικρής εμβέλειας ανάγνωσης. Καταναλώνουν όμως πολύ μικρή ισχύ. Τα υψηλής συχνότητας, λειτουργούν καλύτερα με μεταλλικά αντικείμενα αλλά ανεκτά και με αντικείμενα με υψηλό ποσοστό υγρασίας, έχοντας εμβέλεια ~1m. Τα πολύ υψηλής συχνότητας RFID έχουν μεγαλύτερη εμβέλεια και υποστηρίζουν υψηλές ταχύτητες διαμεταγωγής δεδομένων, συνήθως όμως απαιτούν και μεγάλη ισχύ και οδεύουν ευθύγραμμο οπότε απαιτείται άμεσος δρόμος μεταξύ πομπού-δέκτη για το H/M σήμα. Λόγω δε, του επιδερμικού φαινομένου (skin effect), έχουν μικρή διεισδυτική ικανότητα μέσα στα αντικείμενα προς σάρωση.

Τα σημαντικά πλεονεκτήματα που προσφέρει το RFID έναντι παλαιότερων τεχνολογικά μέσων ταυτοποίησης είναι:

-Η αναγνώριση μπορεί να γίνει από απόσταση μιας και υπάρχουν RFID tags που είναι σε θέση παίρνοντας ενέργεια από κάποια ενεργειακή πηγή (μπαταρία ή και τροφοδοτούμενα από ραδιοσυχνότητες (RF energy harvesting/scavenging) να στείλουν τις πληροφορίες σε ένα δέκτη. Σε αντίθεση με τα bar codes δεν απαιτούν την ύπαρξη οπτικής επαφής μεταξύ αποστολέα και αποδέκτη, αρκεί βέβαια ο δέκτης να είναι μέσα στην εμβέλεια του εκπομπού.



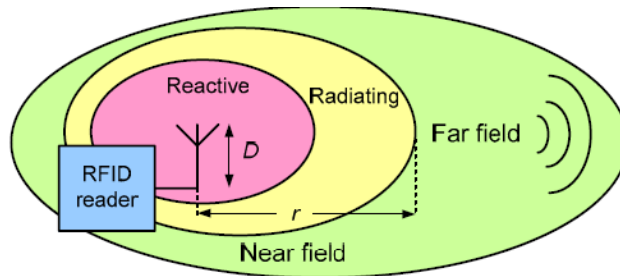
Εικόνα 3-1.(α) Αναπαράσταση συστήματος RFID (β) Passive RFIDs λιανεμπορικής χρήσης

- Δυνατότητα αποθήκευσης περισσότερων δεδομένων (>KB).
 - Μπορούν να μην είναι ορατά στο ανθρώπινο μάτι.
 - Δυνατότητα προγραμματισμού εξ'αποστάσεως.
 - Παρακολούθηση και καταγραφή φυσικών μεγεθών με τη βοήθεια αισθητήρων (Sensors), αποτελώντας ένα ασύρματο δίκτυο αισθητήρων (WSN).
- Ουσιαστικά χωρίζονται σε 3 κατηγορίες, με βάση την αυτονομία λειτουργίας τους: α) Τα **Παθητικά** (Passive), β) τα **Ενεργά** (active) και γ) τα **Ημιπαθητικά** (Semi-passive).

3.1.1 Παθητικά RFIDs

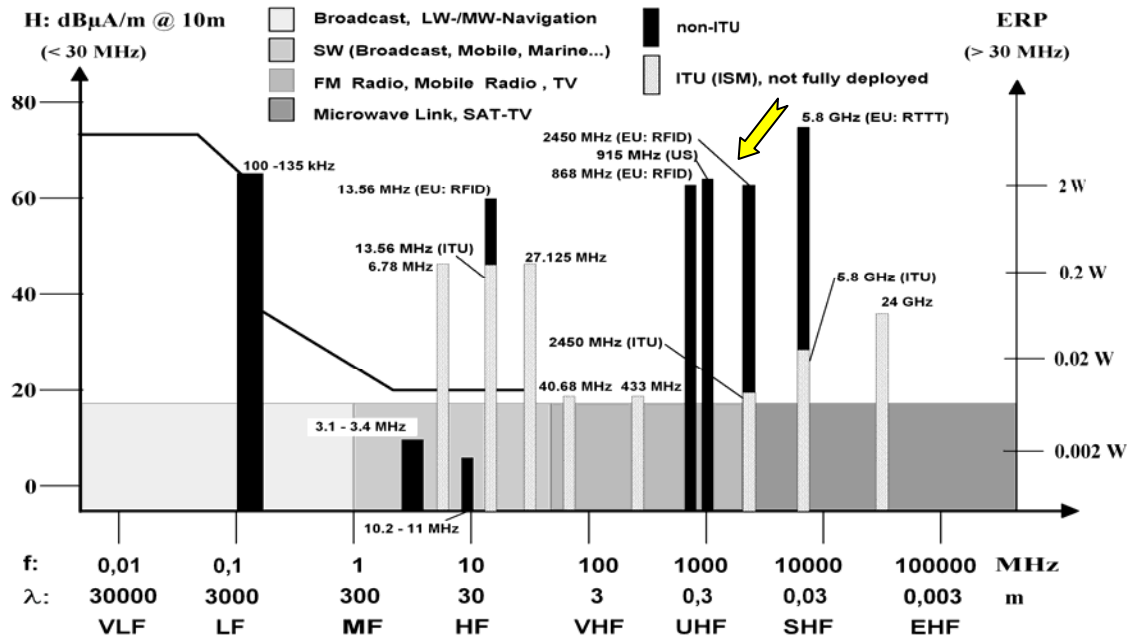
Σε αυτά (RFID Tags-Transponders) απουσιάζει κάθε είδους τροφοδοσία και λειτουργούν μέσω ενέργειας που συλλέγουν από το Η/Μ πεδίο RF που παράγει η κεραία του Πομποδέκτη (RFID reader-transceiver-interrogator). Βέβαια η ενέργεια που συλλέγει (συνήθως σε έναν πυκνωτή) το παθητικό tag πρέπει να είναι αρκετή ώστε να αποκριθεί στον πομποδέκτη στέλνοντας δεδομένα. Έτσι, συνήθως τα εμπορικής χρήσης RFID του είδους αυτού, έχουν εμβέλεια λίγων εκατοστών του μέτρου, ενώ οι ερευνητικές υλοποιήσεις στο πεδίο αυτό, φτάνουν τα λίγα μέτρα εμβέλειας. Όμως είναι πολύ φθηνά, μικρά σε μέγεθος και λόγω έλλειψης μπαταρίας δεν χρήζουν αντικατάστασής τους (Smartdust), κάτι πολύ βολικό ειδικά για επικίνδυνα ή μη προσβάσιμα περιβάλλοντα.

Κυρίως αποτελούνται από ένα ολοκληρωμένο κύκλωμα (IC, chip) και μια κεραία-πηνίο συνήθως επίπεδης μορφής εντός ή κι εκτός (Εικ.3-1β) του chip. Λειτουργούν κύρια (Εικ. 3-3) σε χαμηλές και μεσαίες αντίστοιχα συχνότητες (LF) 125-134KHz / (HF) 13.56MHz με αμοιβαία επαγωγική σύζευξη (τύπου μετασχηματιστή) κοντινού (μαγνητικού) πεδίου πηνίων (near field, για $d < \lambda/2\pi$, όπου λ το μήκος κύματος της αντίστοιχης ραδιοσυχνότητας, όπου το μαγνητικό πεδίο φθίνει με την έκτη δύναμη



Εικόνα 3-2. Σύζευξη RFID κοντινού (near field) & μακρινού (far field) πεδίου ($r=\lambda/2\pi$, $D<\lambda$), [13]

της απόστασης, d^{-6} [14] λόγω της εξάρτησης από την $3^{\text{η}}$ δύναμη της d αλλά για αμφίδρομη επικοινωνία, ήτοι $(d^{-3})^2$) και σε (UHF) 860-960MHz / (Microwave) $>2.45\text{GHz}$ με μακρινού (Ηλεκτρικού) πεδίου (far field) σύζευξη μέσω μικρών (~cm) πηνιο-κεραιών (διπόλων $\lambda/2$, $\lambda/4$, $\lambda/8$ κλπ) με εμβέλεια λίγα μέτρα λόγω κυρίως της αυξημένης απόσβεσης του H/M κύματος με την απόσταση στις συχνότητες αυτές. Στη $2^{\text{η}}$ αυτή περίπτωση φάσματος συχνοτήτων UHF και κοντά στα όρια της μικροκυματικής περιοχής όμως, απαιτούν ακριβότερες υλοποιήσεις των ηλεκτρονικών μερών τους, με κέρδος όμως στην ταχύτητα διαμεταγωγής των δεδομένων (έως και Mbps) λόγω και του μεγαλύτερου εύρους ζώνης που υποστηρίζουν.



Εικόνα 3-3. Το εύρος φασμάτων λειτουργίας των RFIDs (ISM or not)[<http://rfidhandbook.de>],[2]

Στις υψηλότερες συχνότητες ($> 900\text{MHz}$) εκτός από την ανάγκη ύπαρξης μικρών κεραιών με μεγαλύτερο κέρδος ($G = \frac{4\pi A_e}{\lambda^2}$ και A_e η ενεργός διατομή της κεραίας)

και κατευθυντικότητα, υπάρχει και καλύτερος ηλεκτρικός διαχωρισμός αφού το λ (λίγα cm) μικραίνει. Επίσης αυξάνεται αισθητά και το εύρος ζώνης συχνοτήτων (π.χ. από 26MHz για τα 868MHz αυξάνεται στα 125MHz για τα 5.8GHz) επιτρέποντας έτσι και “επικοινωνίες διευρυμένου φάσματος” (spread spectrum communications) [1] που εφαρμόζονται κύρια σε συχνότητες από UHF και πάνω.

3.1.2 Ενεργά RFIDs

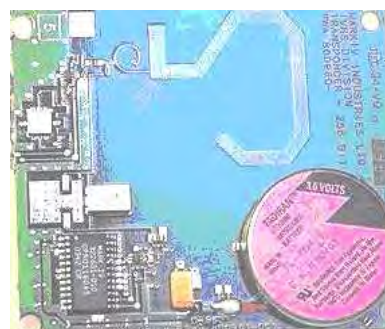
Εδώ δεν απαιτείται ενεργοποίηση των tags από τον reader αφού έχουν το απαραίτητο ενεργειακό απόθεμα για την αυτόνομη λειτουργία τους (μπαταρία). Μπορούν να συνδέονται μέχρι και σε αποστάσεις πολλών μέτρων μέχρι και εκατοντάδων χιλιομέτρων. Προφανώς είναι πολύ μεγαλύτερα σε μέγεθος και κόστος από τα παθητικά RFIDs (Εικ.3-4α).

3.1.3 Ημιπαθητικά RFIDs

Δεν ονομάζονται ημιενεργά αφού πιο πολύ μοιάζουν με τα παθητικά παρά με τα ενεργά (Εικ. 3-4β). Κρατώντας τη δυσκολία και το κόστος υλοποίησης αρκετά χαμηλά, περιέχουν πηγή πρόσθετης (πλην της ασύρματα συλλεχθείσας) ενέργειας κύρια μέσω μικρής επαναφορτιζόμενης ηλεκτρικής πηγής, πετυχαίνοντας αύξηση στην ταχύτητα αποστολής δεδομένων καθώς και στην εμβέλεια με ταυτόχρονη μείωση της καταναλισθείσας ισχύος.



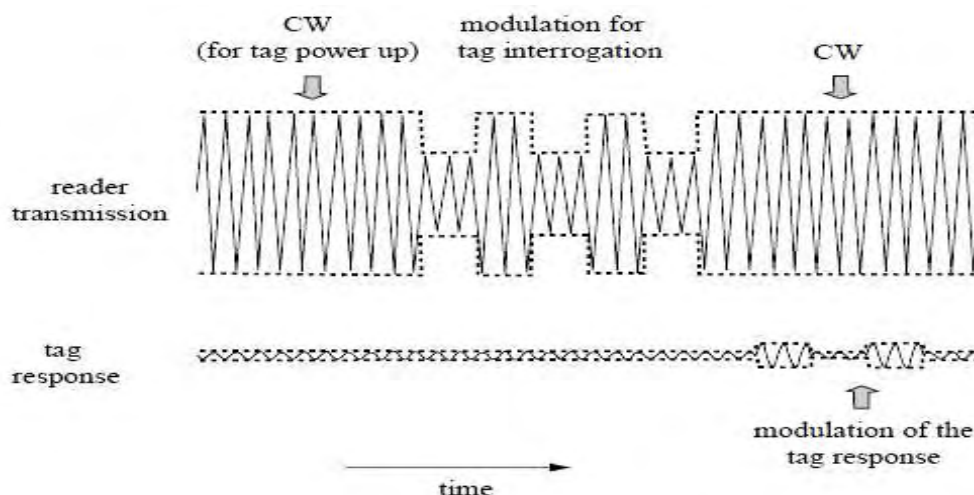
Εικόνα 3-4. (α) Active RFID - [ZR-USB from Tag-Sense]



(β) Semi-Passive RFID

Είναι προφανές ότι έχουν τη δυνατότητα επιτέλεσης αρκετών διεργασιών ακόμα και αν είναι εκτός της εμβέλειας του πομποδέκτη τους. Όπως και στα παθητικά RFIDs δεν ακολουθείται η συμβατική σύζευξη μεταξύ tag-reader μιας και απαιτεί όμοια πολυπλοκότητα υλοποίησής της και στις δυο κατευθύνσεις tag→reader & reader→tag πράγμα ανέφικτο για το tag, αλλά η σύζευξη μέσω διαμόρφωσης της εμπέδησης της κεραίας με συνακόλουθη μεταβολή στην ενεργό διατομή ανάκλασης του RF σήματος

καθώς και στο ποσοστό (συντελεστή) ανάκλασης της προσπίπτουσας στο tag ενέργειας (Backscatter/Reflection Modulation). Για το σκοπό αυτό, ένα φορτίο συνδέεται κατά τακτά (On-Off Switching) χρονικά διαστήματα στην κεραία του transponder, μεταβάλλοντας τη συνολική της αντίσταση άρα και το ποσοστό του ανακλώμενου σήματος. Έπειτα το ανακλώμενο σήμα μπορεί να διαμορφωθεί ώστε να μεταφέρει πληροφορία-δεδομένα στον reader.



Εικόνα 3-5. Η τυπική ακολουθία συμβάντων επικοινωνίας Reader↔tag (Το tag αποκρίνεται με Ψηφιακή Διαμόρφωση Πλάτους αναλογικού φέροντος (BASK)) [29]

Το σήμα αυτό, είναι συνήθως διαμορφωμένο με Bipolar-ASK (Amplitude Shift Keying- Κλείδωμα μεταλλαγής πλάτους) που ταυτίζεται με την περίπτωση της BPSK ($\Delta\phi = 180^\circ$, Phase Reversal Keying-PRK) διαμόρφωσης (Εικόνα 3-5) και όχι την OOK (αφού το “ON-OFF Keying” αν και υλοποιείται απλούστατα, προσφέρει ενέργεια μόνο όσο διαρκούν οι “1”, μιας και στα “0” δεν αποστέλλεται σήμα) ή PSK που απαιτεί πιο δύσκολη κυκλωμάτωση (Varactor Diode [31]). Το διαμορφωμένο δε κατά ASK σήμα μπορεί να αποδιαμορφωθεί πανεύκολα με ένα φωρατή περιβάλλουσας με δίοδο (diode envelope detector).

3.2 RFIDs Πολλαπλών Λειτουργιών – Εμβέλεια (Range)

Επίσης, όσον αφορά τις λειτουργικές δυνατότητες που υποστηρίζουν, χωρίζονται, σε:

- α) Ανάγνωσης – Εγγραφής (Read/Write), όπου η υπάρχουσα πληροφορία που μεταφέρουν μπορεί να επανεγγραφεί,

- β) Μόνο ανάγνωσης (Read only), όπου η πληροφορίες που ενσωματώνουν δεν μπορούν να αλλαχθούν και τα,
- γ) Μοναδικής Εγγραφής- Πολλαπλών Αναγνώσεων (WORM), που μας δίνεται η δυνατότητα αποθήκευσης (π.χ. ενός σειριακού αριθμού κάποιων bits όπως ο EPC-Electronic Product Code, στην Εικόνα 3-6) μια φορά, κι έπειτα λειτουργούν ως Read only συσκευές.



Εικόνα 3-6. Μορφή του EPC των 96bits (4bits / symbol) (με 79.2 τρις τρις συνδυασμούς) [15]

Βέβαια εκτός από τα προαναφερθέντα, τα RFIDs δεν είναι άμοιρα προβλημάτων, ειδικά όταν πολλά μαζί (> 2) επιθυμούν ταυτόχρονα να συνδιαλαγούν με το δέκτη όποτε τα σήματα τους αλληλοπαρεμβάλλονται ή επικαλύπτονται οπότε έχουμε μια κατάσταση σύγκρουσης (Read collision). Το πρόβλημα, επιλύεται με χρήση της τεχνικής «Πολλαπλής πρόσβασης με Διαίρεση χρόνου» (TDMA) όπως και στις δορυφορικές ή στις επικοινωνίες σε δίκτυα H/Y. Επίσης καλύτερη συμπεριφορά επιδεικνύουν τα RFIDs, όταν χρησιμοποιείται η τεχνική «μεταπήδησης συχνότητας» (Frequency Hopping Spread Spectrum – FHSS) που απαιτεί επικοινωνίες διευρυμένου φάσματος, ώστε να είναι εφικτή η μεταπήδηση μεταξύ πολλών εναλλακτικών «καλών» συχνοτήτων βάσει μιας συνήθως ψευδοτυχαίας ακολουθίας. Όσον αφορά την εμβέλεια τους, αυτή εξαρτάται από τη συχνότητα που χρησιμοποιούν για την μεταξύ τους επικοινωνία (που καθορίζει και την “απώλεια διόδευσης ελευθέρου χώρου” (FSPL) μέσω της σχέσης του Friis [7]), από το μέγεθος (ενεργό διατομή) και άρα το κέρδος (Gain, dbi) της κεραίας τους, από την ισχύ εκπομπής (με θεσπισμένα ανώτατα όρια από τους διεθνείς οργανισμούς θέσπισης κανονισμών και τυποποίησης, (FCC, ETSI, MPHPT, SAC) με σκοπό την αποφυγή παρεμβολών με άλλες ασύρματες εφαρμογές αλλά και για την προάσπιση της υγείας των πολιτών) αλλά και την ορθή προσαρμογή μεταξύ κεραίας και του ανορθωτή-μετατροπέα RF→DC διότι αυτή καθορίζει το ποσοστό του σήματος λήψης που ανακλάται, άρα ποτέ δε φτάνει σε αυτά ως εκμεταλλεύσιμη ενέργεια. Βέβαια η ύπαρξη ή μη μιας μπαταρίας (Active tags) επηρεάζει ισχυρά την εμβέλειά τους, όπως

είδαμε. Στον Πίνακα 3 που ακολουθεί βλέπουμε τις εφαρμογές αλλά και την επιτρεπόμενη ισχύ (ή πεδίο) εκπομπής για περιπτώσεις διαφορετικών επιτρεπτών συχνοτήτων RFIDs.

Παρατηρούμε τη μεγάλη διαφορά επιτρεπτών ορίων μεταξύ χωρών και οργανισμών τυποποίησης αυτών, αλλά και τη θέσπιση των αυστηρότερων ορίων από την Ευρώπη όπως είναι άλλωστε σύνηθες. Βέβαια σε όλη τη διάρκεια της έρευνας της διατριβής

Πίνακας 3. Περιοχές Συχνοτήτων, Χρήσεις, Ισχύεις Εκπομπής των RFIDs

Frequency Range	Frequency Band, Coupling, and Applications	Allowed field strength / transmission power
< 135 kHz	low frequency, inductive coupling	72 dBμA/m
6.765 .. 6.795 MHz	medium frequency (ISM), inductive coupling	42 dBμA/m
7.400 .. 8.800 MHz	medium frequency, used for EAS (electronic article surveillance) only	9 dBμA/m
13.553 .. 13.567 MHz	medium frequency (13.56 MHz, ISM), inductive coupling, wide spread usage for contactless smartcards (ISO 14443, MIFARE, LEGIC, ...), smartlabels (ISO 15693, Tag-It, I-Code, ...) and item management (ISO 18000-3).	42 dBμA/m
26.957 .. 27.283 MHz	medium frequency (ISM), inductive-proximity coupling, special applications only	42 dBμA/m
433 MHz	UHF (ISM), backscatter coupling, rarely used for RFID	10 .. 100 mW
868 .. 870 MHz	UHF (SRD ^a), backscatter coupling, new frequency, systems under development	500 mW, Europe only
902 .. 928 MHz	UHF (SRD), backscatter (propagation/remote) coupling, several systems	4 W - spread spectrum, USA/Canada
2.400 ..2.483 GHz	UHF (ISM), backscatter coupling, several systems, (vehicle identification: 2.446 .. 2.454 GHz) Potential for 802.11b/g interference	4 W - spread spectrum, USA/Canada, 500 mW Europe
5.725 .. 5.875 GHz	SHF (ISM), backscatter coupling, rarely used for RFID. Potential for 802.11a and WiMAX 802.16 interference	4 W USA/Canada, 500 mW Europe

^aSRD (Short Range Devices)

λάβουμε ως όρια τα Ευρωπαϊκά, όχι μόνο για γεωγραφικούς λόγους, αλλά και για να έχουμε ένα σενάριο της χειρότερης υπό εξερεύνηση περίπτωσης (Worst case scenario). Ειδικότερα η κύρια έρευνα επικεντρώθηκε στην περιοχή UHF με κεντρική συχνότητα **2.45GHz** με επιτρεπόμενη ισχύ εκπομπής σε όλους τους χώρους (in & out-door) για την περιοχή ISM-RFIDs (και για duty cycle 100%), τα **500mW** (ERP)

μόνον (Πίνακας 3, [8], [14]) και όχι τα 4W (EIRP) που κατά κόρον χρησιμοποιούνται στη βιβλιογραφία ακόμη κι από Ευρωπαίους ερευνητές.

3.3 Διάδοση H/M ακτινοβολίας (*Far-Field*)

Αν και η μετάδοση της H/M ενέργειας με επαγωγή (near field induction, proximity coupling) έχει στις μέρες μας αρκετές εφαρμογές (Παρ. 2.1) από την άλλη, η διατριβή αυτή εστιάζει κύρια στη μακρινού πεδίου ακτινοβολία (propagation – remote coupling) της H/M ενέργειας σε συχνότητες κύρια σχεδόν μικροκυματικές (2.45GHz) της ζώνης συχνοτήτων ISM-RFID, όπως είδαμε. Η μετάβαση βέβαια αυτή, από το κοντινό Μαγνητοστατικό και Ηλεκτροστατικό στο μακρινό H/M πεδίο έγινε κύρια, όταν τα παθητικά RFIDs έπρεπε πια να λειτουργήσουν σε υψηλές συχνότητες (\geq UHF) κι όχι σε LF ή HF όπως ήταν το σύνηθες.

Όπως απεικονίζεται και στην Εικόνα 3-2, το μακρινό πεδίο ορίζεται γενικά για αποστάσεις d από τον εκπομπό που ικανοποιούν τη σχέση: $d \gg \lambda/2\pi$ ή $d\kappa \gg 1$ ($\kappa = 2\pi/\lambda$ ο κυματάρθρωπος του H/M κύματος, για μικρές κεραίες με διάσταση $D \ll \lambda$) και εκπέμπεται πια H/M κύμα όπου τα δύο πεδία είναι πια κάθετα ($\mathbf{E} \perp \mathbf{H}$) μεταξύ τους και κάθετα στη διεύθυνση διάδοσης του κύματος (και της ενέργειας αυτού μέσω του ανύσματος Poynting, $\vec{S} = \vec{E} \times \vec{H}$) [13]. Επίσης ο λόγος των δύο πεδίων $\mathbf{E}(\text{V/m})/\mathbf{H}(\text{A/m})$ είναι σταθερός και ίσος με $Z_0 = 120\pi = 377\Omega$ που αποτελεί την αντίσταση ακτινοβολίας ελευθέρου χώρου. Σε μια αρχική προσέγγιση, η πυκνότητα ισχύος που μια κεραία λαμβάνει δίνεται από τη σχέση E^2/Z_0 όπου E η ένταση (V/m) του ηλεκτρικού πεδίου. Σε πολύ κοντινές αποστάσεις από πομπούς μπορεί να έχουμε $E = 10 \text{ V/m}$ (σπάνιο παρουσία πληθυσμού, για λόγους προστασίας) ή μια πυκνότητα ισχύος $26 \mu\text{W}/\text{cm}^2$ που καθιστά εφικτή τη λειτουργία ενός tag, αφού συνήθως η ισχύς που απαιτείται είναι κάποιες δεκάδες μW [27, 30]. Για κεραίες μεγάλων διαστάσεων ($D > \lambda$) η απόσταση εκκίνησης του μακρινού πεδίου δίνεται προσεγγιστικά από τη σχέση, $d = 2D^2/\lambda$.

Σε κάθε περίπτωση ο καθορισμός επακριβώς της μετάβασης από το κοντινό στο μακρινό πεδίο είναι αδύνατος, οπότε ορίζεται (ως μοντέλο 3 περιοχών) μια ζώνη μετάβασης μεταξύ τους, σε απόσταση d ορισμένη από τη σχέση (3-1) [19]:

$$\frac{\lambda}{2\pi} < d < \frac{2D^2}{\lambda} \quad (3-1)$$

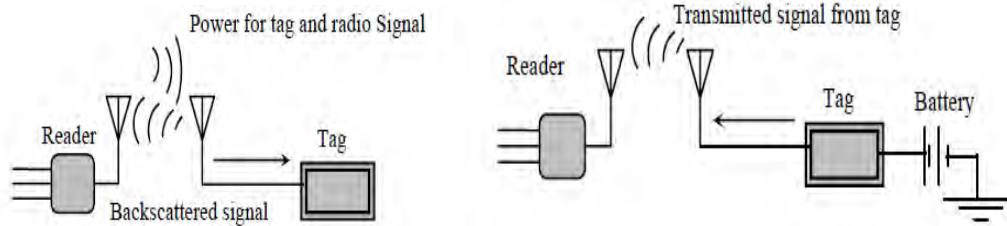
Επιπρόσθετα, για αποστάσεις όπου ορίζεται το μακρινό πια πεδίο (κύμα TEM), κάθε υπολογισμός γίνεται με βάση τις H/M εξισώσεις του Maxwell και όχι τους νόμους οπτικής που παίρνουμε για το πολύ κοντινό πεδίο. Βέβαια, ανάλογα και με τη συχνότητα είναι εύκολο να συμπεράνουμε, ότι σε χαμηλές συχνότητες (LF) πάντα έχουμε κοντινό πεδίο ενώ σε μικροκυματικές συχνότητες έχουμε πάντα μακρινό πεδίο ($> 0.25\text{cm}$). Σε UHF περιοχή έχουμε μακρινό πεδίο ή και λειτουργία στην περιοχή μετάβασης από το κοντινό στο μακρινό πεδίο, όπως ο επόμενος Πίνακας 4 παρουσιάζει [18].

Πίνακας 4. Τα όρια μεταξύ κοντινού-μακρινού πεδίου ανά συχνότητα

Band	Near Field Region	Far Field Region
LF	$< 120\text{m}$	$>12\text{Km}$
HF	$< 1\text{m}$	$>110\text{m}$
UHF	$<1.65\text{cm}$	$>1.65\text{m}$
Microwave	$<0.25\text{cm}$	$>0.25\text{ m}$

Η απόσβεση του πεδίου με την απόσταση ακολουθεί τώρα νόμο αντίστροφου τετραγώνου οπότε για μια αμφίδρομη επικοινωνία (\leftrightarrow) έχουμε απόσβεση της τάξης του d^{-4} (ή και λιγότερο, d^{-2}) κι όχι d^{-6} όπως στο κοντινό πεδίο (Παρ. 3.1.1). Βέβαια με την χρήση κατευθυντικών κι όχι πανκατευθυντικών (omni-directional) κεραιών η εμβέλεια βελτιώνεται αφού ελαττώνεται η στερεά γωνία εκπομπής της ακτινοβοληθείσας ενέργειας, όμως ως προϋπόθεση τίθεται η γνώση της θέσης του δέκτη, κάτι που συνήθως δεν είναι εφικτό, ειδικά αν υπάρχει σχετική κίνηση μεταξύ πομπο-δεκτών, που συνήθως συμβαίνει.

Σε μικρές και μεσαίες συχνότητες και για διάδοση μακρινού πάντοτε πεδίου, γίνεται χρήση κεραιών μορφής διπόλου (κέρδους 2.2dbi) ή Yagi-Uda μεγαλύτερου κέρδους και κατευθυντικότητας (όπως στην TV), παραβολικών ανακλαστήρων (σε υψηλές συχνότητες μικροκυμάτων) ή τύπου Cassegrain (όπως στα Radars) για βελτιωμένες επιδόσεις. Όπως ήδη αναφέραμε (Παρ. 3.1.2) λόγω της απουσίας σύζευξης πομπού-δέκτη η -πιο απλή- δυνατότητα επικοινωνίας μεταξύ τους είναι η τεχνική (παρόμοια με τη λειτουργία των Radars) *Backscatter Modulation or Reflection* (Εικ. 3-7α). Είναι προφανές, ότι η ποιότητα της επικοινωνίας κύρια εξαρτάται από την κεραία του δέκτη και την επίδοσή της αφού γενικά πολύ πιο άνετα μπορούμε να βελτιώσουμε τα χαρακτηριστικά του εκπομπού αλλά όχι τόσο εύκολα - έως καθόλου - τα χαρακτηριστικά του αποδέκτη, πολύ μικρού σε μέγεθος ($\sim\text{mm}^2$) και απόδοση (π.χ. έχοντας κεραία -OCA- ολοκληρωμένη πάνω στο Chip).



Εικόνα 3-7. (α) Επικοινωνία με παθητικό RFID, (β) και με ενεργό RFID

Όταν ένα RFID βρίσκεται έξω από τη «σφαίρα ακτινοβολίας» ακτίνας r που ορίσαμε ως το τέλος του κοντινού και την αρχή του μακρινού πεδίου, τότε ισχύουν τα κλασικά μεγέθη ανάλυσης των κεραιών, δηλαδή, το κέρδος G , η ενεργός διατομή A_e , και η ισοδύναμη ισότροπα ακτινοβολούμενη ισχύς ($EIRP = G_t \cdot P_t$). Ιδιαίτερη προσοχή χρειάζεται σχετικά με τον ορισμό της EIRP (Equivalent Isotropic Radiated Power) που είδαμε και τον ορισμό της ERP (Effective Radiated Power-Ενεργός ακτινοβολούμενη ισχύς) που ορίζεται με το γινόμενο της ισχύος που τροφοδοτεί την κεραία επί το κέρδος ενός διπόλου $\lambda/2$ σε ορισμένη κατεύθυνση. Η σχέση που συνδέει τα δύο μεγέθη είναι: **EIRP = ERP x 1.64**, λόγω του κέρδους των κεραιών διπόλων $\lambda/2$ (~2.2dbi) αφού:

$$G[dbi] = 10 \log G \Rightarrow G = 10^{\frac{G[dbi]}{10}} = 10^{\frac{2.2}{10}} \approx 1.64 \quad (3-2)$$

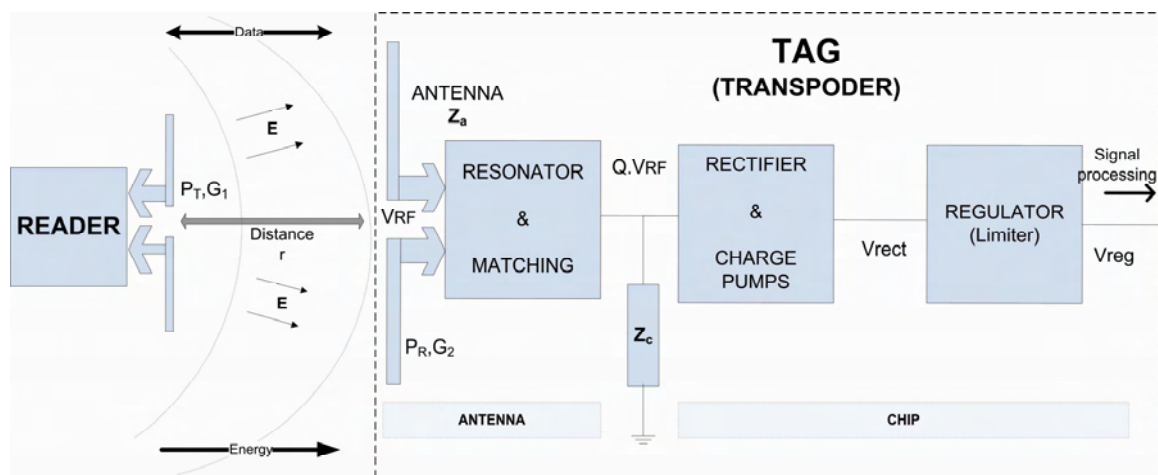
Στον καθορισμό όμως των προτύπων κανονισμών ορίων εκπομπής, γίνεται συχνά σύγχυση των δύο άνισων μεγεθών. Ο οργανισμός τυποποίησης FCC (USA) χρησιμοποιεί τον όρο EIRP ενώ οι Ευρωπαϊκοί οργανισμοί τον όρο ERP που είναι μικρότερος όπως είδαμε. Έτσι για την περίπτωση της έρευνάς μας, των 2.45GHz (ISM-RFID) ο ETSI επιτρέπει ERP = 500mW (outdoor, with 100% duty cycle) ή αντίστοιχο EIRP = 825mW που αντιστοιχεί σε 29 dbm. Βέβαια και πάλι το ευρωπαϊκό αυτό αυστηρό όριο είναι αρκετά μακριά από τα επιτρεπόμενα EIRP = 4W (outdoor) ή 36 dbm σε Καναδά ή ΗΠΑ με προφανείς συνέπειες, κύρια στην εμβέλεια. Όσον αφορά την κεραία του δέκτη στην περίπτωση της σύζευξης μακρινού πεδίου, αυτή πρέπει να είναι μια κεραία Η/Μ πεδίου, που μπορεί να δεχθεί τόσο το ηλεκτρικό όσο και το μαγνητικό πεδίο της ακτινοβολούμενης ενέργειας χωρίς προτίμηση σε κάποιο εξ' αυτών, ειδικά σε υψηλές συχνότητες όπου έχει ελάχιστες διαστάσεις. Αντίθετα για το κοντινό πεδίο, οι κεραιές μπορούν να είναι ευαίσθητες ή στο ηλεκτρικό μόνο ή στο μαγνητικό μόνο πεδίο και με απόλυτη εξειδίκευση σε αυτό, εκ κατασκευής.

3.4 Απόσβεση Διάδοσης ελευθέρου χώρου (FSPL) – Υπολογισμοί Ζεύξης Reader → Tag (Forward Link Budget)

Σε μια πρώτη (ιδανική) προσέγγιση θεωρούμε τη διάδοση στον ελεύθερο χώρο, όπου δεν παρεμβάλλεται τίποτα (που να προκαλεί ανάκλαση, περίθλαση ή σκέδαση) στην πορεία του Η/Μ κύματος από τον πομπό στο δέκτη και αντίστροφα (reader ↔ tag για τα RFIDs). Στην περίπτωση των παθητικών RFIDs η επικοινωνία μεταξύ reader → tag γίνεται όπως είπαμε (Παρ. 3.1.2) μέσω της ανάκλασης προς τα πίσω (Back-scattering Reflection) ενός ποσοστού της Η/Μ ενέργειας που προσέπεσε στο δέκτη μέσω διαμόρφωσης της εμπέδησης (άρα και του συντελεστή ανάκλασης) αυτού. Για απρόσκοπτη επικοινωνία πρέπει να τηρούνται δύο βασικές προϋποθέσεις:

- α) η μεταφορά ισχύος στο δέκτη από τον εκπομπό ικανής ώστε να τον ενεργοποιήσει, όπου υπάρχει απόσβεση με τη 2^η δύναμη της απόστασης και
- β) η επιστροφή ικανού ποσού ισχύος ξανά πίσω στον εκπομπό (που τώρα γίνεται αποδέκτης) με απόσβεση με βάση την 4^η δύναμη (r^{-2})² ως προς την απόσταση r [19].

Γενικά, ο δέκτης (Tag) αποτελείται από την κεραία (μικραδικής εμπέδησης $Z_a = R_a + jX_a$) και το ολοκληρωμένο κύκλωμα (chip, $Z_c = R_c + jX_c$) όπως απεικονίζεται στην Εικόνα 3-8. Το τμήμα του δέκτη είναι σε μεγέθυνση ώστε να απεικονίζονται και εσωτερικά τμήματά του, που θα αναλυθούν περαιτέρω.



Εικόνα 3-8. Ένα τυπικό σύστημα επικοινωνίας RFID Reader + Tag (RF Front End).

Όσον αφορά το συμβολισμό των βασικών μεγεθών, με G_1 , G_2 συμβολίζουμε το κέρδος των κεραιών, με P_T , P_R τις ισχύεις που εκπέμπονται και αντίστοιχα λαμβάνονται και με E την ένταση του ακτινοβολούμενου ηλεκτρικού πεδίου στη

θέση του σημείου λήψης. Υποθέτουμε ότι η απόσταση μεταξύ Reader + Tag είναι r , θεωρώντας μετάδοση ελευθέρου χώρου από μια ιστροπική κεραία που μεταδίδει ισόποσα σε όλες τις κατευθύνσεις την ισχύ P_T . Η πυκνότητα κατευθυντικής ροής ισχύος S , σε μια υποθετική σφαίρα ακτίνας r θα δίνεται από τη σχέση (3-3):

$$S = \frac{P_T G_1}{4\pi r^2} = \frac{EIRP}{4\pi r^2} = 1.64 \frac{ERP}{4\pi r^2} = \frac{E^2}{120\pi}, \text{ (W/m}^2\text{)} \quad (3-3)$$

Οπότε η λαμβανόμενη από το tag ισχύς P_R , άμεσα εξαρτώμενη από την ενεργό διατομή της κεραίας του A_e , θα δίνεται από τη σχέση (3-4) αγνοώντας σε πρώτη φάση, απώλειες λόγω κακής προσαρμογής, διαφορετικών επιπέδων πόλωσης ή και προσανατολισμού.

$$P_R = SA_e = SG_2 \frac{\lambda^2}{4\pi}, \text{ (W)} \quad (3-4)$$

Όπου βέβαια η ενεργός διατομή της κεραίας λήψης δίνεται από τη σχέση (3-5).

$$A_e = \frac{\lambda^2}{4\pi} G_2, \text{ (m}^2\text{)} \quad (3-5)$$

Οπότε καταλήγουμε στις γνωστές σχέσεις του Friis [2, 7],

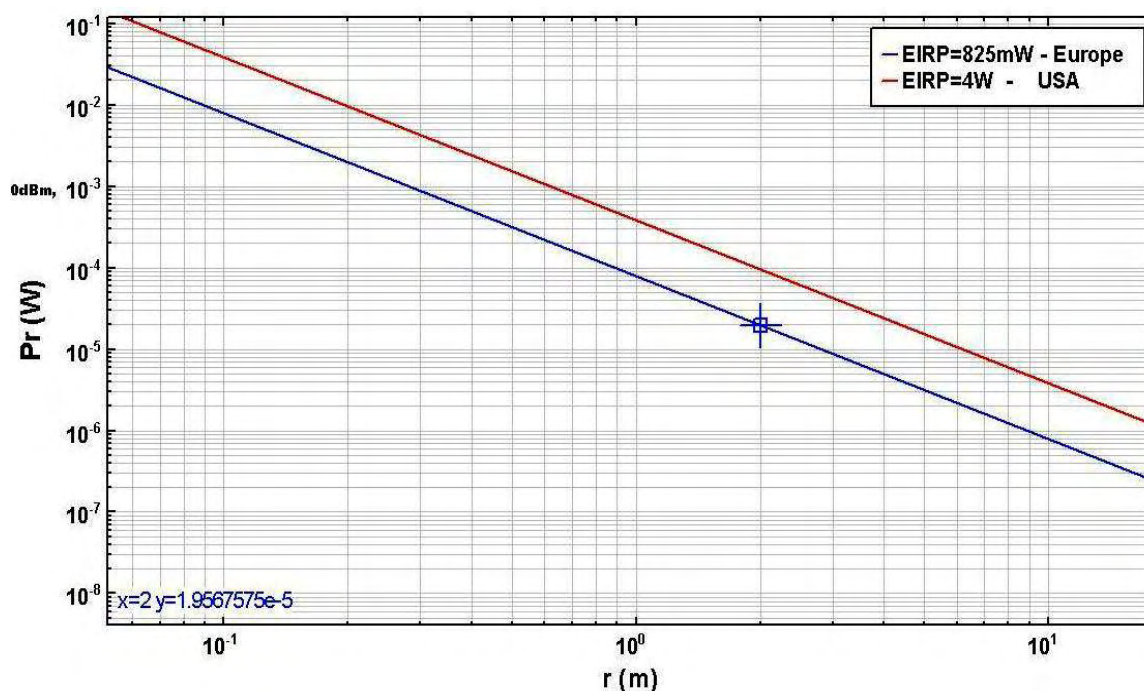
$$P_R = P_T G_1 G_2 \frac{\lambda^2}{(4\pi r)^2} = EIRP \cdot G_2 \frac{\lambda^2}{(4\pi r)^2} \quad (3-6)$$

$$r = \frac{\lambda}{4\pi} \sqrt{\frac{P_T G_1 G_2}{P_R}} = \frac{\lambda}{4\pi} \sqrt{\frac{EIRP \cdot G_2}{P_R}} \quad (3-7)$$

Γενικά η κεραία του tag είναι μορφής (ή αναδιπλωμένου) διπόλου $\lambda/2$ (6.12cm στα 2.45GHz), οπότε θα έχει ένα κέρδος της τάξης των $G_2 = 2.2\text{dbi}$ (ή $X1.64$ από την εξίσωση 3-2) επειδή όμως θεωρούμε ένα σενάριο της χειρότερης περίπτωσης θα θεωρήσουμε πιο κάτω στους υπολογισμούς μας ότι $G_2 = 0\text{dbi}$ (ή $X1$). Για τη συχνότητα δε των 2.45GHz ($\lambda = c/f = 12.24\text{cm}$) και για την τιμή επιτρεπτού στην Ευρώπη (ETSI) ορίου $ERP = 500\text{mW}$ ή $EIRP = 825\text{mW}$ (29dbm), μέσω τότε της εξίσωσης (3-6) λαμβάνουμε ότι σε απόσταση $r = 10\text{m}$ η λαμβανόμενη ισχύς είναι $P_R = 0.8\mu\text{W}$ (-31dBm) και μόνον! Είναι λοιπόν εμφανές ότι πρέπει οι λειτουργίες του tag να είναι εξαιρετικά χαμηλής απαίτησης ισχύος (low power), αν και τα περισσότερα όντως καταναλώνουν σε κάθε κύκλο ανάγνωσης από 8-40μW [27] ή και λιγότερο [28]. Για να είναι δηλαδή χρηστική η λειτουργία σε αυτή τη μικροκυματική συχνότητα, πρέπει να πάμε σε αποστάσεις $< 10\text{m}$ που αρχικά θεωρήσαμε, π.χ. για $r =$

2m, η $P_R = 19.57\mu\text{W}$ (**-17.1dBm**) με βάση τις προηγούμενες παραδοχές. Αν στην ίδια συχνότητα λάβουμε τα όρια της Αμερικής, με $EIRP = 4\text{W}$, τότε θα είχαμε στα **2m** λαμβανόμενη ισχύ $P_R = 94.9\mu\text{W}$ (**-10.2dBm**), όπως είναι εμφανές κι από την Εικόνα 3-9, όπου συγκρίνουμε τις λαμβανόμενες ισχύεις στο tag ανάλογα της απόστασης του reader για τη συχνότητα 2.45GHz και για τα επιτρεπτά όρια **EIRP** Ευρώπης και Αμερικής/Καναδά.

Βέβαια σε ένα άλλο σενάριο πιο χαμηλής συχνότητας UHF ($f = 950\text{MHz}$, $\lambda = 31.56\text{cm}$) και με τα όρια του FCC (Πίνακας 3-1) που είναι $EIRP = 4\text{W}$, τότε για $r = 10\text{m}$ η λαμβανόμενη ισχύς είναι $P_R = 252\mu\text{W}$ (**-6dBm**) (ακόμα και για μοναδιαίο κέρδος κεραίας λήψης, στα **2m** τώρα η $P_R = 6.25\text{mW}$ (**+8dBm**)!), που αναδεικνύει τη δυσκολία του εγχειρήματος της παρούσας έρευνας και καθιστά εμφανή την καίρια συμβολή των τιμών της συχνότητας και της $EIRP$ στην ισχύ λήψης αλλά και στην εμβέλεια. Μια σύγκριση των λαμβανόμενων ισχύων για τα όρια της USA με $EIRP = 4\text{W}$ και για τις κεντρικές συχνότητες των 2.4GHz και 900MHz που επιτρέπονται εκεί, μπορεί να βρει στην [25] που ερευνά την υλοποίηση και τοποθέτηση παθητικών αισθητήρων εμφυτευμένων στο ανθρώπινο σώμα.



Εικόνα 3-9. Η ισχύς (από -50 έως +20dbm) που λαμβάνεται ανά απόσταση r tag-reader για διαφορετικά επιτρεπτά όρια $EIRP$ (ETSI, FCC) στη συχνότητα ISM-RFID των 2.45GHz.

Ως εμβέλεια πρέπει να θεωρεί κανείς, τη μέγιστη απόσταση κατά την οποία το reader είναι ικανός να αποκωδικοποιήσει το ανακλώμενο σήμα από το tag. Δεν αρκεί δηλαδή, απλά να φθάσει κάποιο σήμα στο tag αλλά θα πρέπει να υπάρχει περιθώριο

ισχύος ώστε τόσο ένα τμήμα της να καταναλωθεί στις εσωτερικές διεργασίες του tag (πολώσεις, ρυθμιστές τάσης, αποδιαμορφώσεις, VCOs, ψηφιακό τμήμα κ.α.) όσο και ένα άλλο ποσοστό της να ανακλασθεί πίσω στον reader στέλνοντας την ταυτότητά του (ID). Η υπολογισθείσα έτσι, εμβέλεια από τη σχέση (3-7) είτε πραγματικά θα αντιστοιχεί σε κάποια μικρότερη τιμή είτε θα απαιτείται μεγαλύτερη ισχύς να φθάνει στο δέκτη ώστε να είναι εφικτή αυτή.

Ακόμα βέβαια μικρότερη θα είναι η εμβέλεια αν λάβουμε υπόψιν τους παράγοντες απώλειας που αναφέραμε. Όμως αν υποθέσουμε ότι οι απώλειες σε dB είναι περίπου ισόποσες με τα κέρδη των κεραιών στην πράξη, τότε η αμέληση τους οδηγεί σε ορθό πρακτικά αποτέλεσμα όταν θεωρεί κανείς μοναδιαία ενίσχυση και για τις δύο κεραιές, δηλαδή, $G_1 = G_2 = 0\text{dB}$ (Εικ. 3-8). Ουσιαστικά, συνήθεις τιμές είναι, $G_1 \sim 6\text{dbi}$ για τον Reader, $G_2 \sim 2\text{dBi}$ για το tag -ή και λιγότερο αφού λογικό είναι να απαιτείται ισοτροπική κεραία όταν δεν είναι γνωστή η κατεύθυνση εκ της οποίας έρχεται η προσφερόμενη ισχύς από τον reader στο tag- , απώλεια λόγω διαφορετικού επιπέδου πόλωσης $\sim 3\text{dB}$ (-50% Polarization Loss) και απώλεια λόγω κακής προσαρμογής $\sim 1\text{dB}$ (matching Loss), οπότε τελικά υπάρχει και περιθώριο ανοχής μεγαλύτερων απωλειών αν θεωρήσουμε όπως είπαμε κεραιές άνευ κέρδους. Οποσδήποτε όμως πρέπει να υπάρχει και ένα περιθώριο ασφαλείας (safety margin) στον υπολογισμό του “Link Power Budget” ώστε η λαμβανόμενη ισχύς (σε dBm) να είναι μεγαλύτερη (κάποια dB) από την ελάχιστη ισχύ (Sensitivity – Ευαισθησία) που απαιτείται για αξιόπιστη λειτουργία- και δύσκολα ομολογουμένως βελτιώνεται (τυπική τιμή -10dbm) σε αντίθεση με την ευαισθησία του -ακριβού- Reader (τυπική τιμή -70dbm) που επιδέχεται βελτιώσεων- ειδικά λόγω της απώλειας σκέδασης από τα γύρω εμπόδια αλλά και της απορρόφησης από τα γύρω μεταλλικά αντικείμενα.

Ακόμη, σημαντική παράμετρος για την ορθή λειτουργία του tag-chip είναι η απαιτούμενη ελάχιστη τάση που αυτό απαιτεί για το σκοπό αυτό. Αυτή μπορεί να υπολογισθεί, τόσο από την εξίσωση (3-6) αν έχουμε δεδομένη την απόσταση και την ισχύ λήψης αλλά και την αντίσταση της κεραίας (συνήθως $R_a = 50\Omega$) με βάση την σχέση $P_R = V_{RF}^2 / 2R_a$ (V_{RF} το πλάτος του λαμβανόμενου σήματος RF), όσο και από τη θεώρηση της απαιτούμενης ενέργειας ώστε να λειτουργεί για δεδομένο χρόνο τ το chip (duty cycle = $\tau/T < 100\%$) [27].

Έτσι, για μικρό κύκλο λειτουργίας, το τ ελαττώνεται οπότε έχουμε μικρότερη απαίτηση ενέργειας E η οποία δίνεται από την εξίσωση (3-8) που υπολογίζει και την

$$E = V_t I \tau < \frac{1}{2} C (V_{rect}^2 - V_t^2) \Rightarrow V_{rectmin} = \sqrt{(2E/C) + V_t^2} \quad (3-8)$$

απαιτούμενη (ελάχιστη) τάση που πρέπει να φθάνει στον ανορθωτή (RF to DC) του tag με βάση τις ενεργειακές απαιτήσεις των ακόλουθων τμημάτων (back-end). Με V_t συμβολίζουμε την ελάχιστη απαιτούμενη τάση ώστε οριακά να λειτουργεί το ολοκληρωμένο κύκλωμα του tag ενώ C είναι η χωρητικότητα του πυκνωτή αποθήκευσης. Προφανώς οι δυο θεωρήσεις υπολογίζουν τις τάσεις λίγο πριν και ακριβώς μετά το κύκλωμα προσαρμογής (matching) και υπέρτασης (συντονισμού - resonance voltage boosting) που θα αναλυθεί στο επόμενο κεφάλαιο 4, τόσο η ανάγκη υπάρξις του όσο και η λειτουργία του.

3.5 Υπολογισμοί Ζεύξης Tag→Reader (Backward Link)

Όσον αφορά τα της ζεύξης από το Tag→Reader μέσω της ανάκλασης ενός ποσοστού της προσπίπτουσας ενέργειας που πέφτει στο tag (Backscattering Modulation), πρέπει να χρησιμοποιήσουμε ορολογία γνωστή από τη θεωρία των Radars, που άλλωστε αποτελούν και την εναρκτήρια ιδέα πίσω από την τεχνική αυτή (Παρ. 3.1.3). Αφού λοιπόν καταφέρει να ενεργοποιηθεί το tag, κατόπιν ένα ικανό ποσό ισχύος πρέπει να επιστρέψει στον Reader, μεταφέροντας τουλάχιστον την ID του tag ή άλλες πληροφορίες. Ήδη με την εξίσωση (3-5) ορίσαμε την ενεργό διατομή της κεραίας του tag A_e (ουσιαστικά του tag λόγω του μεγάλου ποσοστού που η κεραία του καταλαμβάνει). Βέβαια η ενεργός διατομή μιας κεραίας δεν πρέπει να εννοηθεί ως φυσική διατομή (εμβადόν) της κεραίας αφού σε κάθε περίπτωση διαφέρουν, ενώ συνήθως η ενεργός διατομή είναι ποσοστό της πραγματικής (55-80%) ανάλογα του τύπου της κεραίας [29].

Έτσι, σε αναλογία με την ενεργό διατομή των Radar (RCS, Radar Cross Section or “echo area”) που το μέγεθός της δηλώνει το ποσό ανακλώμενης ενέργειας από ένα εμπόδιο ισοδύναμης διατομής RCS, ορίζουμε για την περίπτωση μας (RFIDs) τη Διαφορική Ενεργό Διατομή Radar (ΔRCS), που σε μια πρώτη προσέγγιση (ιδανικά) μπορεί να μεταβάλλεται από 0 (πλήρης απορρόφηση της ενέργειας λόγω τέλει συζυγούς προσαρμογής ($Z_{tag_ant} = Z_{tag_IC}^*$)) μεταξύ κεραίας του tag και του υπολοίπου ολοκληρωμένου κυκλώματος, άρα μηδενική ανάκλαση προς τα πίσω, με

VSWR = 1) μέχρι μια μέγιστη τιμή που δίνεται από τη σχέση (3-9) με βάση την εξίσωση (3-5),

$$\Delta RCS_{\max} = \Delta RCS_{tag_IC} \cdot G_2 = A_e \cdot G_2 = \frac{\lambda^2 \cdot G_2^2}{4\pi} \quad (3-9)$$

(όταν η κεραία είναι βραχυκυκλωμένη ή ανοιχτοκυκλωμένη οπότε δεν νοείται προσαρμογή, όπου όλη η ενέργεια ξαναεπιστρέφει στον reader και τότε ο VSWR = ∞) [31]. Βέβαια στην πράξη, η διαμόρφωση εμπέδησης της κεραίας του tag με στόχο την αλλαγή του συντελεστή ανάκλασης από αυτό, ποτέ δεν έχει αυτές τις ακραίες τιμές αλλά κάποιο μόνο ποσοστό (π.χ. 10%) μπορεί να ανακλασθεί. Αυτό καθιστά αναγκαία τη χρήση μεγεθών γνωστών από τη θεωρία των γραμμών μεταφοράς, όπως είναι ο συντελεστής ανάκλασης ρ (συνήα και ως Γ) (voltage reflection coefficient) και ο λόγος στασίμου κύματος τάσης (VSWR).

$$\rho = \frac{V_{\text{ανακλ}}}{V_{\text{προσπ}}} = \frac{V^-}{V^+} = \frac{Z_c - Z_a}{Z_c + Z_a}, \quad VSWR = \frac{V_{\max}}{V_{\min}} = \frac{V_{\text{προσπ}} + V_{\text{ανακλ}}}{V_{\text{προσπ}} - V_{\text{ανακλ}}} = \frac{1 + \rho}{1 - \rho} \quad (3-10)$$

Όπου ο μεν ρ ορίζεται από το λόγο της ανακλώμενης προς την προσπίπτουσα τάση του Η/Μ κύματος ενώ ο VSWR από το λόγο μέγιστης προς ελάχιστη τιμή τάσης του στάσιμου κύματος που προκύπτει από τις ανακλάσεις λόγω κακής προσαρμογής (mismatch). Για μια κεραία πρέπει γενικά ο VSWR < 2. Βέβαια με βάση τα δύο αυτά μεγέθη, ορίζεται η απώλεια λόγω κακής προσαρμογής (mismatch loss) σε dB, ως $10 \log(1 - |\rho|^2)$ και η απώλεια επιστροφής ως (Return loss) RL (dB) μέσω της [40],

$$RL = 10 \log \frac{P_{\text{προσπ}}}{P_{\text{ανακλ}}} = -10 \log |\rho|^2 = 20 \log \frac{V_{\text{προσπ}}}{V_{\text{ανακλ}}} = -20 \log |\rho| = -S11 \quad (3-11).$$

Έτσι για τις δυο ακραίες καταστάσεις διαμόρφωσης της εμπέδησης που αναλύθηκαν, έχουμε: Για την τέλεια προσαρμογή ρ = 0, VSWR=1, mismatch loss = 0dB, RL= ∞dB, ενώ για την μη ύπαρξη προσαρμογής, ρ=1, VSWR=∞, mismatch loss=-∞dB, RL=0dB. Συνήθως ορίζεται σε αυτή την περίπτωση της διαμόρφωσης της εμπέδησης μεταξύ δύο καταστάσεων ο διαφορικός συντελεστής ανακλαστικότητας (differential coefficient of reflectivity) Δρ, με βάση τη σχέση (3-12) [19].

$$\Delta \rho = \tau_1 (1 - |\rho_1|^2) + \tau_2 (1 - |\rho_2|^2) \quad (3-12)$$

Όπου τ₁, τ₂ οι χρονικές διάρκειες των δυο διαφορετικών τιμών συντελεστή ανάκλασης ρ₁, ρ₂ λόγω μεταβολής της προσαρμογής. Αν θεωρήσουμε την προηγούμενη ακραία κατάσταση (για ASK) όπου ρ₁ = 1 και ρ₂ = 0, τότε Δρ = 0.5. Βέβαια συνήθως το Δρ < 0.5, ειδικά σε ψηφιακές διαμορφώσεις του εκπεμπόμενου

κύματος FSK, PSK [31]. Φυσικά, αν η εμπέδηση της κεραίας καθίσταται μικρότερη από την εμπέδηση του chip στη μια κατάσταση κι έπειτα μεγαλύτερη στην έτερη, τότε οι δυο καταστάσεις μη προσαρμογής οδηγούν σε $\Delta\rho > 0.5$ (<1 πάντοτε όμως). Όσον αφορά τις διάρκειες τ_1, τ_2 των δύο καταστάσεων, συνήθως λαμβάνονται ίσες, παρόλο που θα ήταν βολικό από απόψεως μείωσης κατανάλωσης ισχύος να διαφέρουν, διότι οι μικρές διάρκειες τ_1, τ_2 θα αύξαναν το απαιτούμενο εύρος ζώνης που δεν είναι πάντα εφικτό (FCC, ETSI Regulations). Θεωρώντας $\tau_1 = \tau_2 = 0.5$ και αμελώντας τις απώλειες της κεραίας, τότε για διαμόρφωση OOK (που $\rho_1 = 1$ και $\rho_2 = 0$), το 50% και μόνον της προσπίπτουσας ισχύος οδεύει προς ανόρθωση σε DC ισχύ, το 25% είναι ανακλώμενη ισχύς προς τον reader, ενώ το άλλο 25% χάνεται. Με βάση λοιπόν τις εξ. (3-12) και (3-9), παίρνουμε τη Διαφορική Ενεργό Διατομή Radar $\Delta RCS = \sigma$ για την περίπτωση μη τέλει προσαρμογής (όχι πια μέγιστη),

$$\Delta RCS = \sigma = \frac{\lambda^2 \cdot G_2^2}{4\pi} (\Delta\rho)^2 \quad (3-13)$$

Οπότε, με ακόλουθη λογική που ακολουθήσαμε στην Παρ. 3.4 έχουμε, ότι η πυκνότητα ροής ισχύος S (εξίσωση 3-3) που φτάνει στο tag από τον reader, ανακλάται πάνω στην $\Delta RCS = \sigma$, δηλαδή σε ένα ποσοστό ισχύος, $P_1 = \sigma \cdot S$, που κατόπιν αποτελεί τη νέα ισχύ που διασκορπίζεται στη σφαιρική επιφάνεια ακτίνας r , με νέα πυκνότητα ροής ισχύος S_1 .

$$S_1 = \frac{P_1}{4\pi r^2} = \frac{P_T G_1 \sigma}{(4\pi)^2 r^2} \quad (3-14)$$

Οπότε, η λαμβανόμενη ισχύς από την ενεργό διατομή A_{er} του reader θα είναι P_2 :

$$\begin{aligned} P_2 = S_1 A_{er} &= \frac{P_T G_1 \sigma}{(4\pi)^2 r^2} \cdot \frac{G_1 \lambda^2}{4\pi} = \frac{P_T G_1^2 \sigma \lambda^2}{(4\pi)^3 r^4} = \frac{EIRP \cdot G_1 \sigma \lambda^2}{(4\pi)^3 r^4} = \\ &= \frac{P_T \lambda^4 (G_1 G_2 \Delta\rho)^2}{(4\pi r)^4} = \frac{P_T (\Delta\rho A_e A_{er})^2}{(r\lambda)^4} \end{aligned} \quad (3-15)$$

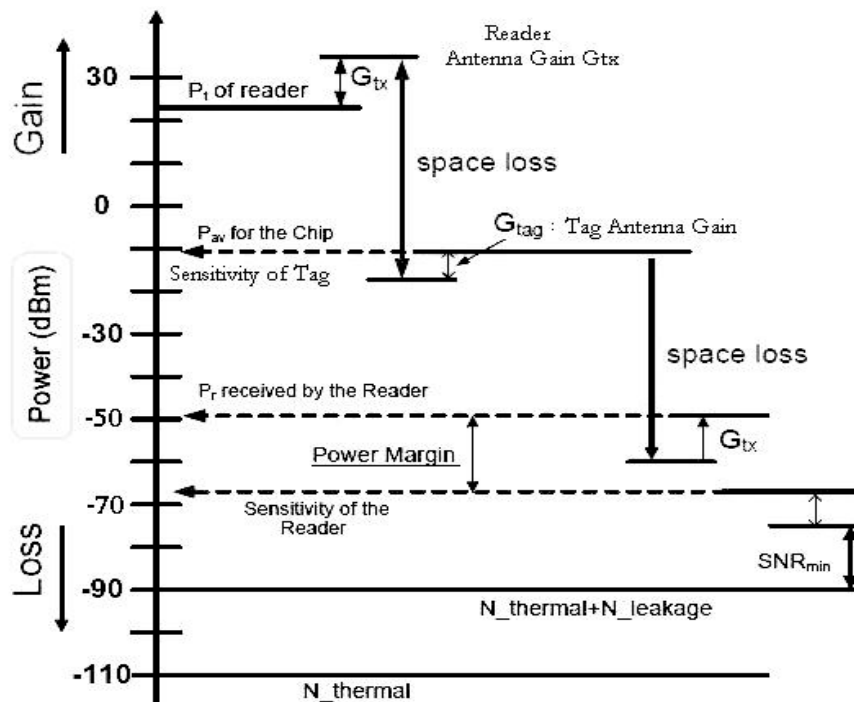
Όπου βέβαια θεωρήσαμε και τις εξισώσεις (3-14, 3-5, 3-13) και όπου A_e, A_{er} είναι οι ενεργές διατομές tag, reader αντίστοιχα. Είναι δε εμφανής στην εξίσωση (3-15) η εξάρτηση της λαμβανόμενης από τον reader ισχύος με την 4η δύναμη της απόστασης, πράγμα που σημαίνει ότι κάθε διπλασιασμός αυτής, υποδεκαξίπλασιάζει προφανώς τη λαμβανόμενη ισχύ από το reader!

Πρακτικότερα, και για τις παραδοχές της προηγούμενης παραγράφου, μπορούμε να υπολογίσουμε σε ένα πραγματικό σενάριο, τη λαμβανόμενη ισχύ από το reader που

βρίσκεται σε απόσταση $r = 2\text{m}$ από το tag με το οποίο προσπαθεί να επικοινωνήσει. Έτσι, για τις τιμές επιτρεπτών ορίων ($EIRP = 825\text{mW}$) εκπομπής της Ευρώπης στα 2.45GHz , θεωρώντας μια τιμή ανάκλασης στο 10% (δηλ. $S_{11} = -10\text{dB}$) έχουμε από την εξίσωση (3-13): $\sigma = \Delta\text{RCS} = 10\%$. $A_e \cdot G_2 = 0.1 \times 11.93\text{cm}^2 \times 1 = 1.193\text{cm}^2$, αφού θεωρούμε κεραιές έκαστη άνευ κέρδους. Η τιμή A_e υπολογίστηκε με βάση τη σχέση (3-5) για $G_2 = 1$ (0dB). Έτσι, η σχέση (3-15) μας δίνει ένα ποσό ισχύος:

$$P_2 = \frac{EIRP \cdot G_1 \sigma \lambda^2}{(4\pi)^3 r^4} = \frac{0.825 \times 1 \times 1.193 \times 10^{-4}}{64\pi^3 \times 16} (12.24 \times 10^{-2})^2 = -73.4\text{dBm} = 0.046\text{nW}$$

Που αποτελεί εφικτή τιμή ευαισθησίας ενός ακριβούς άρα και με μεγαλύτερες απαιτήσεις, reader (έως και -80dBm), οπότε καθίσταται εφικτή η ερωταπάντηση (interrogation) μεταξύ reader-tag-reader. Προφανώς η αντίστοιχη ευαισθησία του - φτηνού - tag είναι χαμηλών απαιτήσεων, στα επίπεδα των -10dBm περίπου, ως κατώφλι ενεργοποίησής του (Εικόνα 3-10). Βέβαια σε μικρότερη απόσταση έχουμε π.χ. στο 1m , -61.3dBm , ενώ στο μισό μέτρο, -49.3dBm με μοναδιαία όπως είπαμε κέρδη κεραιών, στο βαθμό που αμελούμε έτερες απώλειες, όπως θεωρήσαμε αρχικά στην προσέγγισή μας.



Εικόνα 3-10. RFIDs Reader-Tag-Reader communication power link budget [105]

Πάντως, το σήμα που υπολογίσαμε ότι λαμβάνει ο reader (δέκτης τώρα που απαντά το tag) θα πρέπει να ξεπερνά τουλάχιστον το επίπεδο ηλεκτρονικού θορύβου ώστε να μπορεί να ανιχνευθεί-αποκωδικοποιηθεί σωστά. Αν και υπάρχουν πολλά είδη

θορύβου που επηρεάζουν γενικά τις τηλεπικοινωνίες (θερμικός (Johnson) θόρυβος, κρουστικός, ενδοδιαμόρφωσης, διαφωνίας, Flicker (1/f)) εντούτοις θα σταθούμε στον πιο βασικό, το θερμικό δηλαδή θόρυβο ($\approx -110\text{dbm}$, Εικόνα 3-10), που ενυπάρχει σε κάθε ηλεκτρονικό κύκλωμα λόγω τυχαίας θερμικής διέγερσης των ηλεκτρονίων και είναι ανάλογος της θερμοκρασίας και του εύρους ζώνης συχνοτήτων. Η ισχύς θερμικού θορύβου δίνεται από τη γνωστή σχέση [32, 33],

$$N = 4kTB \quad (3-16)$$

Όπου k η σταθερά του Boltzmann ($k = 1.38 \times 10^{-23} \text{ J/}^\circ\text{K}$) και T η απόλυτη θερμοκρασία ($T = 273 + \theta$ ($^\circ\text{C}$)). Σε dBW μετατρέπεται εύκολα από τη σχέση:

$$N = -222.6 + 10 \log T + 10 \log B \quad (3-17)$$

Επίσης η τετραγωνική ρίζα της μέσης τετραγωνικής τιμής των διακυμάνσεων του θερμικού θορύβου (V_{rms}) πάνω σε μια αντίσταση R δίνεται από τη σχέση Johnson-

$$\text{Nyquist: } E_n = V_{\text{rms}_n} = \sqrt{e_n^2} = \sqrt{4kTRB} \xrightarrow{\text{MOSFETs}} E_n = \sqrt{4kTB \left(\frac{2}{3g_m} \right)} \propto \sqrt[4]{1/I_D} \quad (3-18)$$

Το μέγεθος όμως που κύρια χρησιμοποιούμε για την εκτίμηση του θορύβου που ένα τετράπολο εισάγει, είναι η εικόνα θορύβου F (Noise Figure) που ορίζεται από το λόγο σήματος προς το θόρυβο στην είσοδο του τετραπόλου προς το λόγο σήματος προς θόρυβο στην έξοδο αυτού, δηλαδή,

$$F \triangleq \frac{(SNR)_i}{(SNR)_o}, \quad F \geq 1 \quad (3-19)$$

Όπου $(SNR) = S/N = \text{Signal to Noise Ratio}$, ο λόγος δηλαδή σήματος προς το θόρυβο. Τυπικές τιμές του F είναι λίγο μεγαλύτερες του 0.5dB για συσκευές χαμηλοτάτου θορύβου (υπό ψύξη συνήθως, radioastronomy) και γύρω στα 4dB (satellite communications - TWT) έως 8dB για συνήθη Radars.

Προφανώς η εξίσωση (3-15) μπορεί να γραφεί και σε dB για πιο εύκολο υπολογισμό των απαιτήσεων σε ισχύ:

$$P_2(\text{dB}) = P_T + 2G_1 + 2G_2 + 20 \log(\Delta\rho) + 40 \log\left(\frac{\lambda}{4\pi r}\right) - 40 \log r \quad (3-20)$$

Έχει δε βρεθεί, με βάση πολλά πειράματα μετρήσεων συμπεριφοράς κεραιών κοντά σε διάφορα υλικά, ότι ακόμη και 20dB μείωση μπορεί να επιφέρει στην λαμβανόμενη ισχύ P_2 από τον reader, η παρουσία μεταλλικών αντικειμένων ή υγρών κοντά σε αυτόν (ακόμη και το ανθρώπινο σώμα (70% περιεκτικότητα σε νερό) προκαλεί μεγάλη απόσβεση) ή μέσα στη ζώνη λήψης (διάγραμμα ακτινοβολίας) της

κεραίας του. Εκτιμήθηκε δε ότι την καλύτερη συμπεριφορά επιδεικνύουν οι ισοσταθμισμένες (balanced) κεραίες, όπου τα δύο μισά της κεραίας τροφοδοτούνται από ακριβώς αντίθετα ρεύματα. Όμως είναι πολύ μεγαλύτερες από τις μη ισοσταθμισμένες (single-ended) και απαιτούν προφανώς τη χρήση ενός **balun** (**balanced unbalanced transformer**), με μεγάλη όμως έτσι αναισθησία στην ύπαρξη αντικειμένων στο κοντινό τους πεδίο. Πάντως αυτός είναι ο λόγος που τα εμπορικής χρήσης RFID διάφορων εταιριών έχουν στην πράξη και συχνά πολύ μικρότερη εμβέλεια από την αναγραφόμενη στα γενικά χαρακτηριστικά λειτουργίας τους [19]. Με βάση επίσης, όσα υπολογίσαμε, μπορούμε να βρούμε το ακριβές ποσό ισχύος που φτάνει τελικά προς ανόρθωση εντός του tag ώστε να μετατραπεί σε ισχύ συνεχούς (DC). Έτσι η ισχύς που φτάνει στο tag, θα είναι όπως είδαμε,

$$P_{tag} = \frac{V_{p-p}^2}{8R_a} = \frac{V_{rms}^2}{R_a} = \frac{V_{RF}^2}{2R_a} \quad (3-21)$$

Ενώ η ισχύς που ανκλάται από το tag θα είναι λοιπόν,

$$P_{tag_refl} = P_{tag} \cdot |\rho_{1,2}|^2 = P_{tag} \left| \frac{Z_{c1,2} - Z_a}{Z_{c1,2} + Z_a} \right|^2 \quad (3-22)$$

Οπότε εντός του tag για να ανορθωθεί, θα εισαχθεί το ποσό ισχύος,

$$P_{tag_in} = P_{tag} \cdot \left\{ 1 - \left| \frac{Z_{c1,2} - Z_a}{Z_{c1,2} + Z_a} \right|^2 \right\} \quad (3-23)$$

Όπου $Z_{c1,2}$ είναι οι δύο εμπεδήσεις του ολοκληρωμένου κυκλώματος στο tag κατά τη διαμόρφωση εμπεδήσεων που απαιτείται για την τεχνική «backscattering reflection».

Είναι φανερό, ότι από τη μία επιθυμούμε μικρό ποσοστό ανάκλασης της ισχύος προς τα πίσω στον reader ώστε αρκετό ποσό ισχύος να απομένει προς ανόρθωση, ικανό (η τάση που λαμβάνεται τελικά να ξεπερνά το κατώφλι τάσης V_{th} που είναι εγγενές σε κάθε MOS transistor) να ανοίγει τα MOS diodes του ανορθωτή που ακολουθεί, αλλά από την άλλη απαιτείται κάποιο ποσοστό ισχύος να επιστρέφει από ανάκλαση στο tag πίσω στον reader ικανό να επιτρέπει την επικοινωνία τους όπως είδαμε.

Με βάση τη σχέση (3-21) και για την περίπτωση των παραδοχών μας (2.45GHz, EIRP = 825mW) υπολογίζουμε εύκολα το πλάτος της λαμβανόμενης RF τάσης στο tag, που για τα 10m είναι στα 9mV (μη πρακτικής σημασίας ως ελάχιστο σε σχέση με το V_{th} των τρανζίστορ MOS) ενώ για τα 2m ισούται με:

$$P_{tag} = P_R = \frac{V_{RF}^2}{2R_a} = \frac{V_{RF}^2}{100} \Rightarrow V_{RF_peak} = \sqrt{100P_R} = \sqrt{100 \times 19.57 \times 10^{-6}} = 44.2mV \quad (3-24)$$

Που έχει κάποια πρακτική σημασία, ειδικά αν θεωρήσουμε ότι στην είσοδο υπάρχει (όπως θα δούμε παρακάτω) ένα απολύτως απαραίτητο κύκλωμα υπέρτασης λόγω συντονισμού (Resonator as Voltage Booster, Εικ. 3-8) που αυξάνει το επίπεδο της λαμβανόμενης τάσης, ώστε να εισαχθεί κατόπιν στα MOS-diodes χαμηλού ή μηδενικού κατωφλίου τάσης V_{th} ανοίγοντάς τα, ώστε η ανόρθωση να καθίσταται εφικτή.

Βέβαια όπως είναι προφανές με τη χρήση MOSFETs χαμηλού (LVT) ή και μηδενικού (ZVT NMOS) threshold, θα έχουμε αύξηση των ρευμάτων διαρροής (leakage currents) στα αγώγια εκείνα τμήματα των ανορθωτών που θα έπρεπε να είναι εντελώς κλειστά και όχι να παρουσιάζουν μια R_{OFF} αντί άπειρη, πεπερασμένη. Όπως όμως είδαμε με τις μετρήσεις μας ειδικά στις πολύ μικρές τιμές της τάσης εισόδου V_{RF} είναι μεγαλύτερο το κέρδος στην απόδοση από τη χρήση τέτοιων MOSFETs μικρού κατωφλίου τάσης σε σχέση με τη χρήση απλών RF-MOSFETs κανονικής τιμής V_{th} . Αυτό συμβαίνει για τιμές τάσης $V_{RF} < 150mV$ για ανορθωτές 1-σταδίου και για $V_{RF} < 250mV$ για ανορθωτές πολλών σταδίων (βαθμίδων) και για ωμικό φορτίο $1M\Omega$.

4. Προσαρμογή Εμπεδήσεων (Impedance Matching) – Υπέρταση Συντονισμού (Resonance Boosting)

4.1 Προσαρμογή σύνθετης αντίστασης, ισχύος, θορύβου

Η προσαρμογή σύνθετης αντίστασης είναι ένας όρος που χρησιμοποιείται συχνά στο αντικείμενο των γραμμών μετάδοσης. Στην περίπτωσή μας των RFID's όπου ως Z_a ορίσαμε την εμπέδηση της κεραίας και ως Z_c την εμπέδηση του υπόλοιπου tag chip, όπου ισχύει η σχέση (3-10) για τον συντελεστή ανάκλασης που είδαμε, προφανώς για $\rho = 0$, δηλαδή για $Z_a = Z_c$, δεν έχουμε ανάκλαση κύματος (άρα ούτε στάσιμα κύματα λόγω ορθού τερματισμού) και το 100% της ισχύος οδεύει προς το ολοκληρωμένο κύκλωμα (Εικ.3-8).

Όσον αφορά την προσαρμογή ισχύος, αυτή επιτυγχάνεται όταν η σύνθετη αντίσταση Z_S μιας πηγής τάσης πλάτους (peak) V_S που οδηγεί ένα φορτίο Z_L ταυτιστεί με τη συζυγή εμπέδηση αυτού, δηλαδή όταν $Z_S = Z_L^*$ (Θ. Thevenin) που σημαίνει, $R_L = R_S$ και $jX_L = -jX_S$ εξού και το όνομα «συζυγής προσαρμογή». Η μέγιστη δε ισχύς (απόδοση 50%) που θα καταναλώνεται στο φόρτο θα είναι σύμφωνα με το «θεώρημα μεταφοράς μέγιστης ισχύος» της ηλεκτροτεχνίας [34]:

$$P_{\max} = \frac{V_{S_peak}^2}{8 \operatorname{Re}(Z_S)} = \frac{V_{S_rms}^2}{4R_S} \quad (4-1)$$

Είναι έκδηλη η σχετική συνάφεια μεταξύ των δύο αυτών διαδικασιών προσαρμογής. Βέβαια παρόλο που και στις δυο περιπτώσεις στοχεύουμε σε μηδενική τιμή του ρ , στη μεν πρώτη με τον τρόπο αυτό κάνουμε το λόγο στασίμων κυμάτων ίσο με 1 (βλ. σχέση 3-10) ενώ στη δεύτερη καθιστούμε μέγιστη τη μεταφορά ισχύος, αφού για $\rho = 0$ έχουμε ότι η παρεχόμενη στο φορτίο ισχύς θα είναι η ολικά προσπίπτουσα (πράγματι, $P_t = P_{in} - P_r = P_{in}(1 - |\rho_{\max}|^2) = P_{in}$). Παρόλα αυτά υπάρχουν περιπτώσεις όπου απαιτείται μέγιστη μεταφορά ισχύος και δεν ενοχλεί η ύπαρξη ανακλάσεων (Ραδιοφωνία) ενώ σε άλλες προτιμάται η εξάλειψη των ανακλάσεων σε βάρος της μέγιστης μεταφοράς ισχύος (TV για αποφυγή ειδώλων και σε επικοινωνίες Data για εξάλειψη της ISI). Είναι αδύνατη η ταυτόχρονη επίτευξη και των δυο στόχων μέσω ενός και μόνο κυκλώματος προσαρμογής δύο μιγαδικών εμπεδήσεων, οπότε κάθε φορά ή ικανοποιούμε πλήρως τον έναν ή και τους δύο με ανοχές, σε ενδιάμεσες καταστάσεις. Μπορούμε όμως χρησιμοποιώντας δύο κυκλώματα προσαρμογής, ένα

για μέγιστη μεταφορά ισχύος και ένα για ελαχιστοποίηση ανακλάσεων είτε με χρήση διακριτών (εντοπισμένων) στοιχείων (L, C για αποφυγή απωλειών, έως συχνότητες VHF) είτε με τμήματα ολοκληρωμένων ταινιογραμμών (καταναμημένων στοιχείων για υψηλές f) μεταφοράς. Βέβαια η προσαρμογή θορύβου είναι κάτι εντελώς διαφορετικό, αφού σχετίζεται με την επίτευξη της βέλτιστης εικόνας θορύβου NF (εξίσ. 3-19) και άρα του βέλτιστου λόγου σήματος προς το θόρυβο (SNR).

Ο στόχος πάντως στην περίπτωση των RFIDs είναι η προσαρμογή της κεραίας στο ολοκληρωμένο κύκλωμα του tag, όπου όμως η εμπέδηση του (tag-chip) είναι σχεδόν ανεπηρέαστη από τον σχεδιαστή του, αλλά εξαρτάται κύρια από την τεχνολογία, τον τύπο των κυκλωμάτων που χρησιμοποιούνται αλλά και από τη συχνότητα και ισχύ του εισερχόμενου σήματος. Αρκετή επίσης επίδραση έχει βέβαια ο σχεδιαστής στο package, αφού οι παρασιτικές επιδράσεις κύρια εξαρτώνται από τι τύπος θα επιλεγεί (Flip Chip, SOC, MCM, Wire Bonding). Εκεί που έχει μεγάλη επίδραση όμως είναι ο σχεδιασμός της κεραίας, αφού η εμπέδησή της εξαρτάται από το σχήμα της και από τα υλικά που θα χρησιμοποιηθούν δίνοντας αρκετή ευελιξία σχεδιασμού.

Στην περίπτωση των RFID της τεχνολογίας CMOS, οι transponders επιδεικνύουν μια σύνθετη αντίσταση με μικρή ωμική τιμή ($2/20\Omega$) και μεγάλη χωρητική ($-100/-300\Omega$).

Τυπική τιμή ενός ολοκληρωμένου tag είναι μια σε σειρά αντίσταση εισόδου $Z_c = Z_{in_tag} = (10-j200)\Omega$ [29]. Έτσι η προσαρμογή γίνεται με χρήση επαγωγικών στοιχείων σε σειρά, σε συνδυασμό με χωρητικά στοιχεία εν παραλλήλω όπως θα δούμε παρακάτω. Βέβαια στην παρούσα έρευνα δε σχεδιάστηκε κάποια κεραία αλλά θεωρήσαμε το κλασικό ισοδύναμο μιας κεραίας με αντίσταση μόνο ωμική $R_s=50\Omega$ (τιμή που καθορίστηκε ως “χρυσή τομή” από τους *Lloyd Espenschied & Herman Affel to 1929 στα Bell Labs*). Έτσι η απαραίτητη ως άνω προσαρμογή (single matching problem) ακολούθησε στο επόμενο στάδιο μαζί και με το κύκλωμα της υπέρτασης λόγω συντονισμού, δηλαδή το κύκλωμα είχε δυϊκή υπόσταση αφού έπαιζε το ρόλο τόσο της προσαρμογής (L-match) όσο και του κυκλώματος συντονισμού με σκοπό την αύξηση της παρεχόμενης τάσης, λόγω του φαινομένου της υπέρτασης (Resonance Overvoltage Boosting), στο επόμενο στάδιο του ανορθωτή καθιστώντας εφικτό το «άνοιγμα» των MOS διόδων εφόσον η παρεχόμενη τάση υπερκεράζει το εγγενές κατώφλι (threshold) τάσης που αυτές έχουν (V_{th}).

Στην περίπτωση βέβαια σχεδίασης, εξ'αρχής μιας κεραίας ειδικά για τη συχνότητα και τη χρήση που επιθυμούμε, τότε είναι προφανές ότι θα έπρεπε με βάση την

προηγούμενη τιμή εμπέδησης του tag, αυτή να έχει μια συζυγή σύνθετη αντίσταση ήτοι, $Z_a = 10 + j200\Omega = Z_c^*$ (double matching problem). Όμως αν και η μικρή αυτή ωμική αντίσταση είναι εύκολα επιτεύξιμη από μικρές ηλεκτρικά ($r < (\lambda/2\pi)$) κεραίες διπόλου ($\lambda/4$ ή $\lambda/8$), εντούτοις τέτοιες κεραίες είναι κανονικά χωρητικές οπότε αυτό δε βοηθά τη συζυγή προσαρμογή που επιζητήσαμε. Όμως, με τη βοήθεια των τεχνικών τροφοδότησης των κεραιών με μικροταινίες (micro-strip feed) όπου πραγματοποιείται μετασχηματισμός εμπεδήσεων αλλά και εισαγωγή κατάλληλων τιμών αυτεπαγωγών (L) επιτυγχάνεται η ορθή συζυγής προσαρμογή τελικά [35, 36].

4.2 Θεωρία (Όριο) Bode-Fano

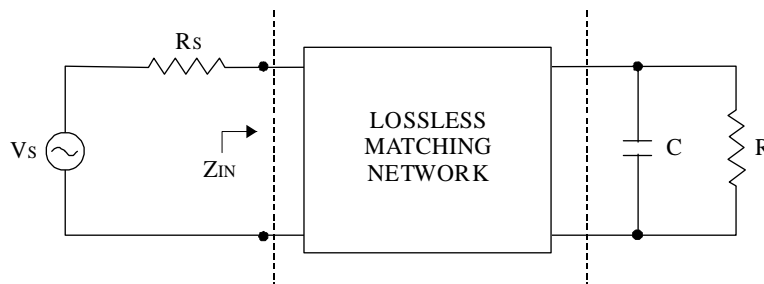
Όταν κάποιος μιλά για προσαρμογή εμπεδήσεων σε συγκεκριμένο εύρος ζώνης συχνοτήτων, εννοεί ότι ο συντελεστής ανάκλασης έχει μειωμένη τιμή στο εύρος $\Delta\omega$ αυτό. Έτσι ορίζεται και ο συντελεστής ποιότητας Q του δικτύματος προσαρμογής, από τη σχέση $Q = \omega_0/\Delta\omega$, όπου ω_0 είναι η κεντρική συχνότητα της ζώνης $\Delta\omega$.

Δεν πρέπει βέβαια να συγχέεται ο συντελεστής ποιότητας του κυκλώματος προσαρμογής, με τους συντελεστές ποιότητας των στοιχείων από τα οποία αποτελείται ή από τα Q της κεραίας και του φορτίου. Προφανώς, τέλεια προσαρμογή ($\rho = 0$) μπορεί να επιτευχθεί σε μια μικρή (ιδανικά μηδενική) ζώνη συχνοτήτων (narrowband matching) οπότε τότε έχουμε μεγιστοποίηση του Q. Το άνω όμως όριο του μέγιστου εφικτού εύρους ζώνης (ή μικρού Q) προσαρμογής εμπεδήσεων (broadband matching), έχει τεθεί από τους Bode-Fano [37]. Ο Fano (1950) αφού στηρίχθηκε στην εργασία του Bode (1945) και στο θεώρημα (1939) του Darlington (του μετασχηματισμού κάθε εμπέδησης σε ένα καθαρά άεργο δίθυρο άνευ απώλειας, τερματισμένο σε μια ωμική αντίσταση 1Ω) πέτυχε να ανάγει το πρόβλημα προσαρμογής εμπεδήσεων σε πρόβλημα κλασικής σχεδίασης φίλτρων (Chebyshev, Butterworth, Bessel, Ελειπτικού) ή εξισωτών (equalizers).

Η βασική ανάλυση του Fano έγινε για ωμική εμπέδηση πηγής (Εικ. 4-1) απ' όπου και το όνομα single matching problem το οποίο κι ανέλυσε (στην περίπτωση σύνθετων αντιστάσεων πηγής και φόρτου το πρόβλημα δυσκολεύει αρκετά [38]).

Βέβαια οι κεραιές δεν έχουν πάντοτε ωμική μόνο συμπεριφορά (σχεδόν ποτέ) όμως όπως είδαμε αυτό είναι θέμα σχεδίασης και κανονίζεται, οπότε η θεωρία που αναφέρουμε τότε ισχύει κανονικά.

Στην Εικόνα 4-1 το φορτίο (R//C) έχει συντελεστή ποιότητας $Q_L = R/X_c = \omega RC$ λόγω παράλληλης σύνδεσης (βέβαια αν ήταν άλλος συνδυασμός π.χ. RL σε σειρά τότε, $Q_L = X_L/R = L\omega/R$, Εικόνα 4-2). Όμως ειδικά ο συνδυασμός τέτοιου φορτίου ταιριάζει “γάντι” στην περίπτωση των ολοκληρωμένων κυκλωμάτων που ακολουθούν στο tag (ανορθωτές με C εν παραλλήλω κλπ) που επιδεικνύουν τέτοια εμπέδηση.

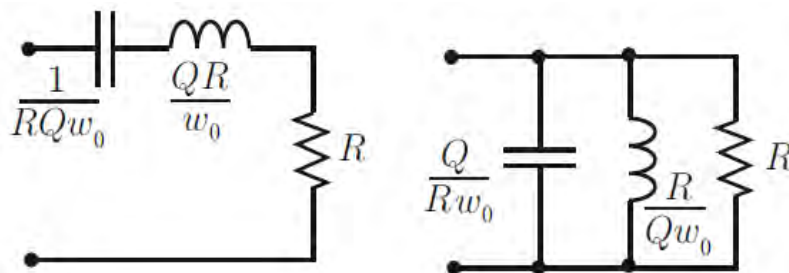


Εικόνα 4-1. Το κύκλωμα για τη θεώρηση του ορίου Bode-Fano (ωμική αντίσταση πηγής R_s και σύνθετη αντίσταση φορτίου (R//C) με συντελεστή ποιότητας Q_L)

Έδειξαν λοιπόν ότι:

$$\int_0^{\infty} \ln \frac{1}{|\rho(\omega)|} d\omega \leq \frac{\pi}{RC} \Rightarrow \left| \int_0^{\infty} \ln |\rho(\omega)| d\omega \right| \geq \frac{\pi\omega_0}{Q_L} \quad (4-2)$$

Που ισχύει σε ένα στενό εύρος ζώνης συχνοτήτων, όπου ο Q_L είναι σχεδόν σταθερός, όπου με $\rho(\omega)$ συμβολίζεται ο συντελεστής ανάκλασης που ορίστηκε στην (3-10) και με ω_0 η κεντρική συχνότητα της ζώνης συχνοτήτων.



Εικόνα 4-2. Συντελεστής ποιότητας Q, RLC δικτυωμάτων σε σύνδεση σε σειρά και παράλληλη.

Από την (4-2) φαίνεται ότι αν θέλουμε $\rho = 0$ δηλαδή τέλεια προσαρμογή ή μηδενική ανάκλαση τότε αυτό θα επιτυγχάνετο μόνο αν $\Delta\omega = 0$ αφού το ολοκλήρωμα είναι πεπερασμένο, ενώ $\ln(0) \rightarrow -\infty$. Επίσης όσο μεγαλύτερη η τιμή του Q_L του φορτίου τόσο πιο δύσκολο είναι να γίνει η προσαρμογή σε ευρεία ζώνη συχνοτήτων.

Θεωρώντας ιδανική προσαρμογή (προσέγγιση ζωνοπερατού φίλτρου “brick wall”) δηλαδή ότι $\rho = 1$ εκτός της ζώνης $\Delta\omega$ και ότι εντός αυτής έχουμε ρ_{\max} δηλαδή το μέγιστο συντελεστή ανάκλασης που ανεχόμαστε, τότε έχουμε:

$$\int_0^{\infty} \ln(|\rho(\omega)|) d\omega = \Delta\omega \cdot \ln(|\rho(\omega)|) \xrightarrow{(4-2)} \Delta\omega \leq \frac{\pi\omega_o}{Q_L \ln \left[\frac{1}{|\rho_{\max}|} \right]} \quad (4-3)$$

Που δείχνει και τη συμπεριφορά ζωνοπερατού φίλτρου που αναφέρθηκε. Οπότε αν ορίσουμε με Q_n το συντελεστή ποιότητας του κυκλώματος προσαρμογής εμπεδήσεων, δηλαδή $Q_n = \omega_o/\Delta\omega$, τότε βάσει της (4-3) παίρνουμε:

$$Q_n \geq \frac{Q_L \ln \left[\frac{1}{|\rho_{\max}|} \right]}{\pi} \quad (4-4)$$

Οπότε με βάση τα δεδομένα σχεδίασης και ανοχών μπορούμε να έχουμε το βέλτιστο συντελεστή ποιότητας Q_n για ορισμένο εύρος ζώνης συχνοτήτων $\Delta\omega$ και συντελεστή ανάκλασης ρ_{\max} . Η σχεδίαση κατόπιν, είναι ενός φίλτρου ζώνης διέλευσης συνήθως υλοποιημένου από συνδυασμό χαμηλοπερατών και υψιπερατών φίλτρων ή από κυκλώματα συντονισμού οιασδήποτε τάξης (βαθμού ≥ 2). Εμείς για λόγους απλότητας σχεδίασης αλλά και επειδή η αύξηση της τάξης ελάχιστα προσφέρει στην αύξηση του εύρους ζώνης $B = \Delta\omega$, χρησιμοποιήσαμε κύκλωμα προσαρμογής 1^{ης} τάξης (1st order matching network).

Ξαναγράφοντας τώρα την (4-3), μπορούμε να έχουμε ότι [29]:

$$Q_L \leq \frac{\pi}{\ln \left[\frac{1}{|\rho_{\max}|} \right]} \frac{\omega_o}{B} \quad (4-5)$$

Που ισχύει για ιδανικό βέβαια κύκλωμα προσαρμογής που αναφέραμε. Επιστρέφοντας δε ξανά στο θέμα της εμβέλειας με βάση τη σχέση του Friis (3-6), και υποθέτοντας μέγιστη ιδανικά μεταφορά (άνευ απώλειας ιδανική προσαρμογή) του 100% της προσπίπτουσας στο tag ισχύος, στο εσωτερικό ολοκληρωμένο κύκλωμα προς ανόρθωση, δηλαδή με βάση τις (3-21, 3-23) και την εικόνα (4-1):

$$P_{tag_in} = P_{tag} = P_R = \frac{V^2}{R} \quad (4-6)$$

Οπότε, επειδή και $Q_L = R/X_c = \omega_o RC$ για την παράλληλη σύνδεση R/C στην εικόνα (4-1) (με μετασχηματισμό εμπεδήσεων εύκολα μετατρέπουμε σε σειρά τη σύνδεση, οπότε τότε, $R_{ser} = R/Q_L^2$ μα το $Q_{Lser} = Q_L = X_{ser}/R_{ser}$ οπότε $R_{ser} = Q_L/(C\omega_o)$) θα ισχύει ότι $R = Q_L/(C\omega_o)$ και η (3-6) αφού και το μήκος κύματος $\lambda = 2\pi c/\omega_o$, δίνει:

$$\frac{V^2}{R} = P_T G_1 G_2 \left[\frac{\frac{2\pi c}{\omega_o}}{\frac{4\pi r}{1}} \right]^2 \Leftrightarrow V = \frac{c}{2r} \sqrt{\frac{2RP_T G_1 G_2}{\omega_o^2}} \Leftrightarrow V = \frac{c}{2r} \sqrt{\frac{2P_T G_1 G_2}{\omega_o^2} \frac{Q_L}{\omega C}} \Leftrightarrow$$

$$V_{max} = \frac{c}{2r} \sqrt{\frac{2P_T G_1 G_2}{\omega_o^3} \frac{Q_L}{C}} = \frac{c}{2r^{\frac{n}{2}}} \sqrt{\frac{2P_T G_1 G_2}{\omega_o^3} \frac{Q_L}{C}} \quad (4-7)$$

Όπου φαίνεται και η γενική εξάρτηση της εμβέλειας από τον εκθέτη διάδοσης n , ο οποίος έχει την τιμή 2 μόνο στη διάδοση απόλυτα ελεύθερου χώρου ενώ λαμβάνει μεγαλύτερες τιμές (η εμβέλεια τότε μικραίνει) από 3 ως 5 για μετάδοση με πολλαπλές διαδεύσεις λόγω ανακλάσεων από τα αντικείμενα του περιβάλλοντος χώρου (multipath propagation).

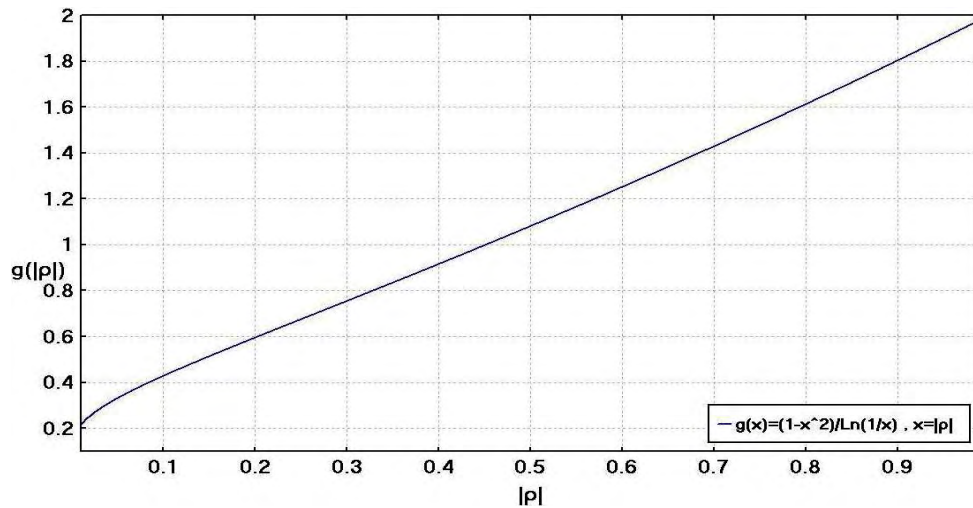
Όσον αφορά τη δυνατότητα μεγιστοποίησης της παρεχόμενης λοιπόν τάσης στον ανορθωτή, εμφανές είναι εκ της (4-7) ότι θα πρέπει κανείς να ελαχιστοποιήσει στον ανορθωτή την χωρητικότητά του C και να αυξήσει το συντελεστή ποιότητάς του Q_L . Για τα κέρδη κεραιών ήδη αναλύσαμε στην Παρ.3-4 τι συμβαίνει πρακτικά. Όμως η αύξηση του Q_L καθιστά όπως είδαμε πολύ δύσκολη την προσαρμογή της κεραίας στον ανορθωτή που ακολουθεί στο tag, σε ορισμένο εύρος ζώνης συχνοτήτων (σύμφωνα με το όριο Bode-Fano όπως στην (4-5)).

Αν αντικαταστήσουμε τώρα την (4-5) στην (4-7) και λάβουμε υπόψιν τις πιθανές ανακλάσεις του προσπίπτοντος σήματος με βάση το συντελεστή ανάκλασης ισχύος $|\rho|^2$, (απαραίτητες όπως είδαμε για τη λήψη ικανού σήματος από τον reader) έχουμε:

$$V \leq \frac{c}{2r} \sqrt{\frac{2P_T G_1 G_2}{\omega_o^3 C} \frac{\pi \omega_o (1 - |\rho_{max}|^2)}{B \ln\left(\frac{1}{|\rho_{max}|}\right)}} \Leftrightarrow V \leq \frac{c}{2r \omega_o} \sqrt{\frac{2P_T G_1 G_2 \pi}{CB} \frac{(1 - |\rho_{max}|^2)}{\ln\left(\frac{1}{|\rho_{max}|}\right)}} \quad (4-8)$$

Όπου ενδιαφέρον έχει η σχεδίαση της συνάρτησης (έστω) $g(|\rho_{\max}|)$ εντός του τετραγώνου στην (4-8), για $0 < |\rho_{\max}| \leq 1$, που εικονίζεται στην Εικ. 4-3 για τιμές $g(|\rho_{\max}|) < 2$ που είναι εμφανής η σχεδόν γραμμική αύξησή της συναρτήσει της μεταβολής του συντελεστή ανάκλασης $|\rho_{\max}|$ (γνησίως αύξουσα ως συνάρτηση).

Βέβαια, αναμενόμενη ήταν η συμπεριφορά αυτή, αφού όσο η προσαρμογή εμπεδήσεων χαλά, τόσο αυξάνει η μέγιστη παρεχόμενη τάση στον ανορθωτή. Δηλαδή, αν ο Q_L του ανορθωτή (R//C ισοδύναμο στην έξοδο του δικυώματος προσαρμογής της Εικ.4-1) είναι αρκετά μεγάλος τότε είναι εφικτή η αύξηση του εύρους ζώνης B και η αύξηση της παρεχόμενης τάσης σε αυτόν μα με μεγαλύτερη τιμή του συντελεστή ανάκλασης $|\rho_{\max}|$.



Εικόνα 4-3. Γραφική παράσταση της συνάρτησης $g(|\rho_{\max}|)$ για $0 < |\rho_{\max}| \leq 1$.

Στην ιδανική περίπτωση, αμελώντας παρασιτικές απώλειες (που κυριαρχούν στην τιμή του Q_L και που αυξάνονται όσο η ω_o μεγαλώνει) και θεωρώντας απόδοση 100% ή $|\rho_{\max}| = 1$ (άρα και $g(|\rho_{\max}|) = 2$: Εικ.4-3) τότε έχουμε από την (4-8):

$$V_{\max_in_rectifier} = \frac{1.253c}{r\omega_o} \sqrt{\frac{P_T G_1 G_2}{CB}} \quad (4-9)$$

Πρακτικά βέβαια η τιμή του συντελεστή ανάκλασης είναι: $0.5 < |\rho_{\max}| < 1$ όποτε και όσο αυτός μειώνεται τόσο μειώνεται (μη γραμμικά) και η τάση V_{\max} στην (4-9). Επίσης η αντιστρόφως ανάλογη σχέση του B με την τάση V_{\max} που εισέρχεται στον ανορθωτή, καθιστά δύσκολη την σχεδίαση προσαρμογής εμπεδήσεων σε μεγάλο B (Broadband Matching).

Ξαναγράφοντας την (4-6) σαν $V = \sqrt{R \cdot P_{tag_in}}$ εύκολα συμπεραίνουμε ότι όσο η ωμική αντίσταση R του ανορθωτή μεγαλώνει, θα αυξάνεται και η παρεχόμενη τάση

σε αυτόν. Ένα κύκλωμα προσαρμογής εμπεδήσεων σε μεγάλο εύρος ζώνης συχνοτήτων B , που δεν προσαρμόζει τέλεια τις εμπεδήσεις, θα ανακλά μεγάλο μέρος της ισχύος προς τα πίσω, όμως θα δίνει ικανοποιητική τάση στον ανορθωτή ώστε να επιτελέσει την ανόρθωση του (ημιτονικού) H/M κύματος [39]. Λόγω της λογαριθμικής εξάρτησης από τον $|r_{\max}|$ στην (4-5) του κριτηρίου Bode-Fano, συμπεραίνουμε ότι είναι τελικά προτιμότερο να έχουμε κακή προσαρμογή, δηλαδή μεγάλη R (άρα Q_L) από το να έχουμε τέλεια προσαρμογή σε μεγάλο B με μικρές τιμές R (άρα Q_L) και $V_{in_rectifier}$. Αυτό μέχρι ένα όριο βέβαια, που δίνεται από την (4-9), αφού όσο οι ανακλάσεις μεγαλώνουν κατά πολύ, ελάχιστη πια ισχύς απομένει ώστε να δοθεί ως απαραίτητη τάση στον ανορθωτή, πράγμα που θα δούμε και στο πειραματικό τμήμα της έρευνας.

Όλα τα παραπάνω, ισχύουν όταν η κεραία έχει μόνο ωμική αντίσταση (ακτινοβολίας) και όχι μιγαδική σύνθετη αντίσταση. Τότε θα ήταν αναγκαία η προσαρμογή των μιγαδικών πια εμπεδήσεων που είναι ένα πρόβλημα πολύ δύσκολο (double matching problem). Όμως μπορεί κανείς να μείνει στο θέμα όπως το αντιμετωπίσαμε εάν θεωρήσει το φανταστικό μέρος της μιγαδικής εμπέδησης της κεραίας, ως τμήμα του δικτύωματος προσαρμογής που ήδη αναλύθηκε (single matching).

4.3 Μέθοδοι Προσαρμογής Εμπεδήσεων – L-Match

Όπως είδαμε τα ολοκληρωμένα RFID έχουν εμπέδηση κύρια χωρητική, πράγμα αναμενόμενο λόγω των πολλών πυκνωτών που κύρια χρησιμοποιούνται στις εσωτερικές τους διεργασίες. Έτσι το απαραίτητο κύκλωμα προσαρμογής εμπεδήσεων, έχει σκοπό να μετασχηματίσει την κεραία ώστε να έχει την κατάλληλη αυτεπαγωγική συμπεριφορά για να γίνει εφικτή η συζυγής προσαρμογή μεταξύ αυτής και του RFID tag chip (π.χ. αν το chip RFID έχει εμπέδηση $Z_c = 7-j12$ τότε η κεραία πρέπει να έχει εμπέδηση $Z_a = 7+j12$).

Γενικά στο φάσμα των χαμηλών ραδιοσυχνοτήτων είναι προτιμότερη η χρήση διακριτών (εντοπισμένων) στοιχείων φανταστικής αντίστασης (πυκνωτές και πηνία) ενώ στις πολύ υψηλές συχνότητες που είναι δύσκολη η κατασκευή στοιχείων με καθαρά χωρητική ή επαγωγική συμπεριφορά, χρησιμοποιούμε γραμμές μεταφοράς ή μικροταινίες-ταινιογραμμές (microstrips-striplines), δηλαδή κατανεμημένα στοιχεία.

Μια γραμμή που στο τέλος της είναι βραχυκυκλωμένη ή ανοιχτοκυκλωμένη και κατάλληλου μήκους, συμπεριφέρεται ως πηνίο ή πυκνωτής κατάλληλης τιμής [35].

Πράγματι, από τη σχέση των *Ραδιοηλεκτρολόγων*, έχουμε ότι για μια γραμμή μεταφοράς άνευ απωλειών, μήκους d και χαρακτηριστικής αντίστασης Z_o που τερματίζεται σε φορτίο Z_L , η αντίσταση εισόδου της δίδεται από την:

$$Z_{in} = \frac{Z_L + jZ_o \cdot \tan(2\pi d/\lambda)}{Z_o + jZ_L \cdot \tan(2\pi d/\lambda)} \quad (4-10)$$

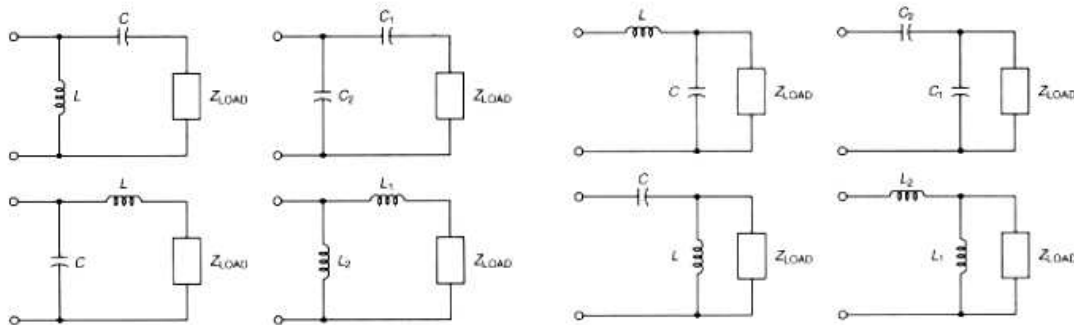
Οπότε για βραχυκυκλωμένη γραμμή, με $Z_L = 0$, η (4-10) δίνει, $Z_{in} = Z_{sc} = jZ_o \cdot \tan(kd)$, όπου $k = 2\pi/\lambda$ ο κυματάρθμος, δηλαδή συμπεριφορά επαγωγική. Επίσης για ανοιχτή γραμμή, όπου $Z_L = \infty$, τότε η (4-10) δίνει, $Z_{in} = Z_{oc} = -jZ_o \cdot \tan(kd)$ άρα χωρητική συμπεριφορά. Αυτό εξηγεί και το γιατί κάθε κεραία μπορεί να θεωρηθεί ως συντονιζόμενο κύκλωμα LC.

Γενικά δυο οποιεσδήποτε σύνθετες (μιγαδικές) αντιστάσεις μπορούν να προσαρμοστούν κάνοντας χρήση ενός απλού κυκλώματος τύπου L με δύο στοιχεία (L , C). Ένα τρίτο στοιχείο χρησιμοποιείται, όταν απαιτείται η εισαγωγή συγκεκριμένης διαφοράς φάσης για τη διατήρηση της σωστής φασικής σχέσης μεταξύ I και V , οπότε έχουμε κυκλώματα T , Π , G , Ω . Τα απλά αυτά κυκλώματα (φίλτρα ουσιαστικά ή και συντονιζόμενα κυκλώματα) σχεδιάζονται για μια μόνο συχνότητα αν και μπορούμε να επεκτείνουμε και σε άλλες συχνότητες τη χρήση τους αντικαθιστώντας κάποια εκ των στοιχείων τους. Όσο δε αφορά τις χαμηλές συχνότητες, επίσης χρησιμοποιούνται και κυκλώματα επαγωγικής σύζευξης (μετασχηματιστές). Στις υψηλές μικροκυματικές (και άνω) συχνότητες χρησιμοποιούνται μετασχηματιστές γραμμής, μετασχηματιστές $\lambda/4$ (για μικρό εύρος ζώνης, αφού $\lambda = c/f$), προσαρμοστές βραχυκυκλωμένου στελέχους (stub) ή πολλών στελεχών (2 stubs) ή και balun γραμμών μεταφοράς.

Στην παρούσα ερευνητική διαδικασία η συχνότητα στην οποία εστίασαμε είναι $f = 2.45$ GHz, δηλαδή στα κάτω όρια της μικροκυματικής περιοχής, όπου η σχεδίαση των κυκλωμάτων προσαρμογής να μην αφορά ολοκληρωμένα κυκλώματα (on chip) αλλά συνάγεται από τη σχεδίαση προσαρμογής διακριτών στοιχείων που είδαμε. Σε κάθε περίπτωση τη σχεδίαση διευκολύνει πολύ η χρήση του γνωστού χάρτη Smith (1930) που αποτελεί απεικόνιση στο επίπεδο ρ των γεωμετρικών τόπων σταθερής ωμικής αντίστασης και σταθερής εμπέδησης. Χρησιμοποιήθηκε απλό κύκλωμα

προσαρμογής τύπου L σχεδιασμένο στην κεντρική συχνότητα $f_0 = 2.45$ GHz της ζώνης ISM-RFID και άρα υπολογισμένο και για μια μικρή μόνο περιοχή εύρους ζώνης Δf γύρω απ' αυτήν την τιμή ($f_0 \pm \Delta f/2$). Τα κυκλώματα προσαρμογής L είναι πάμπολλα, όσοι κι οι εφικτοί συνδυασμοί των στοιχείων του, όπως απεικονίζεται και στην εικόνα 4-4.

Αν και οι τύποι που διέπουν τα κυκλώματα αυτά είναι γνωστοί απο τη θεωρία κυκλωμάτων, εντούτοις θα δώσουμε (εύκολα αποδεικνύονται με απλή θεωρία κυκλωμάτων) του πιο βασικούς εξ'αυτών για την περίπτωση ωμικών αντιστάσεων R_1 , R_2 (στην περίπτωση μας R_1 η αντίσταση της κεραίας και R_2 του υπόλοιπου RFID chip ως φόρτου).



Εικόνα 4-4. Δικτύωματα Προσαρμογής τύπου L [104]

Έτσι για το 3^ο δικτύωμα που χρησιμοποιείται όταν $R_1 < R_2$ ώστε στο χάρτη Smith να μετακινηθούμε από το τυχαίο σημείο της αρχικής ανηγμένης εμπέδησης όσο πιο κοντά στο κέντρο του, είναι:

$$\begin{aligned} X_L &= j\omega_o L = j\sqrt{R_1 R_2 - R_1^2} \\ X_C &= -\frac{j}{\omega_o C} = -j\frac{R_1 R_2}{\sqrt{R_1 R_2 - R_1^2}} \end{aligned} \quad (4-11)$$

Ενώ στο 5^ο δικτύωμα που χρησιμοποιείται αν $R_1 > R_2$ (ενώ το 1^ο αν $R_1 < R_2$ με απλή εναλλαγή των σχέσεων (4-12) για πηνίο και πυκνωτή) είναι:

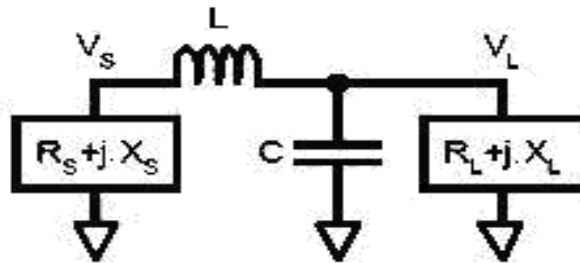
$$\begin{aligned} X_L &= j\omega_o L = j\sqrt{R_1 R_2 - R_2^2} \\ X_C &= -\frac{j}{\omega_o C} = -j\frac{R_1 R_2}{\sqrt{R_1 R_2 - R_2^2}} \end{aligned} \quad (4-12)$$

Και στο 7^ο απ'αυτά πάλι για $R_1 < R_2$, είναι:

$$X_L = j\omega_o L = j\frac{R_1 R_2}{\sqrt{R_1 R_2 - R_1^2}}, \quad X_C = -\frac{j}{\omega_o C} = -j\sqrt{R_1 R_2 - R_1^2} \quad (4-13)$$

Είναι φανερό ότι όλα τα κυκλώματα ισχύουν και με την αντίστροφη ροή κάτι που φαίνεται από τις εξισώσεις (4-11) και (4-13) των δυο (π.χ. 3^{ου} και 7^{ου}) συμμετρικών τοπολογικά κυκλωμάτων απλής εναλλαγής πηνίου και πυκνωτή (Εικ. 4-4).

Πρέπει δε εδώ να αναφέρουμε ότι η επιλογή ενός εκ των ως άνω δικτυωμάτων της Εικ. 4-4 έγινε με βάση την απαίτηση για ύπαρξη του αναγκαίου συντονισμού μεταξύ της επαγωγικής πια κεραίας και της χωρητικότητας του ανορθωτή που ακολουθεί, στη συγκεκριμένη βέβαια συχνότητα. Έτσι περνάμε σε 4 πιθανά κυκλώματα αφού η επίτευξη συντονισμού απαιτεί κυμαινόμενο κύκλωμα LC (1^ο, 3^ο, 5^ο ή 7^ο). Αν και απλό κι εύκολο στη σχεδίαση, ένα τέτοιο L-match κύκλωμα έχει συντελεστή ποιότητας που εξαρτάται από το λόγο των ωμικών αντιστάσεων που θα προσαρμοστούν (μικρή ευελιξία επιλογής του Q, Εξίσωση 4-16) αλλά και εύρος ζώνης όχι εύκολα διαχειρίσιμο. Το επιλεγέν με βάση τις πιο εύκολα υλοποιήσιμες τιμές πηνίου και πυκνωτή (για τα 2.45 GHz ως κεντρική συχνότητα του σχεδιασμού του L-match) κύκλωμα προσαρμογής είναι το 5^ο (ανάστροφο του 3^{ου} αφού στην περίπτωση μας είναι $R_a > R_c$, Εικ. 3-8) της Εικόνας 4-4 και φαίνεται (ως 3^ο) στην Εικόνα 4-5, να προσαρμόζει την εμπέδηση της πηγής $Z_s = R_s + jX_s$ στο φορτίο $Z_L = R_L + jX_L$ με τη χρήση αυτεπαγωγής L και χωρητικότητας C (βαθυπερατό φίλτρο LPF).



Εικόνα 4-5. Το L-match κατά την προσαρμογή των εμπέδησεων Z_s, Z_L

Έτσι για το κύκλωμα προσαρμογής της Εικόνας 4-5 και για το αριστερό τμήμα του πηνίου και της εμπέδησης Z_s έχουμε ότι λόγω της εν σειρά σύνδεσης θα ισχύει:

$$Z_{left} = R_s + jX_L = R_s + jQ_{left}R_s = R_s(1 + jQ_{left})$$

$$\overline{Z_{left}} = R_s(1 - jQ_{left}), \quad Q_{left} = \frac{X_L}{R_s}, \quad X_L = L\omega \quad (4-14)$$

Ενώ για το δεξί τμήμα της παράλληλης σύνδεσης πυκνωτή και εμπέδησης Z_L έχουμε:

$$Z_{right} = \frac{1}{G_L + jB_C} = \frac{R_L}{1 + jB_C R_L} = \frac{R_L}{1 + jQ_{right}}, \quad Q_{right} = B_C R_L = \frac{R_L}{X_C} = \omega C R_L \quad (4-15)$$

Οπότε αφού μιλούμε για συζυγή προσαρμογή, θά'ναι ίσοι οι δύο συντελεστές ποιότητας αριστερού και δεξιού τμήματος ($Q_{left} = Q_{right}$), οπότε οι σχέσεις (4-14,

$$4-15) \text{ μας δίνουν ότι: } R_s(1 - jQ_{left}) = \frac{R_L}{1 + jQ_{right}} \Leftrightarrow Q = \sqrt{\frac{R_L}{R_s} - 1} \quad (4-16)$$

Το Q αυτό του κυκλώματος παίρνει τιμές μικρές (2-8) συνήθως και δεν πρέπει να συγχέεται με το Q του κάθε στοιχείου που μπορεί να λάβει τιμές από 10 - 100.

Έτσι με βάση την τιμή αυτή του Q του κυκλώματος μπορεί να υπολογίσει κανείς τη συνολική χωρητικότητα κι αυτεπαγωγή του δικτύματος, με βάση τις:

$$L_T = \frac{QR_s}{\omega}, \quad C_T = \frac{Q}{\omega R_L} \quad (4-17)$$

Οπότε οι τιμές των L, C θα δίνονται από τις επόμενες σχέσεις που εύκολα προκύπτουν αν αφαιρέσουμε από τις ολικές τιμές των (4-17) τις τιμές αυτεπαγωγικής και χωρητικής αντίστασης γεννήτριας και φορτίου (ή κεραίας και ανορθωτή στην περίπτωση μας) :

$$\begin{aligned} L &= L_T - L_S = L_T - \frac{X_s}{\omega}, \quad C = C_T - C_L, \\ C_L &= \frac{Q_L}{\omega R_{LP}} = \frac{X_L}{\omega R_{LP} R_L} = \frac{X_L}{\omega (R_L + X_L)^2} \quad (4-18) \\ R_{LP} &= R_L (1 + Q_L^2), \quad Q_L = \frac{X_L}{R_L} \end{aligned}$$

Προσοχή απαιτείται στην περίπτωση υπολογισμού του C_L μέσω μετασχηματισμού παραλλήλου σε σειρά στην εξίσωση 4-18. Εντέλει πολύ εύκολα στο τέλος της σχεδίασης του L-match μπορεί να επαληθεύσει κανείς τη σωστή τελικά προσαρμογή συζυγών εμπεδήσεων, δηλαδή, θα ισχύει ότι (από την Εικόνα 4-5):

$$\begin{aligned} Z_{in} &= j\omega L + Z_L // \left(\frac{1}{j\omega C}\right) = \overline{Z_s} \\ Z_{out} &= (Z_s + j\omega L) // \left(\frac{1}{j\omega C}\right) = \overline{Z_L} \end{aligned} \quad (4-19)$$

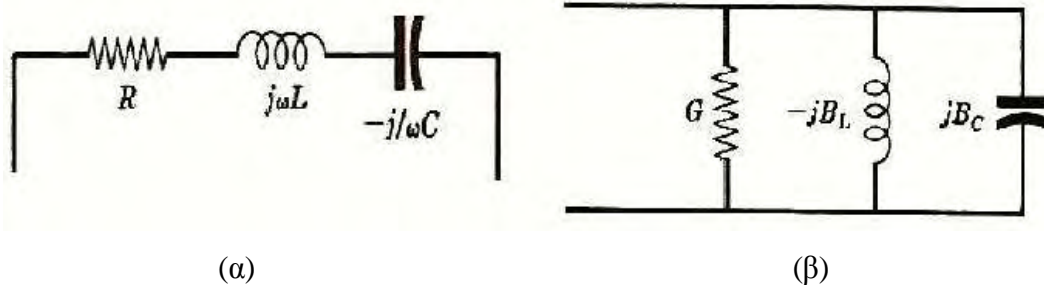
4.4 Κυκλώματα Συντονισμού (Φαινόμενο Υπέρτασης)

Όπως είναι γνωστό, ένα κύκλωμα RLC συντονισμού σε σειρά, έχει συχνότητα

συντονισμού, $\omega_o = \frac{1}{\sqrt{LC}}$ και τότε το μέτρο της σύνθετης αντίστασης του

κυκλώματος είναι ελάχιστο με ωμική και μόνο συμπεριφορά και το ρεύμα που διαρρέει το κύκλωμα είναι συμφασικό με την τάση αυτού (αφού η αντίδραση $X(\omega)=0$ ή $X_L = X_C$). Αν $Z = R+jX$, η σύνθετη εμπέδηση του κυκλώματος συντονισμού τότε το ρεύμα που το διαρρέει θα είναι $I = V/Z$ και στο συντονισμό γίνεται μέγιστο και ίσο με $I_{\max} = V/R$.

Στις συχνότητες πριν (χωρητική συμπεριφορά) και μετά (επαγωγική συμπεριφορά) το συντονισμό το ρεύμα είναι μικρότερο της μέγιστης αυτής τιμής σύμφωνα με τη γνωστή καμπύλη συντονισμού. Οι δύο συχνότητες ω_1, ω_2 εκατέρωθεν του συντονισμού και όπου το ρεύμα λαμβάνει το $1/\sqrt{2}$ (-3dB) της μέγιστης τιμής του, ονομάζονται συχνότητες αποκοπής και ορίζουν το εύρος ζώνης (B) συχνοτήτων του κυκλώματος. Ισχύει δε ότι $\omega_o = \sqrt{\omega_1\omega_2}$ δηλαδή η συχνότητα συντονισμού ω_o αποτελεί το γεωμετρικό μέσο όρο των συχνοτήτων αποκοπής. Στις συχνότητες αποκοπής, το πραγματικό μέρος της Z είναι ίσο με το φανταστικό, οπότε και η διαφορά φάσης ανάμεσα σε ρεύμα και τάση είναι τότε $\pm 45^\circ$.



Εικόνα 4-6. Κυκλώματα Συντονισμού: α) σε σειρά και β) εν παραλλήλω

Αυτό όμως που μας ενδιαφέρει όπως εξηγήσαμε, είναι το φαινόμενο υπέρτασης (Overvoltage) που πραγματοποιείται κατά το συντονισμό σειράς κυκλώματος RLC (Εικόνα 4-6α) και η ύπαρξή του οφείλεται στα εξής (στο συντονισμό):

$$\begin{aligned}
 V_R &= RI_{\max} = V \\
 V_L &= jL\omega_o I_{\max} = jL\omega_o \frac{V}{R} = j\sqrt{\frac{L}{C}} V \\
 V_C &= \frac{1}{jC\omega_o} I_{\max} = -j\frac{1}{RC\omega_o} V = -j\sqrt{\frac{L}{C}} V
 \end{aligned}
 \tag{4-20}$$

Αν και σε πρώτη ανάγνωση φαίνεται παράξενη αυτή η ανάπτυξη υπέρτασης στο πηνίο και στον πυκνωτή, αφού όλη η τάση της πηγής V πέφτει στην ωμική

αντίσταση R κατά το συντονισμό, πρέπει να σκεφτούμε ότι στο χώρο συχνοτήτων οι τάσεις και τα ρεύματα είναι διανύσματα (φάσορες) και όχι αριθμητικές τιμές οπότε μπορεί να έχουν ίδιο μέτρο αλλά έχουν διαφορά φάσης 180° και αλληλοαναιρούνται.

Κάτι που φαίνεται κι από τις (4-20) αφού ισχύει $\pm j = e^{\pm j\frac{\pi}{2}}$ από τη γνωστή σχέση του Euler. Με βάση δε τις εξισώσεις (4-20) ορίζεται και ο συντελεστής υπέρτασης (ή ποιότητας) Q:

$$Q = \frac{L\omega_o}{R} = \frac{1}{RC\omega_o} = \frac{1}{R} \sqrt{\frac{L}{C}} = \frac{R_o}{R} = \frac{\omega_o}{\omega_2 - \omega_1} = \frac{f_o}{B} \quad (4-21)$$

Όπου με R_o συμβολίσαμε τη χαρακτηριστική αντίσταση του κυκλώματος:

$$R_o = \sqrt{\frac{L}{C}} \quad (4-22)$$

Έτσι, είναι εφικτή η ενίσχυση της τάσης που φτάνει στην κεραία του tag κάτι λίαν σημαντικό για τη δυνατότητα (λόγω της ύπαρξης του κατωφλίου τάσης V_{th}) να άγουν τα MOS-diodes του ανορθωτή που ακολουθεί όπως είδαμε. Βέβαια γενικά, το φαινόμενο της υπέρτασης μπορεί να είναι ανεπιθύμητο αφού η αύξηση της τάσης μπορεί να καταστρέψει το πηνίο ή (και) τον πυκνωτή. Στην περίπτωση μας είναι προφανής η ανυπαρξία αντίστοιχου κινδύνου. Αντιθέτως επιθυμούμε την όσο δυνατόν μεγαλύτερη αύξηση της ληφθείσας τάσης V ώστε να παρέχεται ικανή τάση (Q.V) στον ανορθωτή. Παρόλα αυτά μια μεγάλη τιμή του Q, καθιστά στενότερη τη ζώνη διέλευσης συχνοτήτων B όπως φαίνεται από την (4-21) και αυξάνεται η επιλεκτικότητα (οξύς συντονισμός) του κυκλώματος. Όμως στην περίπτωση των ολοκληρωμένων κυκλωμάτων συντονισμού που ερευνήσαμε οι εφικτά υλοποιήσιμες τιμές του Q είναι χαμηλότερες αν και θεμιτή θα ήταν μια πιο μεγάλη τιμή αυτών, έστω και με την απώλεια σε εύρος ζώνης που θα τη συνόδευε.

Στην περίπτωση παράλληλου συντονισμού (Εικόνα 4-6β), όπου ως βολικότερη χρησιμοποιείται η σύνθετη αγωγιμότητα $Y = G + jB$, πάλι κατά το συντονισμό η επιδεκτικότητα $B = 0$ (ή $B_C = B_L$) και η συχνότητα συντονισμού δίνεται από την ίδια σχέση με πριν. Η επιδεκτικότητα όμως εδώ έχει επαγωγικό χαρακτήρα για $\omega < \omega_o$ και χωρητικό για $\omega > \omega_o$. Εδώ εμφανίζεται επίσης το φαινόμενο της υπερέντασης όπου το ρεύμα κατά το συντονισμό να μεν συνολικά γίνεται ελάχιστο ($I = I_R = GV$) αλλά σε πηνίο και πυκνωτή έχουμε αντίστοιχα τις υπερεντάσεις, $I_L = -jQI$ και $I_C = jQI$ με το συντελεστή ποιότητας (υπερέντασης πια) να δίδεται από την:

$$Q = \frac{R}{L\omega_o} = RC\omega_o = R\sqrt{\frac{C}{L}} = \frac{R}{R_o} \quad (4-23)$$

Γενικά βέβαια ο συντελεστής ποιότητας ενός κυκλώματος δίνεται από τη σχέση:

$$Q = 2\pi \frac{\text{ΜΕΓΙΣΤΗ ΑΠΟΘΗΚΕΥΜΕΝΗ ΕΝΕΡΓΕΙΑ}}{\text{ΕΝΕΡΓΕΙΑ ΠΟΥ ΚΑΤΑΝΑΛΩΝΕΤΑΙ ΣΕ ΜΙΑ Τ}} \quad \text{ή,}$$

$$Q = \omega \frac{\text{ΜΕΓΙΣΤΗ ΑΠΟΘΗΚΕΥΜΕΝΗ ΕΝΕΡΓΕΙΑ}}{\text{ΜΕΣΗ ΙΣΧΥΣ ΠΟΥ ΚΑΤΑΝΑΛΩΝΕΤΑΙ}}$$

Και ουσιαστικά αποτελεί ένα δείκτη ποιότητας ενός κυκλώματος αφού εκφράζεται ως αντίστροφο μέτρο του ρυθμού των απωλειών ενέργειας σε αυτό. Αν για παράδειγμα οι θερμικές απώλειες σε ένα κύκλωμα είναι μηδενικές τότε το $Q = \infty$. Δηλαδή, για το κύκλωμα συντονισμού σε σειρά, θα είναι (παρόμοια διαδικασία ακολουθούμε κάθε φορά που επιθυμούμε τον υπολογισμό του Q ενός κυκλώματος):

$$Q = \frac{\frac{1}{2}CV_{\max}^2}{T.I_{\varepsilon\nu}^2 R} = \frac{\frac{1}{2}LI_{\max}^2}{T.\left(\frac{I_{\max}}{\sqrt{2}}\right)^2 R} = \frac{L\omega_o}{R} = \frac{1}{RC\omega_o} \quad (4-24)$$

Όπως άλλωστε είχαμε δείξει και στην εξίσωση (4-21).

4.5 Μοντέλο Υπολογισμού του Ολικού (Loaded) Q_i για το συνολικό κύκλωμα «ΚΕΡΑΙΑΣ/ΣΥΝΤΟΝΙΣΤΗ-ΑΝΟΡΘΩΤΗ»

Καταρχήν θα αντιμετωπίσουμε το πρόβλημα της επίδρασης στο συντελεστή ποιότητας της κεραίας λόγω της κατανάλωσης ισχύος του ανορθωτή που ακολουθεί, σε μια πρώτη προσέγγιση. Έτσι για την κεραία ο συντελεστής ποιότητάς της θα είναι, $Q = 2\pi fE/P$ όπου E η αποθηκευμένη ενέργεια σε αυτήν και P η κατανάλωση ισχύος σε μια περίοδο T . Οι απώλειες σχετίζονται τόσο με το κύκλωμα συντονισμού (L, C) με αντίστοιχη απώλεια P_o και συντελεστή ποιότητας Q_o , όσο και με τις απώλειες που σχετίζονται με την επίδραση του ανορθωτή που τροφοδοτεί το όλο tag chip. Βέβαια η επίδραση αυτή χαρακτηρίζεται από μη γραμμικότητα (εγγενής ιδιότητα των ανορθωτών με διόδους) και δε μπορεί να εξομοιωθεί με μια γραμμική αντίσταση απωλειών. Εδώ συμβολίσαμε με P_{chip} , Q_{chip} τις αντίστοιχες απώλειες και το συντελεστή ποιότητας αντίστοιχα.

Η αποθηκευμένη ενέργεια στον πυκνωτή C του κυκλώματος συντονισμού-υπέρτασης είναι $E = \frac{1}{2}CV_{chip}^2 = CV_{chip\ rms}^2$. Έτσι θα έχουμε συνδυάζοντας τις σχέσεις αυτές, ότι:

$$\frac{2\pi f}{Q} CV_{chip\ rms}^2 = P_o + P_{chip} \quad (4-25)$$

Οπότε αν θεωρήσουμε ότι $P_{chip}=0$ έχουμε:

$$\frac{2\pi f}{Q_o} CV_{chip\ rms}^2 = P_o \quad (4-26)$$

Ενώ αν θεωρήσουμε μηδενικές απώλειες στην κεραία $P_o=0$, έχουμε:

$$\frac{2\pi f}{Q_{chip}} CV_{chip\ rms}^2 = P_{chip} \quad (4-27)$$

Συνολικά λοιπόν, προσθέτοντας τις (4-26) και (4-27) παίρνουμε, ότι:

$$2\pi f CV_{chip\ rms}^2 \left(\frac{1}{Q_o} + \frac{1}{Q_{chip}} \right) = P_o + P_{chip} \quad (4-28)$$

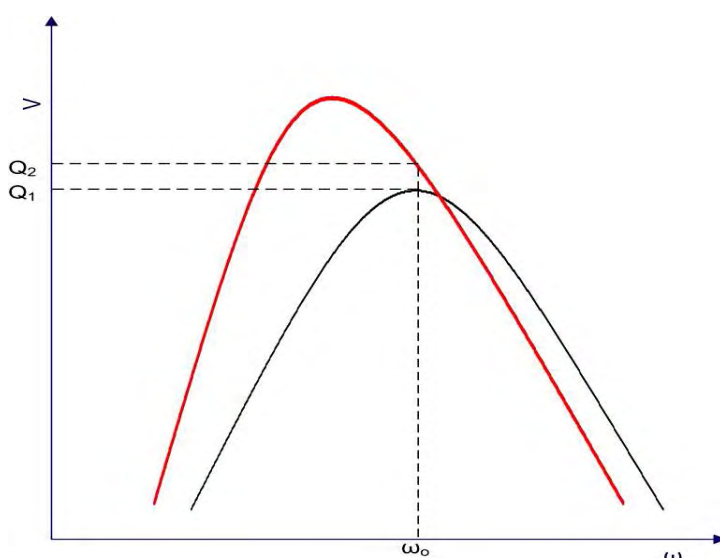
Τελικά με σύγκριση των (4-28) και (4-25) έχουμε την:

$$Q = \frac{Q_o Q_{chip}}{Q_o + Q_{chip}} < \min[Q_o, Q_{chip}] \quad (4-29)$$

Οι τιμές των δυο συντελεστών ποιότητας της (4-29) μπορούν να υπολογισθούν από τις (4-26) και (4-27). Η σχέση (4-29) ουσιαστικά υπολογίζει τον ολικό συντελεστή ποιότητας της κεραίας-συντονιζόμενου κυκλώματος υπό την επίδραση του ανορθωτή που ακολουθεί (σαν παράλληλη (//) σύνδεση των Q, με εύλογη τη μείωση του ολικού συντελεστή ποιότητας). Όπως είδαμε (εξίσωση 3-24) η λαμβανόμενη τάση στον ανορθωτή βρίσκεται σε πολύ χαμηλά επίπεδα για το υπό ανάλυση σενάριο, οπότε πρέπει να ανέλθει σε τέτοιο επίπεδο, ώστε να γίνει εφικτή η ανόρθωση και να βελτιωθεί η απόδοση μετατροπής ισχύος από RF \rightarrow DC. Η ύπαρξη λοιπόν του κυκλώματος υπέρτασης λόγω συντονισμού (High Q Resonator-Voltage Overboosting) είναι απολύτως απαραίτητη ώστε τελικά στην έξοδο του ανορθωτή να λαμβάνεται ικανή DC τάση να οδηγεί τις επόμενες διατάξεις, με την ελάχιστη παρεχόμενη RF ισχύ στο tag.

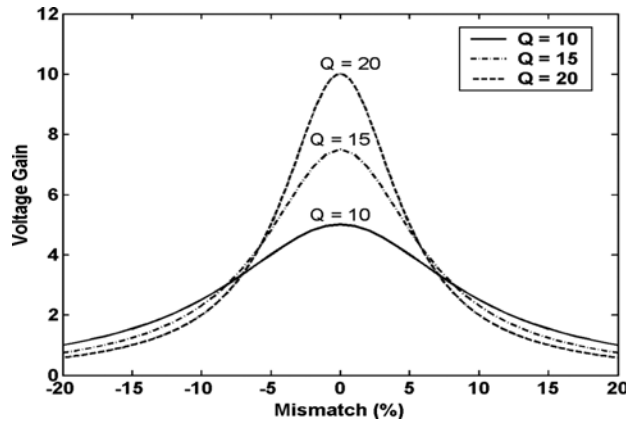
Ουσιαστικά, το κύκλωμα προσαρμογής-υπέρτασης λόγω συντονισμού (matching-resonance boosting) έχει διπλό ρόλο, αφού ταυτόχρονα πρέπει να κάνει τη συζυγή προσαρμογή των εμπεδήσεων κεραίας και εισόδου του tag chip αλλά και να συντονίζει στη συχνότητα λειτουργίας με άμεσο αποτέλεσμα στην παθητική αύξηση της τάσης που φτάνει στο tag chip λόγω του φαινομένου της υπέρτασης κατά το

συντονισμό. Βέβαια, όπως παρατηρήθηκε πειραματικά αλλά και από εξομοιώσεις των κυκλωμάτων, είναι γενικά πιο κρίσιμη η σωστή προσαρμογή από το να συντονίζει το κύκλωμα ακριβώς στη συχνότητα λειτουργίας (εν προκειμένω 2.45GHz). Αυτό εξηγείται εύκολα αν σκεφτούμε την καμπύλη συντονισμού (Εικόνα 4-7) του όλου κυκλώματος, όπου είναι προτιμότερος ο συντονισμός σε συχνότητα διαφορετική από 2.45GHz μα με μεγάλο Q_2 λόγω τέλει προσαρμογής (ή μικρό $B=\Delta\omega$) από τον ακριβή συντονισμό στη συχνότητα 2.45GHz αλλά με χαμηλό Q_1 λόγω κακής προσαρμογής.



Εικόνα 4-7. Καμπύλες συντονισμού και επίτευξη υψηλού Q στην περίπτωση μη ακριβούς συντονισμού ($\omega < \omega_0$) αλλά τέλει συζυγούς προσαρμογής ($Q_2 > Q_1$)

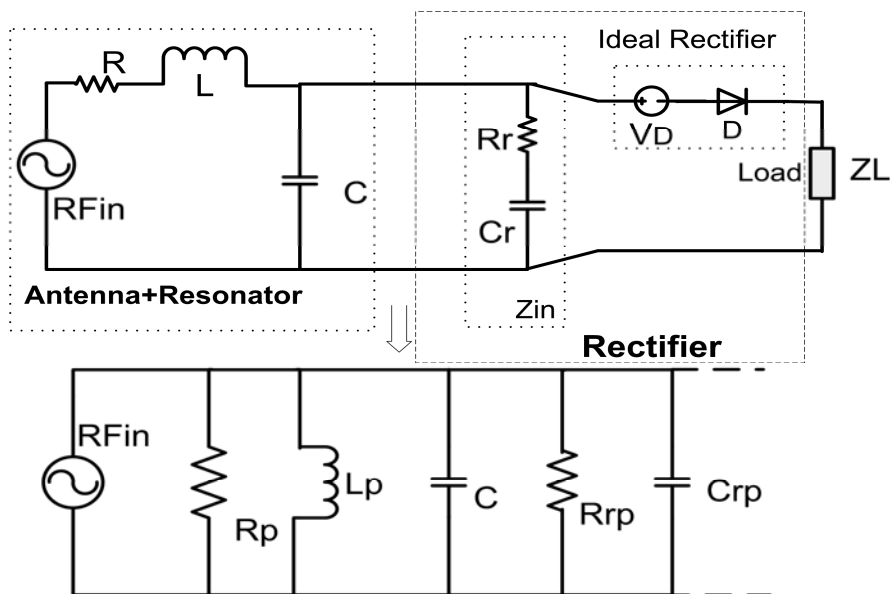
Όπως είδαμε ο ολικός (loaded) συντελεστής ποιότητας του συνολικού κυκλώματος [κεραίας – κυκλώματος προσαρμογής/υπέρτασης – ανορθωτή] ελαττώνεται και είναι πάντοτε μικρότερος κι από το μικρότερο συντελεστή ποιότητας των τμημάτων εκ των οποίων αποτελείται (εξίσωση 4-29). Αν και αυτό βελτιώνει το εύρος ζώνης συχνοτήτων (Broadband Matching) από την άλλη καθιστά χαμηλότερη την παρεχόμενη τάση στον ανορθωτή, που θα είναι ανάλογη του ολικού (total loaded) Q_t . Βέβαια, είναι ακόμη εφικτή και η επίτευξη τιμής του $Q_t < 1$, όταν η απώλεια ορθής προσαρμογής ξεπεράσει κάποιο όριο, οπότε τότε έχουμε εξασθένηση της τάσης που παρέχεται στον ανορθωτή με ότι αυτό συνεπάγεται στην ευαισθησία του tag και στην εμβέλεια της ζεύξης του με τον reader. Ακριβέστερα, αυτό συμβαίνει για τιμές κακού ταιριάσματος των υπό προσαρμογή εμπεδήσεων άνω του 15%, όπως απεικονίζεται στην Εικόνα 4-8 [42].



Εικόνα 4-8. Επίδραση της προσαρμογής στην τιμή του Q , κυκλωμάτων υπέρτασης συντονισμού

Είναι δε φανερό από την Εικόνα 4-8 ότι για impedance mismatch $> 7\%$ τότε ανεξαρτήτως της τιμής του συντελεστή ποιότητας του κυκλώματος υπέρτασης συντονισμού έχουμε $Q_i < 3$ που αποδεικνύει το πόσο σημαντική είναι η σωστή προσαρμογή ώστε να έχουμε αποδοτική χρήση του συντελεστή ποιότητας που το κύκλωμα συντονισμού επιτυγχάνει. Αυτό ενισχύει και θεωρητικά (από εξομοιώσεις στην [42]) αυτό που αναφέραμε πιο πριν και μετρήσαμε πειραματικά.

Αναλυτικότερα, δημιουργήσαμε ένα μοντέλο υπολογισμού του ολικού Q_i (loaded) με βάση το σχηματικό διάγραμμα της Εικόνας 4-9, όπου έχουμε μια απεικόνιση της λαμβανόμενης H/M ενέργειας (R_{Fin}), της κεραίας (Ισοδύναμη αντίσταση ακτινοβολίας R), του κυκλώματος LC με το διττό ρόλο, της προσαρμογής τύπου-L και της επίτευξης υπέρτασης κατά το συντονισμό, της αντιστάσεως εισόδου του ανορθωτή (R_r, C_r) καθώς και του ανορθωτή (που προσομοιάζεται από μια ιδανική δίοδο και μια πτώση τάσης V_D [43]) καθώς και του φόρτου Z_L .

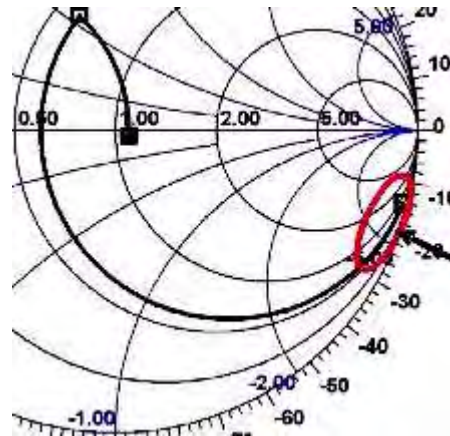


Εικόνα 4-9. Αναλυτικό σχηματικό διάγραμμα του Tag (Transponder)

Ο υπολογισμός του Q_t γίνεται από το συνδυασμό του Q_{res} του κυκλώματος συντονισμού (κεραία και δικτύωμα προσαρμογής) με το συντελεστή ποιότητας του ανορθωτή Q_{rect} που ακολουθεί. Όπως θα δούμε στο Κεφάλαιο 7, στις πειραματικές μας μετρήσεις βρήκαμε μια απόκλιση στη συχνότητα συντονισμού ω_0 του RLC κυκλώματος της Εικόνας 4-9, λόγω του παράλληλου συνδυασμού των χωρητικοτήτων C , C_r του κυκλώματος συντονισμού και του ανορθωτή αντίστοιχα (συν τις παρασιτικές χωρητικότητες των MOS-Diodes που μεταβάλλουν κι άλλο την ω_0). Έτσι από τις εξομοιώσεις αλλά και μετρήσεις μας ενώ πετύχαμε ένα $Q_t \approx 2$ θεωρητικά επιτεύξιμο ήταν αρκετά μεγαλύτερο, που δείχνει την επίδραση στην τιμή του, πολλών παραγόντων που θα αναλύσουμε. Γενικά είναι πολύ δύσκολο να επιτύχουμε υψηλές τιμές Q_t σε κυκλώματα με ολοκληρωμένα πηνία ειδικά στην τεχνολογία 90nm (IBM-MOSIS) όπου η μέγιστη υλοποιήσιμη από το εργοστάσιο (σπειροειδής) αυτεπαγωγή on-chip ήταν περίπου 21nH. Έτσι για τη συχνότητα (ISM-RFID) $f = 2.45\text{GHz}$ και για $R = 50\Omega$ (τυπική αντίσταση κεραίας) το μέγιστο (θεωρητικά) επιτεύξιμο $Q_t = L\omega/R = 6.4$. Όπως είδαμε, ο βασικός λόγος χρήσης αυτής της συχνότητας είναι κύρια η μείωση του απαιτούμενου μεγέθους της κεραίας (ελάττωση λ) αλλά και το μεγαλύτερο εν γένει κέρδος των κεραιών σε υψηλές συχνότητες ($G_2 \propto f^2$) που αντισταθμίζει κάπως τη μεγάλη απώλεια διόδευσης ελευθέρου χώρου που αναλύσαμε (σχέση (3-6) Friis, $P_r \propto \lambda^2$).

Έτσι με βάση το ισοδύναμο κύκλωμα της Εικόνας 4-9 μέσω μετασχηματισμού εμπέδησεων του κυκλώματος συντονισμού (R , L) και της εμπέδησης εισόδου του ανορθωτή (R_r , C_r) από σειράς μετατρέψαμε άπαντα σε σύνδεση παράλληλη.

Εστιάζουμε δε, στη μετάδοση μακρινού πεδίου από τον reader στο tag όπου η H/M ισχύς ακτινοβολείται και δεν επάγεται σ' αυτό όπως στο κοντινό πεδίο συμβαίνει. Από την υπάρχουσα βιβλιογραφία βρήκαμε ότι οι τυπικές τιμές εμπέδησης ολοκληρωμένων ανορθωτών είναι (Εικόνα 4-10) από $Z_r \approx 20-j.200$ έως και $1-j.10$ για ανορθωτές λίγων σταδίων σε υψηλές συχνότητες λειτουργίας [29, 42, 44, 45]. Προφανώς για τη συχνότητα των 2.45 GHz οι αντίστοιχες χωρητικότητες είναι από λίγα pF ως εκατοντάδες fF (π.χ. για $X_r = 200\Omega$, $C_r = 332\text{fF}$ στα 2.45GHz). Η εμπέδηση των κυκλωμάτων ανόρθωσης είναι πάντοτε χωρητικής συμπεριφοράς λόγω των πολλών χωρητικοτήτων που απαιτούνται, όπως θα δούμε και στην ανάλυση λειτουργίας των Voltage Doublers και των Charge Pumps στο Κεφ. 6.



Εικόνα 4-10. Τυπική τιμή Εμπέδησης Ολοκληρωμένου Ανορθωτή κι η θέση του στο X. Smith

Σε μια αρχική προσέγγιση η τάση στην έξοδο του κυκλώματος προσαρμογής και υπέρτασης συντονισμού θα είναι, $V_{out} = Q_{res} \cdot V_{in} = (L\omega/R) \cdot V_{in}$ αν συμβολίσουμε με V_{in} την παρεχόμενη RF τάση στην κεραία (Εικόνες 3-8 και 4-9) και Q_{res} το συντελεστή ποιότητας του κυκλώματος αυτού και μόνο (unloaded). Βέβαια ο ανορθωτής που ακολουθεί (Q_{rect}) επιφορτίζει το κύκλωμα του συντονισμού και ελαττώνει το συντελεστή ποιότητάς του Q_{res} , ώστε τελικά ο ολικός (total-loaded) $Q_t < Q_{res}$ (δείτε και την εξίσωση 4-29). Αυτή η μείωση αποτελεί όμως πλεονέκτημα όσον αφορά το εύρος ζώνης συχνοτήτων λειτουργίας B αφού για μικρό Q_t ο συντονισμός καθίσταται λιγότερο οξύς οπότε το B μεγαλώνει (Εξίσωση 4-21).

Για την απλούστευση του συμβολισμού θέσαμε λοιπόν, $Q_r = Q_{res}$ and $Q_c = Q_{rect}$ (charge pump-rectifier) για το κύκλωμα υπέρτασης και ανορθωτή αντιστοίχως. Αρχικά προβαίνουμε στο μετασχηματισμό από σύνδεση σε σειρά σε παράλληλη σύνδεση τόσο για την εμπέδηση εισόδου του ανορθωτή (από R_r, C_r σε R_{rp}, C_{rp}) όσο και για το κύκλωμα RLC κεραίας-συντονιστή που δομείται από την παράλληλη πια σύνδεση $R_p//L_p//C$ όπως στο ισοδύναμο της Εικόνας 4-9. Οι μετασχηματισμοί εμπέδησης εφαρμόζονται λοιπόν τόσο για την τοπολογία RL όσο και για την R_rC_r . Έτσι από την εξίσωση των εμπεδήσεων (πραγματικού και φανταστικού μέρους) σειράς και παράλληλης σύνδεσης ($Z_{series} = Z_{parallel}$) αλλά και από την εξίσωση των συντελεστών ποιότητας ($Q_{series} = Q_{parallel}$), έχουμε κατά περίπτωση:

$$R_{rp} = R_r(1 + Q_c^2), \quad C_{rp} = C_r \left(\frac{Q_c^2}{Q_c^2 + 1} \right) \quad (4-30)$$

$$R_p = R(1 + Q_r^2), \quad L_p = L \left(\frac{Q_r^2 + 1}{Q_r^2} \right) \quad (4-31)$$

$$Q_c = \frac{1}{\omega R_r C_r} = \omega R_{rp} C_{rp} \quad (4-32)$$

$$Q_r = \frac{\omega L}{R} = \frac{R_p}{\omega L_p}, \quad \omega = 1/(\sqrt{LC}) \quad (4-32)$$

Για τον υπολογισμό δε του ολικού (total-loaded) Q_t από τον παράλληλο συνδυασμό των C , C_{rp} , L_p , R_p , R_{rp} με βάση και τη μεταβολή της αρχικής συχνότητας συντονισμού ω λόγω των αλλαγών στις τιμές των L , C , έχουμε ότι:

$$Q_{total} = Q_t = \omega_{eq} R_{eq} C_{eq} = \frac{1}{\sqrt{L_p C_{eq}}} R_{eq} C_{eq} \quad (4-33)$$

Κι αν λάβουμε και τον παράλληλο συνδυασμό των $R_p//R_{rp}$ και $C//C_{rp}$ μπορούμε να έχουμε:

$$R_{eq} = \frac{R_p R_{rp}}{R_p + R_{rp}} = \frac{(1+Q_r^2)R(1+Q_c^2)R_r}{(1+Q_r^2)R + (1+Q_c^2)R_r} \quad (4-44)$$

Που αντιστοιχεί βέβαια σε μια εν σειρά ωμική αντίσταση ίση με $R_{eq-series} = R_{eq}/(1+Q_t^2)$.

Με τυπικές π.χ. τιμές μεγεθών, $R = 50\Omega$, $R_r = 100\Omega$, $Q_r = 6.4$, $Q_c = 4$ έχουμε ότι $R_{eq} = 898.2\Omega$ ή $R_{eq-series} = 63\Omega$ που σημαίνει ότι το κριτήριο προσαρμογής μέσω της εξίσωσης των ωμικών αντιστάσεων στέκει αρκετά ικανοποιητικά. Για τον παράλληλο

ώρα συνδυασμό των χωρητικοτήτων, $C_{eq} = C + C_{rp} = C + C_r \left(\frac{Q_c^2}{1+Q_c^2}\right)$ οπότε για τη

θεώρησή μας, με $f = 2.45\text{GHz}$ και $L = 21\text{nH}$ (max. εφικτό λόγω τεχνολογίας) θα πρέπει να έχουμε $C = 200\text{fF}$, που αν θεωρήσουμε την προηγούμενη τιμή $C_r = 332\text{fF}$ και $Q_c = 4$ λαμβάνουμε $C_{eq} = 512\text{fF}$. Η μεταβολή δε του συντελεστή αυτεπαγωγής θα

είναι, $L_p = L\left(\frac{Q_r^2+1}{Q_r^2}\right)$ οπότε έχουμε μια νέα τιμή αυτεπαγωγής, των 21.58nH . Οπότε

με όλα αυτά μπορούμε να υπολογίσουμε τη νέα συχνότητα συντονισμού (loaded

resonance) μέσω της εξίσωσης: $f_{eq} = \frac{1}{2\pi\sqrt{L_p C_{eq}}} = 1.514\text{GHz}$.

Η νέα αυτή συχνότητα συντονισμού βέβαια, επηρεάζει και τον ολικό Q_t , δηλαδή έχουμε $Q_t = 2\pi f_{eq} R_{eq} C_{eq} = 4.37$ που αποτελεί το νέο συντελεστή ποιότητας του συνδυασμού κεραίας (ισοδύναμου), κυκλώματος υπέρτασης συντονισμού-προσαρμογής και της εμπέδησης εισόδου του ανορθωτή. Παρατηρούμε ότι όντως η νέα τιμή είναι μικρότερη από την αρχική $Q_r = 6.4$ του κυκλώματος συντονισμού

χωρίς αλληλεπιδράσεις (unloaded resonator). Χωρίς όμως να στέκει επακριβώς και η απλή σχέση υπολογισμού του Q_t μέσω της παράλληλης σύνδεσης των Q_r , Q_c από την εξίσωση 4-29, που θα έδινε μια τιμή $Q_t = 2.56 < \min[Q_r, Q_c]$. Βέβαια μια πιο γρήγορη προσέγγιση στο θέμα θα ήταν η θεώρηση τέλει προσαρμογής όπου οι ωμικές αντιστάσεις εξισώνονται, με άμεσο αντίκτυπο στην ολική νέα τιμή του συντελεστή ποιότητας, μέσω της απλής σχέσης [42]:

$$Q_t = \frac{X_L}{2R} = \frac{L\omega_o}{2R} = \frac{X_c}{2R} = \frac{1}{2RC\omega_o} \quad (4-45)$$

Όπου λόγω των δύο ίσων ωμικών αντιστάσεων έχουμε το $2R$ στον παρανομαστή της (4-45) σε μια απλοϊκή θεώρηση που καθιστά το $Q_t = Q_r/2$, που στην περίπτωσή μας θα έδινε μια τιμή $Q_t = 3.2$ που αποτελεί μια μέση λύση μεταξύ των δυο μας προσεγγίσεων. Είναι δε εμφανής η ανάγκη για μείωση των ωμικών αντιστάσεων ώστε να επιτευχθεί υψηλή τιμή του Q_t .

Πάντως οι εξομοιώσεις μας (antenna + RF = πηγή psin στο cadence με $R = 50\Omega$) έδωσαν μέγιστη τιμή του $Q_{t_sim} = 2$ (Εικ. 7-6) που είναι μικρότερη τιμή από την κάθε μια που υπολογίσθηκε με τρεις τρόπους παραπάνω. Αυτό οφείλεται κυρίως στις παρασιτικές χωρητικότητες που αν και έχουν αμεληθεί σε αυτή την προσέγγιση, εντούτοις επιδρούν στις τιμές των C_{eq} και Q_t , f_{eq} . Για τη νέα τιμή συχνότητας συντονισμού που υπολογίσαμε (1.514GHz) και για $L=21nH$ αντιστοιχεί βέβαια μια νέα χωρητικότητα 526fF ($\approx 200fF + 332fF$) που αποτελεί το συνολικό συνδυασμό (εν σειρά και παράλληλα) χωρητικότητων του κυκλώματος συντονισμού-προσαρμογής και του ανορθωτή (αποτελούμενου στην πράξη από 4 στάδια με 2 χωρητικότητες 200fF σε καθένα από αυτά τα στάδια, για τη σχεδιάσή μας) μαζί και με τις παρασιτικές χωρητικότητες των MOS-diodes.

Απο εδώ και στο εξής η τιμή αυτή (X2) θα χρησιμοποιηθεί ως το παθητικό κέρδος τάσης (overvoltage boosting) που καθιστά διπλάσια την παρεχόμενη τάση στον ανορθωτή, δίνοντας μας πλεονέκτημα τόσο στην εμβέλεια όσο και στην ευαισθησία (S_{min} in dBm) του tag. Η προηγούμενη ανάλυση έδειξε, ότι είναι πολύ δύσκολο να πετύχουμε την ιδανική σχεδίαση με όλες τις πιο πάνω αλληλοεπηρεαζόμενες παραμέτρους και με ένα καθαρά μη γραμμικό κύκλωμα ανορθωτή να ακολουθεί. Βέβαια αυτή η μη γραμμικότητα του ανορθωτή καθιστά εφικτή την ανόρθωση που αυτός επιτελεί. Εντέλει μετρήσαμε και πειραματικά (chip) και μέσω εξομοιώσεων (Cadence) ότι η μεγιστοποίηση της τάσης εξόδου και της βοηθητικής τάσης FG

(pseudo-Floating Gate) που αναλύουμε στο Κεφ. 7, γίνονται σε συχνότητα περίπου 1.6GHz που είναι πολύ κοντά στη νέα συχνότητα συντονισμού που υπολογίσαμε στα 1.514GHz λόγω της μεταβολής των στοιχείων του κυκλώματος συντονισμού από την παρουσία της (κύρια χωρητικής) εμπέδησης εισόδου του ανορθωτή (charge pump, voltage doubler) που ακολουθεί στο tag chip.

4.6 Υπολογισμοί εμβέλειας (r) και αποδόσεων μετατροπής τάσης (VCE) και ισχύος (PCE)

Σε μια πιο πρακτική προσέγγιση του υπό ανάλυση σεναρίου, αν θεωρήσουμε ως V_o το πλάτος της RF τάσης εισόδου στην κεραία και στο κύκλωμα συντονισμού, τότε η παρεχόμενη τάση στην είσοδο του ανορθωτή (έξοδος κυκλώματος υπέρτασης) θα είναι πρακτικά $Q \cdot V_o$ ($Q = 2$ όπως είδαμε) όπως στην εικόνα 3-8. Η παρεχόμενη έτσι ισχύς στο φορτίο Z_L (Εικόνα 4-9) μετά από τη διαίρεση τάσης, θα είναι:

$$P_L = \frac{(QV_o - V_D)^2 R_L}{2[(R_{eq} + R_L)^2 + (X_{eq} + X_L)^2]}, \quad QV_o \geq V_D \quad (4-46)$$

Που ισχύει βέβαια εφόσον οι διόδοι (MOS) άγουν ώστε να ανορθώνουν την παρεχόμενη RF τάση. Για μεγιστοποίηση δε της παρεχόμενης στο φορτίο ισχύος, ισχύουν όσα αναφέραμε στην Παρ.4.1 περί συζυγούς προσαρμογής, δηλαδή για σύνδεση στοιχείων σε σειρά:

$$Z_{eq} = Z_L^* \text{ or } R_{eq} = R_L \text{ and } X_{eq} = -X_L \quad (4-47)$$

Ενώ για παράλληλα συνδεδεμένα στοιχεία:

$$Y_{eq} = Y_L^* \text{ or } G_{eq} = G_L \text{ and } B_{eq} = -B_L. \quad (4-48)$$

Βέβαια λόγω της μεταβολής της συχνότητας συντονισμού, όπως είδαμε στην περίπτωση αλληλεπίδρασης κυκλώματος υπέρτασης-συντονισμού, κεραίας και ανορθωτή, έχουμε μια θετική περίσσεια αντίδρασης $X_{eq} = X_{Lp} - X_{Ceq} > 0$, άρα μη μηδενική αντίδραση, δηλαδή όχι τέλεια προσαρμογή. Αν όμως το φορτίο $Z_L = R_L + jX_L$ θεωρηθεί χωρητικό, τότε στην ιδανική περίπτωση θα είχαμε και πάλι τέλεια προσαρμογή ως προς αυτό, εάν ίσχυε $X_{eq} = -X_L$. Αν όχι, τότε ένα κύκλωμα προσαρμογής (π.χ. L-match) και πάλι θα βοηθούσε ώστε να μηδενιστούν οι αντιδράσεις (X) δηλαδή, μέσω της $X_{eq} + X_L = -X_{\text{matching}}$.

Τελικά η μέγιστη παρεχόμενη ισχύς στο φορτίο, θα είναι για τα πλάτη των τάσεων (βλ. εξίσωση 4-1):

$$P_L = \frac{(QV_o - V_D)^2}{8R_{eq}} \quad (4-49)$$

Αν θέλαμε όμως μέγιστη παροχή τάσης και όχι ισχύος τότε θα έπρεπε να είναι ως γνωστόν $R_L \rightarrow \infty$ κι όχι $R_{eq}=R_L$. Υπάρχει δηλαδή μια ανάγκη αντιστάθμισης ωφελειών, μεταξύ των αποδόσεων μετατροπής τάσης (VCE) και μετατροπής ισχύος (PCE) για το όλο tag chip. Αυτές ακριβέστερα ορίζονται από τις:

$$\begin{aligned} \text{Power Conversion Efficiency} &= \text{PCE} = P_{\text{out(dc)}} / P_{\text{in_RF}} \\ \text{Voltage Conversion Efficiency} &= \text{VCE} = V_{\text{out(dc)}} / V_{\text{in_RF}} \end{aligned} \quad (4-50)$$

Αν και ο υπολογισμός της VCE είναι εύκολος, προσοχή απαιτείται στην εξάρτηση της PCE από το φορτίο. Ακριβέστερα:

$$\boxed{PCE = \frac{P_{dcout}}{P_{RFin}} = \frac{2R_s V_{dc}^2}{R_L V_o^2}}, V_o = \text{peak voltage} \quad (4-51)$$

$$\boxed{VCE = \frac{V_{dcout}}{V_{RFin}} = \frac{V_{dc}}{2NQV_o}} \quad (4-52)$$

Όπου είναι εμφανής η παραπάνω επισήμανση για την PCE που μπορεί να οδηγήσει σε βιαστικά λαθεμένα συμπεράσματα υψηλής απόδοσης με μικρά φορτία. Στον υπολογισμό της VCE, με Q συμβολίζουμε τον ολικό συντελεστή ποιότητας (loaded) και με 2N το κέρδος τάσης N σταδίων ανορθωτών - Διπλασιαστών τάσης (VD-Voltage Doublers) όπως θα δούμε στο Κεφ.6. Πάντως όπως αναλύσαμε, είναι αδύνατον κανείς να πετύχει ταυτόχρονα τη μεγιστοποίηση των αποδόσεων μετατροπής τάσεως και ισχύος αφού η απαίτηση μεγιστοποίησης της μιας επηράζει αρνητικά την άλλη απόδοση. Άλλος λόγος μείωσης της απόδοσης είναι κι η αύξηση των ρευμάτων διαρροής (leakage currents) σε όλα τα στάδια του ανορθωτή με MOS-diodes όταν η τάση που λαμβάνει αυτός είναι πολύ υψηλή. Βέβαια στην θεώρησή μας αυτό είναι σπάνιο και συμβαίνει παρά μόνο στις πολύ κοντινές αποστάσεις μεταξύ tag-reader. Τότε απαιτούνται και κυκλώματα προστασίας από υπέρταση ή περιοριστές τάσης για την προστασία του tag chip (ESD-Electrostatic Discharge, Voltage Regulators and Limiters) για τα οποία θα αναφερθούμε στο Κεφ.6.

Ως προς την εμβέλεια τώρα, από τη σχέση Friis (3-6) και μετά από την εισαγωγή στη θεώρησή μας του κυκλώματος υπέρτασης μπορούμε να εκτιμήσουμε την εμβέλεια σε συνάρτηση του πλάτους της τάσης που φτάνει στον ανορθωτή προς ανόρθωση $V_{\text{rectified}} = V_r$ με έναν τρόπο απλούστερο από τις εξισώσεις (4-7 ως 4-9). Αρχικά υπολογίζουμε το πλάτος τάσης V_o που φτάνει στο κύκλωμα υπέρτασης σε συνάρτηση της ισχύος που προσπίπτει εκεί για $R = 50\Omega$ (ισοδύναμο κεραίας) από την:

$$V_o = \sqrt{2P_R R} = \sqrt{100P_r} \quad (4-53)$$

Αμελώντας τις ανακλάσεις, θεωρώντας τέλεια προσαρμογή στη συχνότητα 2.45GHz και υπολογίζοντας το κέρδος X_2 της τάσης λόγω του κυκλώματος υπέρτασης που σχεδιάσαμε, δηλαδή ως τάση στον ανορθωτή πια θεωρούμε την $V_r = Q_t \cdot V_o = 2 \cdot V_o$, τότε η εμβέλεια θα είναι με βάση τις τιμές της Παραγρ. 3.4:

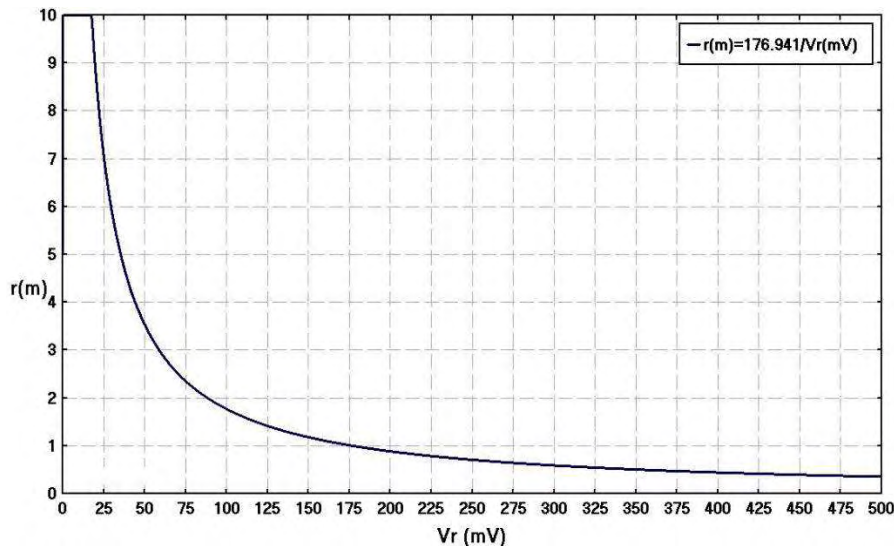
$$P_R = P_T \cdot 1.1 \cdot (\lambda / (4\pi r))^2 \Rightarrow P_R (4r\pi)^2 = P_T \lambda^2, \quad P_R = \frac{V_o^2}{2R} = \frac{V_r^2}{2Q_t^2 R} = \frac{V_r^2}{8R} \quad (4-54)$$

$$r = \left(\frac{\lambda}{4\pi V_r} \right) \sqrt{2Q_t^2 R P_T} \xrightarrow{Q_t=2} d = \left(\frac{\lambda}{4\pi V_r} \right) \sqrt{8R P_T} \quad (4-55)$$

Που με βάση την τιμή επιτρεπτής εκπομπής ισχύος $P_T = 825\text{mW}$ (EIRP) (Παρ. 3-3) στην Ευρώπη μας δίνει (για $R = 50\Omega$, $f = 2.45\text{GHz}$, $\lambda = 12.24\text{cm}$):

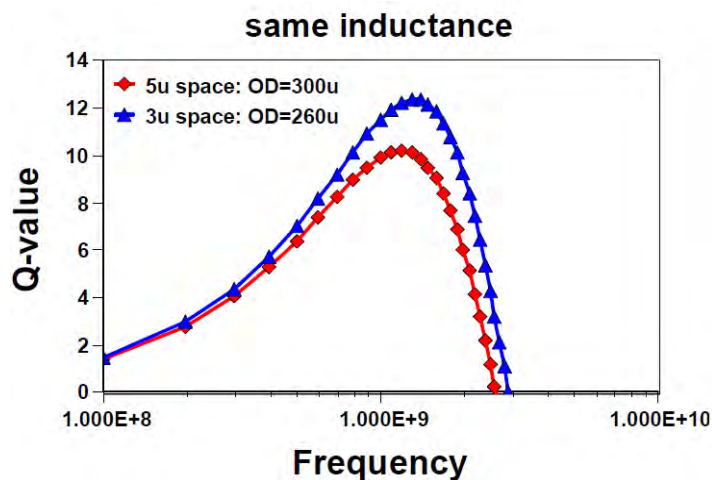
$$r = \sqrt{8 \cdot 50 \cdot 0.825} \left(\frac{0.1224}{4\pi V_r} \right) \Rightarrow \boxed{r(m) = 176.941 / V_r(mV)} \quad (4-56)$$

Η εξίσωση (4-56) είναι πολύ σημαντική (Εικόνα 4-11) διότι μπορεί να μας δείξει την εφικτή εμβέλεια που πετυχαίνουμε για τη συγκεκριμένη ελάχιστη τάση που φτάνει στις διόδους ανόρθωσης, ανοίγει τα MOS-diodes (or Switches) και καθιστά εφικτή την ανόρθωση της προσπίπτουσας RF τάσης, μετατρέποντας την σε τάση DC. Είναι δε φανερό ότι μια αύξηση του συντελεστή ποιότητας κατά έναν παράγοντα θα αύξανε αντίστοιχα και την εμβέλεια κατά τον ίδιο παράγοντα, όπως εύκολα συνάγεται από την (4-55). Αν για παράδειγμα η $V_r = 100\text{mV}$, ικανή να υπερκεράσει το κατώφλι τάσης V_{th} των MOS transistors, τότε για $Q = 2$ έχουμε $r = 1.76\text{m}$ ενώ για $Q = 10$ (το μέγιστο περίπου εφικτό για ολοκληρωμένα πηνία στα 2.45GHz, Εικόνα 4-12, [46]) θα είχαμε εμβέλεια $r = 8.8\text{m}$, ενώ η λαμβανόμενη ισχύς θα ήταν με βάση την (4-54), $25\mu\text{W}$ και $1\mu\text{W}$ αντίστοιχα.



Εικόνα 4-11. Η εμβέλεια ως συνάρτηση της ελάχιστης παρεχόμενης τάσης στον Ανορθωτή

Έκδηλη είναι λοιπόν η ανάγκη ύπαρξης transistors MOS με χαμηλό (LVT) ή και μηδενικό (ZVT) κατώφλι V_{th} (threshold voltage) ειδικά στα αρχικά στάδια της ανόρθωσης. Αυτό, διότι συνήθως τα συνήθη RF MOSFETs (P ή N) έχουν V_{th} στην περιοχή 350-540mV για τα 90nm που χρησιμοποιήθηκαν, οπότε με χρήση τέτοιων MOS η εμβέλεια θα ήταν μικρότερη από 0.5m [46].



Εικόνα 4-12. Q Ολοκληρωμένων Σπειροειδών Πηνίων (22nH) της Τεχνολογίας 90nm IBM-CMOS 9FLP/9RF για διαφορετικές αποστάσεις μετάλλου [46]

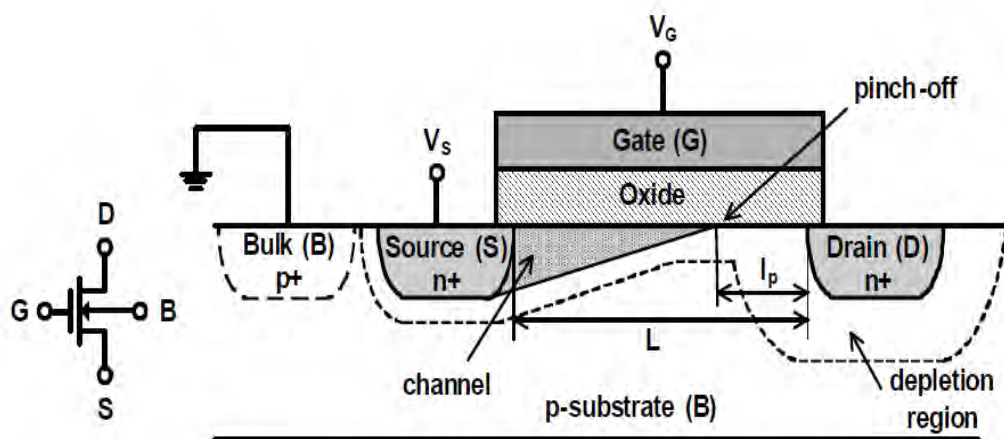
Βέβαια με την ανάπτυξη στατικών ή δυναμικών μεθόδων μείωσης του threshold, επιτυγχάνονται αυξημένες τιμές εμβέλειας, λόγω της πιο μικρής τάσης V_r που απαιτείται να φθάνει στον ανορθωτή. Επίσης άλλοτε χρησιμοποιούνταν δίοδοι Schottky, λόγω του μικρότερου κατωφλίου που εκ κατασκευής έχουν, όμως είναι

δίοδοι μη συμβατές με τεχνολογία CMOS κι απαιτούν πρόσθετα κόστη στην παραγωγή τους λόγω κύρια των πρόσθετων μασκών που είναι αναγκαίες στην υλοποίησή τους. Προφανώς όμως, στην περίπτωση των παθητικών αυτόνομα ενεργοποιήσιμων RFIDs όπου το χαμηλό κόστος είναι μείζονος σημασίας, μια αντίστοιχη λύση είναι πρακτικά μη εφαρμόσιμη. Παρόμοιες τεχνικές και μέθοδοι που έχουν προταθεί θα αναλυθούν στο επόμενο Κεφάλαιο 5, ενώ η προτεινόμενη μέθοδός μας για μείωση της τάσης κατωφλίου V_{th} θα αναλυθεί στο Κεφάλαιο 6.

5. Κατώφλι Τάσης V_{th} (Voltage Threshold) των MOS Transistors και οι Τεχνικές Ελάττωσής του

5.1 Βασικά στοιχεία των MOS transistors

Η βασική φυσική λειτουργία των μονοπολικών κι αμφίπλευρα συμμετρικών MOSFETs (Εικόνα 5-1 για N καναλιού) αν και μπορεί να βρεθεί σε πολλά βιβλία βασικής ηλεκτρονικής [48, 49, 50], θα μας απασχολήσει μόνο στο βαθμό που είναι απαραίτητη η αναφορά της συμπεριφοράς του, σε θέματα σχετικά με την έρευνά μας.



Εικόνα 5-1. Η βασική δομή και το σύμβολο ενός transistor NMOS [47]

Ως προς τα σύμβολα που χρησιμοποιούνται για το συμβολισμό τους, πρέπει να πούμε ότι πολύ συχνά αγνοείται ο 4^{ος} ακροδέκτης του σώματος (υποστρώματος) B επειδή στα ολοκληρωμένα κυκλώματα είναι μόνιμα συνδεδεμένος σε τιμή σταθερού δυναμικού (του πιο χαμηλού (-) στα NMOS, του πιο υψηλού στα PMOS), όπως στην ακόλουθη Εικόνα 5-2. Σκοπός αυτής της σύνδεσης είναι η σταθερή ανάστροφη πόλωση στην επαφή p-n μεταξύ υποστρώματος και καναλιού. Η ανάστροφη αυτή πόλωση V_{SB} (για NMOS) επιδρά στη λειτουργία του κυκλώματος, μειώνοντας το βάθος του καναλιού αφού μεγαλώνει η περιοχή απογύμνωσης. Έτσι πρέπει για να επανέλθει το κανάλι στην αρχική του διάσταση, να αυξηθεί η τάση V_{GS} . Ουσιαστικά λόγω του φαινομένου σώματος (Body Effect) αυξάνεται το κατώφλι τάσης $V_{th} = V_T$ σύμφωνα με την εξίσωση (5-3) [48]. Επειδή δε, η τάση V_{BS} επηρεάζει το V_T άρα ελέγχει και το ρεύμα I_D μπορούμε να θεωρούμε το υπόστρωμα (σώμα) ως μια 2^η πύλη (2nd- or Back-Gate). Όταν το σώμα B συνδέεται μόνιμα με την πηγή S, είναι τότε προφανές, ότι η επίδραση του σώματος B μπορεί να αγνοηθεί (αφού $V_{BS}=0$).

Στο συνεχές, οι εξισώσεις ρευμάτων που το διέπουν δίνονται από τις:

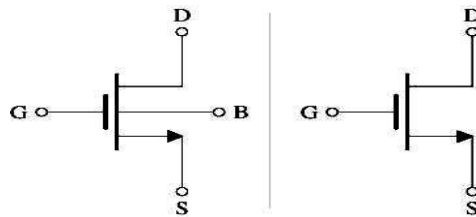
$$I_D = \frac{K'W}{L} [(V_{GS} - V_T) - \frac{V_{DS}}{2}] V_{DS}, \quad V_{GS} > V_T \quad (5-1)$$

$$I_D = 0, \quad V_{GS} < V_T, \quad I_G = 0 \quad \forall \quad V_{GS}, V_{DS}$$

Με K' συμβολίζεται η παράμετρος διαγωγιμότητας (transconductance parameter, KP, A/V²) που ισούται με:

$$K' = \mu C_{ox} = \mu \frac{\epsilon_{ox}}{t_{ox}} \quad (5-2)$$

Και μ είναι η ευκινησία ($\bar{v} = \mu \bar{E}$, $\mu_n > \mu_p$) των φορέων (cm²/(V.s)), C_{ox} η χωρητικότητα ανά μονάδα επιφάνειας του οξειδίου πύλης (σε F/cm²), ϵ_{ox} η ηλεκτρική



Εικόνα 5-2. Ισοδύναμα σύμβολα για NMOS (enhancement type) transistor

επιδεκτικότητα του οξειδίου (F/cm) και t_{ox} το πάχος αυτού (λίγα Å, TOX). Το κανάλι έχει εύρος W και μήκος L (design parameters, $W/L =$ aspect ratio) ενώ με V_T συμβολίζεται η τάση κατωφλίου (Threshold Voltage, V_{th}) αγωγιμότητας που δίδεται από την:

$$V_T = V_{TO} \pm \gamma (\sqrt{|\phi - V_{BS}} - \sqrt{|\phi|}), \quad + \rightarrow \text{NMOS}, \quad - \rightarrow \text{PMOS} \quad (5-3)$$

Όπου V_{TO} η τάση κατωφλίου για $V_{BS} = 0$ και δίνεται από τη σχέση (για NMOS):

$$V_{TO} = \phi_{MS} + 2|\phi_F| + \frac{|Q_{depl}|}{C_{ox}}, \quad Q_{depl} = +\sqrt{2\epsilon_{Si}qN_d(|\phi_n + V_{BS}|)} \quad (5-4)$$

Ενώ Q_{depl} είναι η πυκνότητα φορτίου ανά μονάδα επιφάνειας της περιοχής απογύμνωσης (depletion) όταν η επιφάνεια είναι σε αναστροφή, N_d η συγκέντρωση των δοτών (donors - πεντασθενείς προσμίξεις) και $\Phi_{MS} = \Phi_M - \Phi_S = V_{FB}$ η διαφορά έργων εξόδου μεταξύ μετάλλου και πυριτίου (με αρνητικές τιμές) ονομαζόμενη και

τάση Flat-Band (Επίπεδης Ζώνης), ($V_{FB} = \Phi_{MS} = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$).

Επίσης, γ είναι η παράμετρος υποστρώματος (GAMMA, $\gamma \propto \sqrt{V}$) $\gamma = \sqrt{2\epsilon_{Si}qN_A}/C_{ox}$ και ϕ το δυναμικό ισχυρής αναστροφής (PHI, ≈ 0.6 με $0.8V$, σε

θερμοκρασία δωματίου) $\phi_n = 2\phi_F = 2 \frac{kT}{q} \ln \frac{N_A}{n_i}$ για NMOS όπου το υπόστρωμα

είναι τύπου P άρα έχει τρισθενείς προσμίξεις για τη δημιουργία οπών, εξού και το N_A της συγκέντρωσης των αποδεκτών (Acceptors – τρισθενείς προσμίξεις). Φ_F είναι το επιφανειακό δυναμικό Fermi του υποστρώματος, δηλαδή η απόσταση μεταξύ της στάθμης Fermi του υποστρώματος και της ενδογενούς στάθμης του καθαρού πυριτίου (τυπική τιμή NMOS, -0.3V). Άλλωστε, ο πρώτος παράγοντας που επιδρά στο V_{th} είναι η διαφορετικότητα υλικών υποστρώματος και πύλης και τα διαφορετικά επίπεδα συγκέντρωσης προσμίξεών τους [50]. Με n_i συμβολίζεται η ενδογενής συγκέντρωση φορέων του καθαρού πυριτίου (αντοπάριστου) που ισούται με $n_i = \sqrt{N_C N_V} e^{(-E_g/kT)}$ όπου E_g το ενεργειακό χάσμα (gap) μεταξύ ζώνης αγωγιμότητας και ζώνης σθένους, που αντίστοιχα έχουν πυκνότητες ενεργειακών σταθμών N_C, N_V .

Όταν η κλίση των χαρακτηριστικών $I_D(V_{GS})$ του τρανζίστορ γίνει μηδέν (οριζόντια χαρακτηριστική αν δε ληφθεί υπόψιν ο παράγοντας λ , της διαμόρφωσης μήκους του καναλιού) τότε είναι $V_{DS,sat} = V_{GS} - V_T$ και το κανάλι στραγγαλίζεται (συρρικνώνεται) έχοντας τη στιγμή εκείνη στην περιοχή της υποδοχής μηδενικό βάθος (pinched off), οπότε έτσι ορίζεται και το σημείο μετάβασης από τη γραμμική ωμική (τριόδου) περιοχή στον κόρο (περιοχή ισχυρής αναστροφής, συμπεριφορά τρανσίστορ ως πηγής ρεύματος, ελεγχόμενης από τάση - VCCS). Τότε θα είναι από την (5-1):

$$I_D = \frac{K'W}{2L} (V_{GS} - V_T)^2, \quad V_{DS} \geq V_{GS} - V_T \quad (5-5)$$

Στην περιοχή αυτή (κόρου) λειτουργούν τα τρανζίστορ ως ενισχυτές, όπως και σε σύνδεση δίοδου (MOS-Diodes), λόγω της μόνιμης τότε σύνδεσης πύλης-καταβόθρας (εκροής ή υποδοχής) ($G \leftrightarrow D$, Gate \leftrightarrow Drain). Έτσι αφού θα είναι $V_G = V_D \Rightarrow V_{DG} = 0$ ή από την (5-5), $0 \geq -V_T$ που προφανώς ισχύει πάντοτε, στα NMOS transistors. Όσο δε η διαφορά δυναμικού V_{DS} αυξάνεται, τόσο το σημείο pinch off οδεύει από το $D \rightarrow S$ (Εικ. 5-1) μικραίνοντας ($L - l_p$) το κανάλι (διάυλο).

Βεβαίως, η σταθερότητα που η σχέση (5-5), υποδηλώνει για το ρεύμα I_D ως ανεξάρτητο της V_{DS} (ακριβώς οριζόντια χαρακτηριστική), στην πράξη δεν ισχύει, αφού οι χαρακτηριστικές έχουν μια μικρή κλίση λόγω του φαινομένου διαμόρφωσης του μήκους καναλιού λόγω ακριβώς αυτής της μεταβολής της V_{DS} (η προέκταση αυτών των χαρακτηριστικών με κλίση $(1/r_o)$ τέμνει τον άξονα του V_{DS} στη θέση $-V_A = -1/\lambda$ σε ένα παρόμοιο φαινόμενο με το “Early Effect” των BJTs, ενώ από την

άποψη της τεχνολογίας ισχύει ότι $V_A \propto L$). Ο διορθωτικός παράγοντας λ (channel length modulation parameter, LAMBDA) που εισάγεται, μεταβάλλει την (5-5) στην:

$$I_D = \frac{K'W}{2L}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \quad (5-6)$$

Στο εναλλασσόμενο το MOSFET συμπεριφέρεται ως πηγή ρεύματος ελεγχόμενη από την τάση (VCCS) εισόδου. Ορίζεται δε η διαγωγιμότητά του (transconductance) με βάση τη σχέση (κλίση της χαρακτηριστικής $I_D(V_{GS})$ στο σημείο λειτουργίας) :

$$\begin{aligned} g_m &= \frac{dI_D}{dV_{GS}} = \frac{K'W}{L}(V_{GS} - V_T)(1 + \lambda V_{DS}) = \frac{2I_D}{V_{GS} - V_T} = \frac{2I_D}{V_{eff}} \\ &= \sqrt{\frac{2K'W}{L}(1 + \lambda V_{DS})|I_D|} \approx \sqrt{\frac{2K'W}{L}} \cdot \sqrt{|I_D|} \end{aligned} \quad (5-7)$$

Και όπως είναι εμφανές η διαγωγιμότητα είναι συνάρτηση της πόλωσης του MOSFET και για σταθερό W/L αυξάνεται γραμμικά με την V_{eff} , ενώ αυξάνεται (μη γραμμικά) σε συνάρτηση της τετραγωνικής ρίζας του ρεύματος I_D . Επίσης για σταθερό ρεύμα η g_m μεταβάλλεται αντίστροφα ανάλογα της V_{eff} . Όσον αφορά την είσοδο του transistor, αυτή καθορίζεται από την τεράστια αντίσταση r_{gs} που την αμελούμε και στα ισοδύναμα κυκλώματα των MOSFETs. Η μεγάλη αυτή αντίσταση εισόδου είναι υπεύθυνη και για την καταστροφή του οξειδίου της πύλης από την ανάπτυξη υψηλών τάσεων ακόμα και με μικρή ποσότητα (στατικού) φορτίου που μπορεί να συγκεντρωθεί εκεί. Έτσι κυκλώματα προστασίας με ανάστροφα πολωμένες διόδους εισέρχονται πάντοτε στη θέση αυτή. Για την αντίσταση εξόδου τώρα, αυτή ορίζεται από την:

$$(r_o)^{-1} = g_{ds} = \frac{dI_D}{dV_{DS}} = \frac{\lambda|I_D|}{1 + \lambda V_{DS}} \approx \lambda|I_D| = \frac{|I_D|}{V_A} \quad (5-8)$$

Ποσότητα πολύ σημαντική στον καθορισμό της ενίσχυσης τάσης A_v των ολοκληρωμένων διαφορικών ενισχυτών με MOSFETs.

Επίσης η διαγωγιμότητα (Body Transconductance) λόγω του Body Effect ορίζεται από την:

$$g_{mb} = \frac{dI_D}{dV_{BS}} \approx g_m \frac{\gamma}{2\sqrt{V_{SB} + \phi}} = b \cdot g_m \quad (5-9)$$

Με βάση τις τρεις αυτές τιμές (δι-)αγωγιμοτήτων η ολική μεταβολή του ρεύματος του απαγωγού I_D θα δίνεται από την σχέση:

$$\begin{aligned}\Delta I_D &= \left(\frac{\partial I_D}{\partial V_{GS}}\right)\Delta V_{GS} + \left(\frac{\partial I_D}{\partial V_{BS}}\right)\Delta V_{BS} + \left(\frac{\partial I_D}{\partial V_{DS}}\right)\Delta V_{DS} = \\ &= g_m \Delta V_{GS} + g_{mb} \Delta V_{BS} + g_{ds} \Delta V_{DS}\end{aligned}\quad (5-10)$$

Η ενίσχυση τάσης στους ενισχυτές MOSFETs βρίσκεται εύκολα (με εξέταση του κυκλώματος χωρίς ανάλυση στο ισοδύναμο κύκλωμα) από την σχέση:

$$|A_V| = G_m \cdot R_{out} \quad (5-11)$$

Με τη λογική ότι ως G_m θεωρούμε τη διαγωγιμότητα όταν η έξοδος γειωθεί, ενώ με R_{out} να θεωρούμε την αντίσταση εξόδου όταν η είσοδος είναι μηδενική [45].

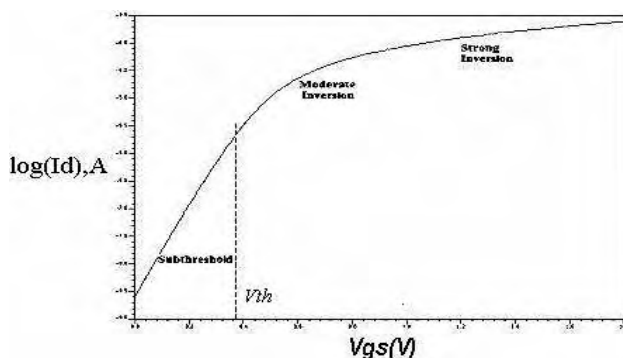
Αν και συνήθως τα τρανζίστορς λειτουργούν σε περιοχή ισχυρής αναστροφής δηλαδή στην ενεργό τους περιοχή (saturation), πρακτικά για $V_{eff} = V_{GS} - V_T > 100\text{mV}$, εντούτοις σε κυκλώματα εφαρμογών χαμηλής ισχύος (Low Power) έχουμε κατ'εξάίρεση υποκατωφλιακή λειτουργία (subthreshold region - weak inversion operation). Αυτό βέβαια κύρια γίνεται σε αναλογικά ολοκληρωμένα κυκλώματα αισθητήρων και RFIDs αφού μια μείωση της τάσης τροφοδοσίας κατά έναν παράγοντα ~ 2 (π.χ. από τα 500mV στα 250mV της υποκατωφλιακής περιοχής) προκαλεί αντίστοιχη ελάττωση ταχύτητας (αύξηση καθυστέρησης) κατά έναν παράγοντα $\sim 50-100$ (λόγω εκθετικής (εξίσωση 5-14) συμπεριφοράς στην περιοχή αυτή) που καθιστά αδύνατη τη χρήση των πολύ χαμηλής ισχύος κυκλωμάτων στα ψηφιακά κυκλώματα. Στα ψηφιακά κυκλώματα προφανώς και γίνεται μείωση της τάσης τροφοδοσίας αλλά μόνο μέχρι την περιοχή κοντά στο V_{th} αφού για μια μείωση της τάσης (άρα και της ενέργειας) κατά έναν παράγοντα ~ 10 από περιοχή μακριά από το κατώφλι σε near- V_{th} περιοχή έχουμε μια αύξηση της καθυστέρησης (κύρια φόρτισης κι εκφόρτισης πυκνωτών) πάλι κατά έναν παράγοντα ~ 10 που είναι προφανώς πιο αποδεκτό.

Στην περίπτωση αυτή δεν ισχύει η δευτέρου βαθμού εξίσωση (5-5) του κλασικού μοντέλου, αλλά το ρεύμα I_D επιδεικνύει μια εκθετική συνάρτηση με την τάση V_{GS} έχοντας μια συμπεριφορά παρόμοια με των διπολικών BJT (bipolar) transistors. Προσεγγιστικά, ισχύει [50] για το ρεύμα διάχυσης (όχι ολίσθησης πια) η:

$$\begin{aligned}I_{D_{sub}} &\cong I_{DO} \left(\frac{W}{L}\right) e^{(qV_{eff}/nkT)}, \quad n = \frac{C_{ox} + C_{depl}}{C_{ox}} \approx 1.5, \\ I_{DO} &\triangleq \mu_{eff} C_{ox} \frac{W}{L_{eff}} (n-1) \left(\frac{kT}{q}\right)^2 \approx 20\text{nA} \rightarrow V_{GS} = V_{th} \Rightarrow V_{eff} = 0\end{aligned}\quad (5-12)$$

θεωρώντας, ότι $V_S = 0$ και $V_{DS} > 75\text{mV}$ και όπου με n συμβολίζεται ο παράγων μη ιδανικότητας (για $n \approx 1.5$ η κλίση είναι $\approx 80\text{mV/decade}$). Ουσιαστικά το ανεπιθύμητο

ρεύμα διαρροής της λειτουργίας στον κόρο, εδώ αποτελεί το επιθυμητό ρεύμα αγωγής της υποκατωφλιακής λειτουργίας. Παρόλη δε την εκθετική συμπεριφορά του ρεύματος (Εικόνα 5-3, της γραμμικής υποκατωφλιακά χαρακτηριστικής $\log(I_D) = f(V_{GS})$) συναρτήσει της τάσης, η διαγωγιμότητα είναι μικρή λόγω των ελάχιστων υπαρχόντων ρευμάτων οπότε και η λειτουργία τους είναι πολύ αργή (π.χ. στο να φορτίζουν ή εκφορτίζουν πυκνωτές, όπως απαιτείται στους υπό εξέταση ανορθωτές). Σε μικρά όμως μήκη καναλιού L (υψηλά ηλεκτρικά πεδία, «short channel effects») το ρεύμα I_D φτάνει πιο γρήγορα στον κόρο (λόγω κορεσμού της ταχύτητας των φορέων με αποτέλεσμα την μείωση της ευκινησίας μ λόγω σκέδασης – velocity saturation) με την αύξηση της V_{GS} οπότε περνά πιο γρήγορα από την τετραγωνικού νόμου χαρακτηριστική (μέτρια αναστροφή) στη γραμμική εξάρτηση. Επίσης η V_{th} ελαττώνεται τόσο με τη μείωση του μήκους καναλιού L για μικρά V_{DS} , ενώ για μεγάλες τιμές της V_{DS} ελαττώνεται λόγω του φαινομένου DIBL (Drain Induced Barrier Lowering) ή των θερμών φορέων (κυρίως σε NMOS, hot e^-) που αυξάνουν αρκετά το ρεύμα I_D (επιπρόσθετη της διαμόρφωσης μήκους καναλιού μείωση της Z_{out}) της υποκατωφλιακής λειτουργίας (περισσότερο στα NMOS λόγω της μεγαλύτερης ταχύτητας των e^- έναντι των οπών των p channels) [50]. Ουσιαστικά όσο η τάση απαγωγού μεγαλώνει, η περιοχή απογύμνωσης της επαφής p-n μεταξύ απαγωγού και σώματος, αυξάνεται σε μέγεθος και εισέρχεται κάτω από την πύλη, οπότε ευκολότερα (barrier lowering) περισσότερα φορτία μπορούν να εισαχθούν στο κανάλι κάτω από την πύλη με αποτέλεσμα την ελάττωση του V_{th} . Σε πολύ μικρά μήκη καναλιού L , το φαινόμενο υπάρχει ακόμα και για μηδενική τάση απαγωγού, λόγω των περιοχών αποκένωσης των επαφών p-n μεταξύ SB και DB που τείνουν εύκολα να έλθουν σε επαφή, δομώντας ένα αγωγίμο κανάλι εκεί [48]. Αυτό όμως προκαλεί και το σχεδόν αδύνατο (σε πολύ μικρά L) ιδανικό κλείσιμο του transistor αν το αντιμετωπίσουμε ως διακόπτη (OFF state).

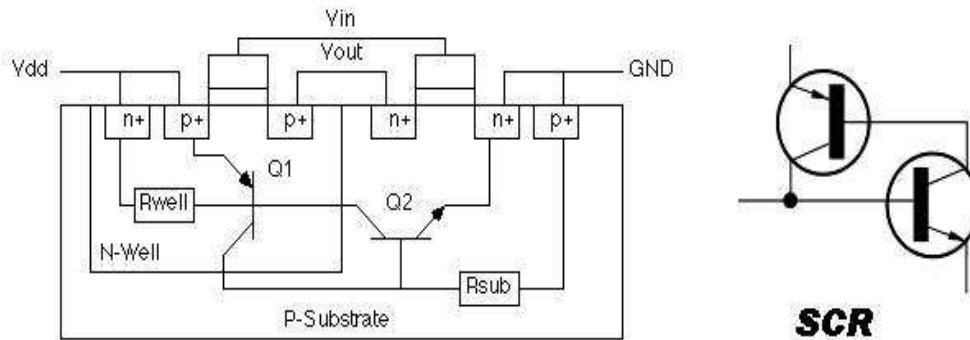


Εικόνα 5-3. Περιοχές λειτουργίας ενός MOSFET: Strong, Moderate and Weak Inversion

5.2 Τεχνικές Ελάττωσης του Threshold

Όπως σε μια διάοδο που πρέπει κανείς να υπερκεράσει την επαφή PN ώστε αυτή να άγει, έτσι και στα MOSFETs πρέπει να ανοίξει ένα αγωγίμο κανάλι μεταξύ S και D ώστε το τρανζίστορ να «ανοίξει» (on state). Βέβαια εδώ δεν υπάρχει όπως είναι φανερό καμία επαφή PN (πλήν κάποιων μόνο παρασιτικών επαφών λόγω του φαινομένου Latch up) προς αποφυγήν παρεξήγησης (Εικόνα 5-4).

Ο κλασικός τρόπος επέμβασης και αλλαγής του V_{th} είναι να εξισώσει κανείς τους όρους της τάσης Flat-Band $|V_{FB}| = |\Phi_{MS}|$ και $2|\Phi_F| + |Q_{depl}|/C_{ox}$ στην (5-4) οπότε τότε το $V_{TO} = 0$ ή ελάχιστα θετικό (για NMOS). Έτσι αν κανείς θέσει και $V_B = V_S$ προς αποφυγήν του φαινομένου σώματος, έχει πετύχει το ιδανικό ελάχιστο κατώφλι V_{th} .



Εικόνα 5-4. Δόμηση θυρίστορ PNPN (SCR) μέσω των παρασιτικών διπολικών transistors που αναπτύσσονται σε CMOS (φαινόμενο Latch-up: Q1 Vertical PNP, Q2 Lateral NPN)

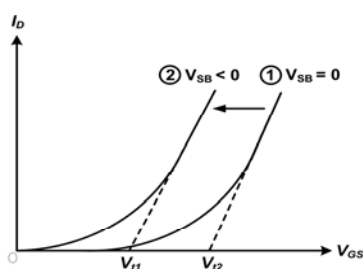
Επίσης η εμφύτευση ιόντων στο κανάλι είναι μια κοινή μέθοδος χειρισμού του διαύλου χωρίς αύξηση της συγκέντρωσης φορέων στο υπόλοιπο υπόστρωμα, που θα έκανε χειρότερη τη συμπεριφορά του τρανζίστορ. Έτσι στο κανάλι των NMOS που δομείται σε υπόστρωμα p-type έχουμε μετά την εμφύτευση των ιόντων, μια νέα συγκέντρωση αποδεκτών $N_a' > N_a$ (ή δοτών $N_d' > N_d$, PMOS) με αποτέλεσμα την ελάττωση του threshold με βάση την (5-4). Προφανώς μια τέτοια λύση (χειρισμού του προφίλ ντοπαρίσματος) αποτελεί πανάκεια για την απαίτηση των ανορθωτών μας στο να ανοίγουν με ελάχιστη τάση, σχεδόν μηδενική, μέσω ενεργειακής συγκομιδής από μικροκυματική H/M ακτινοβολία. Όμως απαιτεί δύσκολη κι ακριβή υλοποίηση στο εργοστάσιο, οπότε καθιστά πανάκριβα τα παθητικά RFIDs που το βασικό τους πλεονέκτημα πρέπει να είναι η χαμηλότερη τιμή.

Παρόλο που στις μέρες μας το μήκος καναλιού L σε CMOS συνεχώς ελαττώνεται, το κατώφλι τάσης V_{th} δεν ακολουθεί τον ίδιο ρυθμό μείωσης. Αν θεωρήσουμε τα MOS transistors ως ανορθωτές, είναι φανερό ότι ένα μειωμένο κατώφλι V_{th} θα καθιστά πιο

εύκολο το άνοιγμα αυτών. Βέβαια αν τα αντιμετωπίσουμε ως διακόπτες, τότε αν επιθυμούμε τέλειο “0” (OFF state) θα έπρεπε το threshold να είναι υψηλό. Έτσι απαιτείται μια χρυσή τομή στην επιλογή του κατώφλιου σχετικά με την ανάγκη για τέλεια “1” και “0”. Έχοντας πολύ χαμηλό V_{th} το transistor υποφέρει από αυξημένα ρεύματα διαρροής οπότε αν χρησιμοποιηθούν ως ανορθωτές ή διπλασιαστές τάσης (κλιμακωτά) θα έχουν μικρή απόδοση, ειδικά αν εισαχθούν σε όλα τα στάδια του ανορθωτή (πολλών σταδίων – N stages, cascaded rectifier). Εκτός όμως από την μεταβολή του V_{th} μέσω αλλαγής του πάχους του οξειδίου της πύλης (t_{ox}) που μεταβάλλει τον παράγοντα γ (GAMMA) ή τη μεταβολή συγκέντρωσης των δοτών ή αποδεκτών που είδαμε, μπορούμε να μεταβάλλουμε το κατώφλι και μέσω της τάσης πόλωσης του υποστρώματος (σώματος).

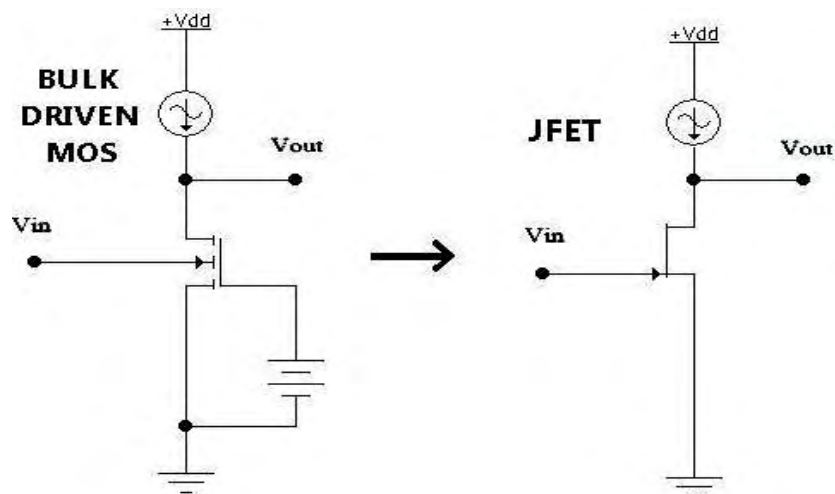
5.2.1 Back- or 2nd- gated (Bulk Driven) MOSFETs

Το κατώφλι τάσης αποτελεί την απαιτούμενη τάση μεταξύ πύλης και πηγής (V_{GS}) που απαιτείται για τη συσσώρευση αρκετού φορτίου στην πύλη, ικανού να διατηρήσει την περιοχή αποκένωσης εκεί. Πράγματι με βάση την εξίσωση (5-3), αν αυξηθεί η τάση DC V_B στον ακροδέκτη B του σώματος, τότε η τιμή της V_{BS} γίνεται θετική ($V_{SB} < 0$) με αποτέλεσμα τη μείωση του V_{th} . Πρέπει όμως η τάση αυτή V_{BS} να είναι μικρότερη από την απαιτούμενη τάση ($\sim 0.65V$) που ανοίγει την επαφή διόδου p-n (Βάσης – Εκπομπού στο παρασιτικά δομούμενο διπολικό τρανζίστορ) μεταξύ υποστρώματος - καναλιού. Για μεγάλες δε τιμές της V_{BS} ενισχύεται το φαινόμενο latch-up που αναφέραμε περί δόμησης παρασιτικών BJT transistors. Στην process όμως που χρησιμοποιήσαμε στα 90nm, το πάχος οξειδίου πύλης ήταν πολύ μικρό ($t_{ox}=21\text{Å}$) οπότε η αύξηση της C_{ox} επέφερε μείωση του παράγοντα φαινομένου σώματος γ . Μια σχηματική αναπαράσταση των χαρακτηριστικών $I_D(V_{GS})$ με και δίχως πόλωση στο υπόστρωμα, έχουμε στην Εικόνα 5-5 όπου δεικνύεται και η μείωση του V_{th} .



Εικόνα 5-5. Χαρακτηριστικές I-V με (2) και δίχως (1) πόλωση υποστρώματος.

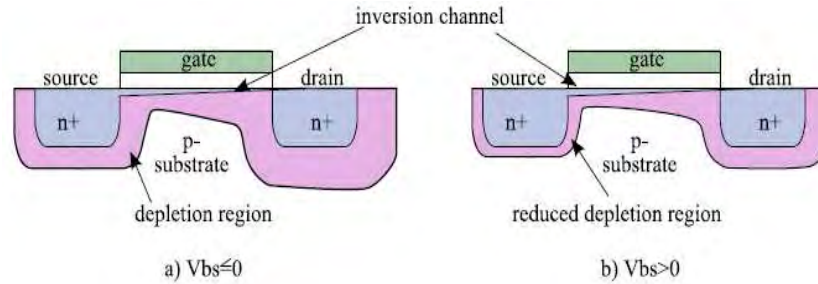
Σημαντικός επίσης παράγοντας μείωσης του V_{th} είναι η διαγωγιμότητα σώματος g_{mb} (εξίσωση 5-9) μέσω της οποίας το ρεύμα απαγωγού I_D επηρεάζεται από τη διαφορά δυναμικού μεταξύ πηγής και σώματος V_{SB} . Παίρνοντας δηλαδή την πόλωση σώματος σαν παράμετρο του κυκλώματος (Backgate, 2nd Gate) ένα μεγάλο σύνολο κυκλωμάτων έχουν υλοποιηθεί. Ένα MOS οδηγούμενο από το υπόστρωμα (Bulk driven, Εικόνα 5-6) είναι στην ουσία μια διάταξη τύπου απογύμνωσης (Depletion type) παρόμοια με ένα τρανζίστορ επίδρασης πεδίου JFET που μπορεί να χειριστεί πόλωση αρνητική, μηδενική ή και ελαφρώς θετική η οποία με τη σειρά της επιδρά στο πάχος της περιοχής αποκένωσης (Εικόνα 5-7) που σχετίζεται με το στρώμα αναστροφής (κανάλι αγωγής). Η απουσία MOS transistors τύπου αποκένωσης (που έχουν ήδη ένα υπάρχων κανάλι ακόμα και για $V_G < V_S$ λόγω ελαφρού ντοπαρίσματος εκεί, που δημιουργεί ένα αγωγίμο στρώμα) στην παραγωγή (κύρια τα τύπου προσαύξησης διαύλου παράγονται), έχει ουσιαστικά αντιμετωπιστεί με τη λύση που μόλις αναφέραμε.



Εικόνα 5-6. Bulk Driven MOSFET (V_{in} at Body)

Μια παρόμοια λύση είναι η σύνδεση πηγής υποστρώματος σε κοινό δυναμικό, δηλαδή $V_{BS} = 0$, σε ένα αντίστροφο από το κλασικό “body effect” αφού η επαφή πηγής-σώματος είναι τώρα ορθά πολωμένη, με αποτέλεσμα την ελάττωση της τάσης κατωφλίου. Ο λόγος είναι η ελάττωση της περιοχής απογύμνωσης (Εικόνα 5-7) και η ελάττωση των φορέων που είναι απαραίτητα να διατηρήσουν το στρώμα αναστροφής [51]. Όταν το δυναμικό του υποστρώματος είναι χαμηλότερο του δυναμικού της πηγής τότε η επαφή B-S είναι ανάστροφα πολωμένη οπότε το φορτίο και το πάχος της περιοχής απογύμνωσης είναι αυξημένα. Έτσι το επιπρόσθετο φορτίο που τότε

απαιτείται για να διατηρήσει το κανάλι, φαίνεται ως αύξηση της τάσης κατωφλίου. Το αντίθετο ακριβώς συμβαίνει εδώ. Όσον αφορά δε το φαινόμενο latch-up που αναφέραμε, τα NMOS transistors που αναπτύσσονται σε p-well (πηγάδι) έχουν διπλό φαινόμενο latch-up λόγω και του παρασιτικού BJT μεταξύ body-well-source [52]. Τα MOSFET της τεχνολογίας που χρησιμοποιήσαμε έχουν μόνο n-wells οπότε από το παραπάνω φαινόμενο θα υποφέρουν μόνο τα PMOS.



Εικόνα 5-7. Η εξάρτηση του πάχους της περιοχής αποκένωσης από την τάση πόλωσης V_{bs} [53].

Όμως όσο κανείς αυξάνει την ορθή πόλωση μεταξύ B-S ($V_{BS} > 0$) τόσο η επαφή p-n γίνεται πιο ορθά πολωμένη, ενεργοποιώντας το διπολικό τρανζίστορ npn που δομείται από τις τύπου n Source και Drain και το τύπου p Bulk, οπότε το npn άγει ρεύμα από το D→S. Αυτό το ρεύμα εμφανίζεται ως ρεύμα διαρροής και ελαττώνει την εμπέδηση εξόδου του MOSFET.

Με τις παραπάνω δυνατότητες μείωσης του V_{th} σχεδιάσαμε ανορθωτές κάνοντας χρήση των Backgated-MOSFET για την ευκολότερη δόμηση του καναλιού στις πολύ χαμηλές τάσεις που έχουμε. Στα επίπεδα τάσης εισόδου στον ανορθωτή της τάξης 50-150mV ($V_{RF} \approx V_{th}$) που μπορεί να δεχθεί όπως αναφέραμε μέσω ενεργειακής συγκομιδής, το τρανζίστορ θα είναι σε περιοχή υποκατωφλιακής λειτουργίας (ασθενούς αναστροφής) κυρίως στα αρχικά στάδια ενός κλιμακωτού ανορθωτή πολλών σταδίων, με το ρεύμα να βρίσκεται σε εκθετική εξάρτηση από την πόλωση όπως είδαμε στην (5-12). Ακριβέστερα (BSIM3 MOSFET Model, [54]):

$$I_{d,sub} = I_{do} \left(\frac{W}{L} \right) e^{\frac{V_{gs}}{nV_{\tau}}} \left(1 - e^{-\frac{V_{ds}}{V_{\tau}}} \right) (1 + \lambda_{sub} V_{ds}), \quad V_{\tau} = kT/q \quad (5-13)$$

Ενώ το ανάστροφο ρεύμα διαρροής (reverse leakage, για $V_{gs}=0$) που εκφορτίζει τους πυκνωτές οπότε ελαττώνει την απόδοση των ανορθωτών, δίνεται από την [55]:

$$I_{leak} = I_{do} \left(\frac{W}{L} \right) \left(1 - e^{-\frac{V_{ds}}{V_{\tau}}} \right) (1 + \lambda_{sub} V_{ds}) \quad (5-14)$$

Έτσι τα δύο αυτά ρεύματα εξαρτώνται εκθετικά από την τάση που δέχονται τα τρανζίστορ και άρα από την παρεχόμενη τάση στην κεραία του tag.

Βέλτιστη μπορεί να θεωρηθεί μια σχεδίαση κατά την οποία μεγιστοποιεί κανείς το $I_{d,sub}$ και ελαχιστοποιώντας ταυτόχρονα το I_{leak} . Αυτός είναι ο κύριος λόγος της κακής συμπεριφοράς των ZVT MOS (zero V_{th}) μηδενικού κατωφλίου τάσης (ελάχιστα θετικό στην πράξη για NMOS), λόγω της ταχύτατης διαρροής μέσω του ανάστροφου ρεύματος, όταν το τρανζίστορ θα έπρεπε να είναι κλειστό 100% (OFF state). Η χρυσή τομή εδώ έγκειται μεταξύ της επιλογής ενός MOS μικρού V_{th} ικανού να δεχθεί πολύ μικρές τάσεις και της ανάγκης για απόλυτο κλείσιμο των τρανζίστορς, που πραγματώνεται όταν το V_{th} είναι αρκετά υψηλό [51]. Προφανώς όταν το τρανζίστορ έχει πολύ μικρό κατώφλι, τότε η ικανότητα περιορισμού του ανάστροφου ρεύματος χάνεται οπότε είναι μόνιμα ανοιχτό (ON state) και μεγάλα ρεύματα υπάρχουν και προς την αντίθετη κατεύθυνση [56].

Παρόλα αυτά, όταν η ανορθωθείσα τάση έχει πια αυξηθεί στα επόμενα στάδια ενός ανορθωτή πολλών σταδίων, τα MOS λειτουργούν στην περιοχή τριόδου και συμπεριφέρονται πια ως απλές αντιστάσεις (ωμική περιοχή) με το ρεύμα απαγωγού να δίνεται από την εξίσωση (5-1) που είναι εμφανής η εξάρτηση του ρεύματος από τη γεωμετρία των transistors (W/L). Στην περίπτωση όμως που οι ανορθωτές (Dickson V_D) χρησιμοποιούν transistors όχι ως διακόπτες (MOS-switch) αλλά συνδεδεμένα ως διόδους (MOS-diode) τότε λόγω της μόνιμης σύνδεσης G-D θα λειτουργούν μόνιμα στον κόρο έχοντας ρεύμα απαγωγού που δίνεται από την (5-5).

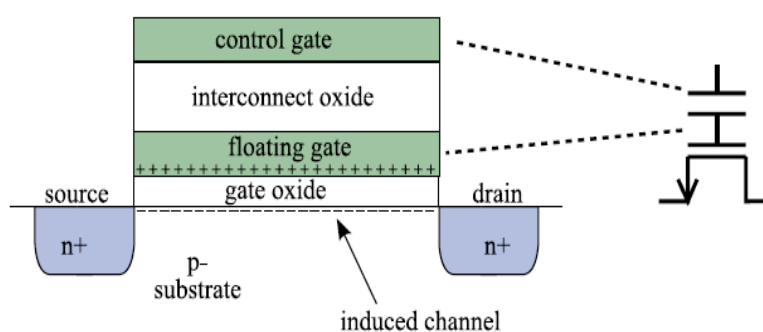
Επίσης η χρήση μεγάλων διαστάσεων W (μικρή r_{ds}) είναι άνευ σημασίας λόγω των πολύ μικρών ρευμάτων που έχουμε στα πολύ χαμηλής τάσης MOS των RFIDs. Βέβαια μια αύξηση του W θα επέφερε αύξηση στο ανάστροφο ρεύμα αλλά και στις παρασιτικές χωρητικότητες και τις απώλειες. Επίσης χρησιμοποιούμε το ελάχιστο εφικτό μήκος καναλιού της τεχνολογίας των 90nm ($L_{min} = 100nm$ για ZVT, LVT MOSFET) όχι μόνο για την αύξηση του ρεύματος αλλά και για την ελάττωση της πτώσης τάσης V_D (Εικόνα 4-9) που ορίσαμε για τις διόδους του ανορθωτή στο μοντέλο του RFID tag front-end. Ειδικότερα, η V_D δίνεται βάσει της εξίσωσης (5-5) από την [57, 58]:

$$V_D = |V_{th}| + \sqrt{\frac{2I_d}{\mu C_{ox} (W/L)}} \quad (5-15)$$

Προφανώς η μικρότερη πτώση τάσης των διόδων (MOS) μειώνει την κατανάλωση ισχύος του ανορθωτή και αυξάνει την απόδοσή του. Ο πρώτος όρος της (5-15) βέβαια μπορεί να μειωθεί με τις μεθόδους που αναφέρθηκαν. Ο δεύτερος όρος ελαττώνεται με την αύξηση του aspect ratio W/L που όπως αναφέρθηκε γίνεται κύρια με τη μείωση του μήκους καναλιού L και όχι με την αύξηση του W . Επίσης το πολύ μικρό πάχος οξειδίου πύλης της τεχνολογίας των 90nm ($t_{ox} = 21\text{\AA}$) αυξάνει την C_{ox} (εξ. 5-2) και προκαλεί ελάττωση της V_D .

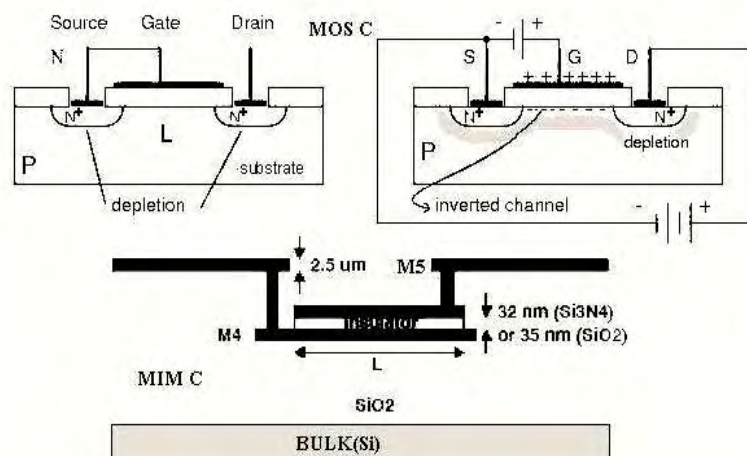
5.2.2 Floating Gate MOSFETs (FGMOS)

Μια άλλη τεχνική μείωσης του V_{th} επιτυγχάνεται με τα FG-MOS transistors (Floating Gate MOSFETs) που μιμούνται τη λειτουργία των τρανζίστορ τύπου αποκένωσης διαύλου (depletion mode) τα οποία και με μηδενική πόλωση V_{GS} έχουν ήδη δομημένο ένα αγωγίμο κανάλι (normally close switch (ON)). Τα τρανζίστορ προσαύξησης διαύλου (enhancement mode) απαιτούν τάση ώστε να δομηθεί το κανάλι οπότε σαν διακόπτες είναι normally open (OFF). Συνήθως έχουν μια 2^η πύλη ελέγχου πλην της κανονικής (Εικόνα 5-8), που είναι υπεύθυνη για τον έλεγχο της μεταφοράς φορτίου στην πύλη. Η μεταφορά αυτή του φορτίου πραγματοποιείται είτε με έγχυση θερμών φορέων (hot carrier injection) μέσω του οξειδίου πύλης ή με τη μέθοδο Σήραγγος Fowler-Nordheim (FN - Quantum tunnelling field e^- emission) από την πύλη ελέγχου [42, 52, 56]. Έτσι το V_{th} αυτών των FG-MOS μπορεί να καθορισθεί μετά ή κατά τη διαδικασία παραγωγής στο εργοστάσιο, σε μια καθορισμένη τιμή αναλογη της ποσότητας φορτίου που εγχύθηκε στην πύλη και που προκάλεσε τη δόμηση μιας περιοχής απογύμνωσης ή ακόμα και αναστροφής εκεί.



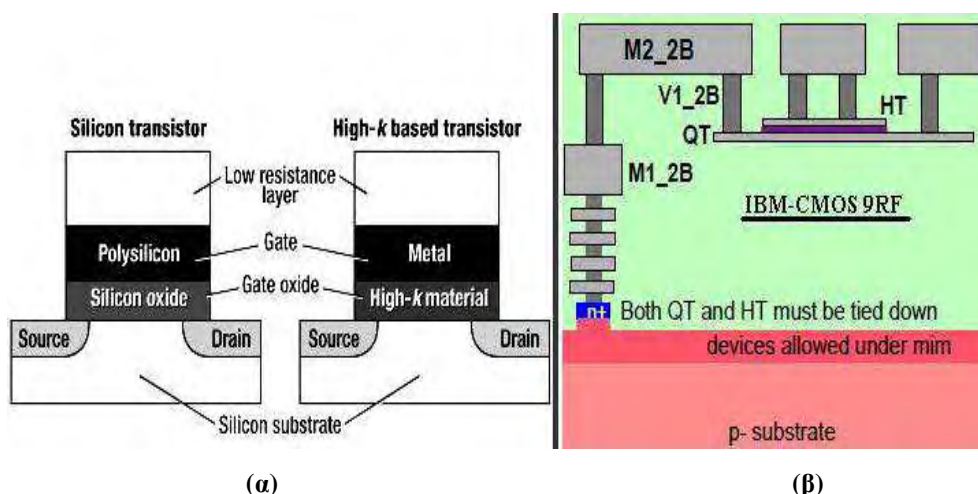
Εικόνα 5-8. Η βασική δομή ενός FG-NMOS και το κυκλωματικό του σύμβολο [53]

Παρόλα αυτά τα FGMOS transistors ούτε ως επιλογή δεν υφίστανται στις σημερινές διαδικασίες παραγωγής. Αυτό συμβαίνει όχι μόνο λόγω κόστους (μασκών φωτολιθογραφίας αλλά και αυξημένων βημάτων στην εργοστασιακή παραγωγή, όπως και στα depletion mode MOSFETs) αλλά και επειδή στα μήκη καναλιού διάστασης nm (<100nm) το οξειδίο της πύλης είναι πολύ μικρό (20-60Å) οπότε ένα μετρήσιμο ρεύμα πύλης μέσω του SiO₂ θα υπάρχει, λόγω της έλλειψης υψηλής εμπέδησης στο τόσο μικρό οξειδίο πύλης. Έτσι η πύλη δε θα μπορεί να διατηρήσει εκεί τα φορτία που είναι απαραίτητα σε αυτή τη μέθοδο μείωσης της τάσης κατωφλίου. Άλλο μειονέκτημα είναι η ανάγκη πρόσθετης κυκλωμάτωσης και συνήθως και μιας μπαταρίας απαραίτητης για τη δημιουργία των απαραίτητων πολώσεων ή σημάτων χρονισμού, στοχεύοντας πάντα στη μείωση του V_{th} . Είναι έκδηλο ότι αυτή η προσέγγιση δε συνάδει με τα παθητικά RFIDs που εξετάζουμε. Ακόμα, σε μια άλλη προσέγγιση εφαρμόσιμη σε φορετούς στο ανθρώπινο σώμα αισθητήρες, χρησιμοποιούν μια τεχνική ονομαζόμενη ATR (Adaptive Threshold Rectification) που δεν απαιτεί πρόσθετη μπαταρία ή Κατανεμητές τάσης (Voltage Distributors που παράγουν την απαραίτητη πόλωση $V_{GD} = V_{bth}$ (Εικόνα 5-11) που ελαττώνει ή και μηδενίζει το V_{th} όπως στην [60]) αφού ακυρώνουν την πτώση τάσης των MOS transistors, μέσω της σύνδεσης 4 τρανζίστορ στις πύλες 4 άλλων τρανζίστορ που δομούν έναν ανορθωτή γέφυρας, με τη βοήθεια ελέγχου 4 διακοπών διεγερόμενων από το σήμα ενός κυκλώματος POR (Power On Reset) [59]. Έτσι η «νεκρή ζώνη» των 4 MOS-diodes του Bridge FWR (Full Wave Rectifier) χάνεται και το $V_{th} \rightarrow 0$. Αυτή η λύση μπορούμε να τη θεωρήσουμε ως υβριδική μεταξύ των Backgated και Floating Gated MOSFETs.



Εικόνα 5-9. MOS Capacitor με και χωρίς πόλωση κι ένας MIM Capacitor [61]

Τέλος, σε μια πιο πρακτική προσέγγιση, εάν θέσουμε έναν MOS πυκνωτή (Εικόνα 5-9) σε σειρά με το οξειδίο της πύλης, τότε το φορτίο παγιδεύεται εκεί χωρίς αγωγίμο δρόμο διαφυγής άρα εκφόρτισής του [42]. Έτσι η τάση πόλωσης μεταξύ πύλης και του MOS-Capacitor είναι σταθερή, οπότε το κατώφλι τάσης μειώνεται κατά το ποσό ακριβώς που αυτή η τάση πόλωσης μπορεί να διατηρήσει εκεί. Αν και παρόμοιες διατάξεις κρατούν για ~10 χρόνια το φορτίο εκεί στην FG (Floating Gate), απαιτούν δύσκολο και κοστοβόρο προγραμματισμό κι έλεγχο της πύλης FG, δυσχαιρένοντας έτσι τη διαδικασία παραγωγής τους. Μια αναλυτική θεώρηση των τεχνικών μείωσης της τάσης κατωφλίου βρίσκουμε στην [79] όπου γίνεται εκτενής αναφορά στις μεθόδους που χρησιμοποιήθηκαν στους κλασικούς DC-DC μετατροπείς, όπως τα Charge Pumps και Charge Transfer Switches (CTS) και που μπορούν να χρησιμοποιηθούν στους RF-DC Converters (Rectifiers) μέσω της αλλαγής των αντιφασικών ρολογιών με το σήμα RF, όπως είδαμε.

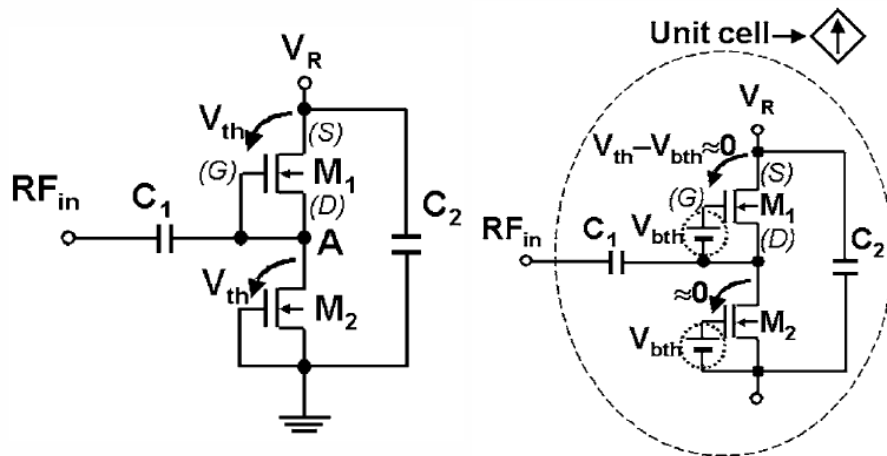


Εικόνα 5-10. α) Η μετάβαση προς High-K Dielectrics MOSFETs (SAFC Hitech®), β) Nitride MIM Capacitor της τεχνολογίας IBM-CMOS9RF στα 90nm, που χρησιμοποιήθηκε [46]

Τους πυκνωτές MOS μπορούμε να τους παράγουμε είτε εκμεταλλευόμενοι την περιοχή απογύμνωσης μιας επαφής p-n, ή τη χωρητικότητα μεταξύ του αγωγού της πύλης του μονωτικού οξειδίου της πύλης και του ημιαγωγού του υποστρώματος (Εικόνα 5-9) ή οι δύο οπλισμοί του πυκνωτή να είναι από πολυκρυσταλλικό (Poly-Si) πυρίτιο πάνω σε SiO₂ και με μονωτικό πάλι SiO₂ (Double Poly) ή τέλος με την ύπαρξη μονωτικού υλικού μεταξύ δύο στρώσεων μετάλλου (MIM – Metal Insulator Metal Capacitors, Εικόνα 5-9). Οι τελευταίοι έχουν τεράστια απήχηση σε Αναλογικά RF ολοκληρωμένα κυκλώματα, αφού επιδεικνύουν καλύτερη συμπεριφορά σε

υψηλές συχνότητες εμφανίζοντας λιγότερες απώλειες και παρασιτικές επιδράσεις ή ρεύματα διαρροής αλλά και καταλαμβάνοντας ελάχιστο χώρο (ειδικά με χρήση μονωτικών – διηλεκτρικών υλικών υψηλής σχετικής διηλεκτρικής σταθεράς «High-K Dielectrics», όπως π.χ. Si_3N_4 με μέτρια $\epsilon_r = 7.4$ περίπου διπλάσια του SiO_2 ή TaN , ZrO_2 , Y_2O_3 , Al_2O_3 με πολύ μεγάλη $\epsilon_r \approx (10-25)$) στο chip σε σχέση με άλλες υλοποιήσεις για την ίδια υλοποιηθείσα χωρητικότητα. Σε όλη την ερευνητική μας δραστηριότητα χρησιμοποιήσαμε MIM Capacitors (200fF, $Q \sim 200$ στα 2.45GHz) που προσέφερε η τεχνολογία που εφαρμόσαμε (IBM-MOSIS, 9LP/9RF) στα 90nm, τύπου “Nitride MiM Capacitor” με τη χρήση δυο πρόσθετων μασκών (QT+HT) στο εργοστάσιο (Εικόνα 5-10β).

Βέβαια έχουν παραχθεί και διηλεκτρικά υλικά (κράματα Ba, Ta, Ti, La, Zr, Sn, Sr, Hf, όπως Ta_2O_5 , TiO_2 , $(\text{Ba,Sr})\text{TiO}_3$, $\text{Pb}(\text{ZrTi})\text{O}_3$, HfO_2) με πολύ μεγάλη (>1000) διηλεκτρική σταθερά που κυρίως χρησιμοποιούνται στην κατασκευή μνημών DRAM πολύ υψηλής ($> \text{Gbit}$) πυκνότητας. Ο λόγος των ερευνών αυτών (Εικόνα 5-10α) είναι η αδύνατη συρρίκνωση του SiO_2 σε υπονανομετρικά επίπεδα, αφού τα μόνο λίγα άτομα στο πάχος του υλικού αυτού (δεκάδες ατομικές ακτίνες μόνο) προκαλούν αυξημένες διαρροές ρεύματος (Leakage currents).



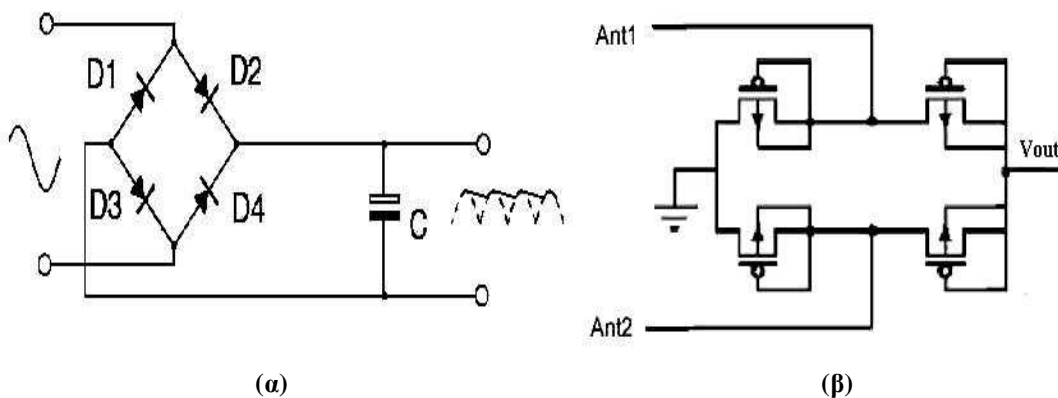
Εικόνα 5-11. Ελάττωση του V_{th} μέσω Δυναμικής πόλωσης Πύλης-Υποδοχής G-D [60]

Με τη βοήθεια παρόμοιων νέων υλικών και της δυνατότητας σμίκρυνσης διαστάσεων που αυτά επιφέρουν, στέκει με πολύ καλή προσέγγιση ακόμα και ο γνωστός Νόμος του G. Moore περί του διπλασιασμού κάθε 2 έτη των χρησιμοποιούμενων τρανζίστορ στα ολοκληρωμένα κυκλώματα εξαιρετικά μεγάλης κλίμακας ολοκλήρωσης (ULSI, $>10^6$ MOSFETs).

6. Ανορθωτές (Μετατροπείς RF→DC) και βοηθητικά κυκλώματα αυτών (Rectifiers, Converters RF-DC)

6.1 Η Ανόρθωση (Rectification) ως Μετατροπή της Ισχύος Ραδιοσυχνοτήτων (RF) σε Ισχύ Συνεχούς (DC)

Γενικά, οι Ανορθωτές είναι μη γραμμικές διατάξεις και αυτή η μη γραμμικότητά τους είναι ουσιαστικά η αιτία της ανόρθωσης. Συνήθως ένα μη ωμικό στοιχείο με μη γραμμική χαρακτηριστική I-V (MOS-Diodes που έχουν μικρότερη περιοχή απογύμνωσης από τις διόδους επαφών p-n, ή Schottky diodes) προσδίδει την απαραίτητη μετατροπή RF→DC που χρειάζεται για τη λειτουργία των RFID tags μέσω συγκομιδής ενέργειας ραδιοσυχνοτήτων (RF). Προφανώς όμως σε αυτές τις υψηλές συχνότητες (UHF + Microwave) και πολύ χαμηλές ισχύς, οι συμβατικοί ανορθωτές των Ηλεκτρονικών ισχύος (μικρή συχνότητα, μεγάλη ισχύς) παύουν να έχουν χρηστική σημασία και καθίστανται ακατάλληλοι. Παρόλα αυτά η κλασική τοπολογία γέφυρας πλήρους ανόρθωσης (Bridge-FWR) με τις διόδους (Εικόνα 6-1) υφίσταται και στην περιοχή RF, αλλά με αξιοσημείωτα μειωμένη απόδοση σε σχέση με άλλες καινοτόμες υλοποιήσεις και τοπολογίες. Η υποβάθμιση αυτή, οφείλεται στην ύπαρξη της τάσης κατώφλιου V_{th} αλλά και της πτώσης τάσης V_D αυτών των 4 γεφυρωμένων MOS-διόδων (δύο ανά ημιπερίοδο).



Εικόνα 6-1. α) Η κλασική τοπολογία Γέφυρας Πλήρους Ανόρθωσης (Bridge FWR) με διόδους, β) Bridge FWR για RF εφαρμογές, υλοποιημένος με PMOS-Diodes.

Οι διόδοι Schottky παρόλο που έχουν μικρή πτώση τάσης ορθής φοράς (<200mV) δεν είναι συμβατοί με την τεχνολογία CMOS, οπότε δε μπορούν να χρησιμοποιηθούν [62, 63]. Το βασικό κυρίως μειονέκτημα του ανορθωτή γέφυρας είναι ότι η τάση που προσπίπτει στον ανορθωτή έχει να υπερκεράσει διπλό κατώφλι ($2V_{th}$) λόγω των 2

διόδων, που χρησιμοποιούνται σε κάθε ημιπερίοδο για την πλήρη ανόρθωση. Έτσι, οι νέες τοπολογίες χρησιμοποιούν είτε 2 διόδους (MOS-Diode) και 2 διακόπτες MOS ή 4 διακόπτες (MOS-Switch), ώστε να αποφεύγουν τη διπλή πτώση τάσης της συνδεσμολογίας γέφυρας.

Αν και η ύπαρξη πολλών τοπολογιών, πηγάζει από τους μετατροπείς από DC→DC και εξαρχής φαίνεται πολύ διαφορετική η διεργασία μετατροπής από RF → DC σε σχέση με την αντίστοιχη DC→DC, τα δύο ζητήματα (ανορθωτές και πολλαπλασιαστές τάσης) επικαλύπτονται ισχυρά, αφού πολλά κυκλώματα κυρίως DC → DC, μετατρέπονται σε μετατροπείς RF → DC, ή οι ανορθωτές ταυτόχρονα δρουν και ως αναβιβαστές του επιπέδου της DC τάσης στο ίδιο κύκλωμα και χωρίς εμφανή διαχωρισμό. Έτσι πραγματοποιείται η επιθυμητή ανόρθωση όχι μόνο με τη χρήση της μη γραμμικότητας της χαρακτηριστικής I(V) μιας διόδου, αλλά και βάσει της λειτουργίας διακοπόμενων πυκνωτών (Switched Capacitors) των κλασικών Charge Pumps και CTS, χρησιμοποιώντας ως Clock (Ρολοί χρονισμού των διακοπών) το ίδιο το σήμα RF (διαμορφωμένο ημιτονικό) που αν και δεν έχει επακριβώς τη μορφή ενός τετραγωνικής μορφής ρολογιού, τελικά καθιστά εφικτή τη διακοπτική απαιτούμενη λειτουργία.

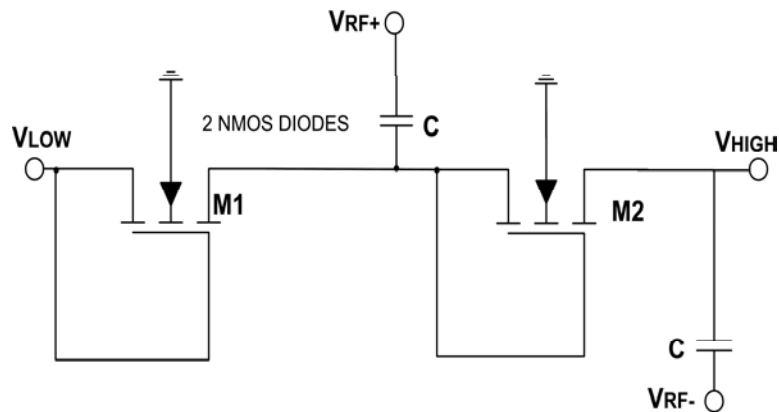
Μεταξύ πολλών συνδυασμών και τοπολογιών ανορθωτικών διατάξεων (NMOS, PMOS, Diodes, Switches, Full (FWR) or Half (HWR) wave rectifiers, charge pumps (CP), charge transfer switches (CTS), voltage doublers (VD), H-bridges) διαχωρίσαμε τρεις πρακτικές τοπολογίες με αρκετά καλή απόδοση ως ανορθωτικές διατάξεις. Τη λεπτομερή ανάλυση των τριών αυτών βασικών τοπολογιών (basic cells) θα συναντήσουμε στις τρεις επόμενες παραγράφους.

6.2 Τοπολογία Ανορθωτή “Dickson” (Voltage Doubler-VD)

Η 1^η παλαιότερη αλλά κυρίαρχη τοπολογία οφείλει την ύπαρξή της στον J. Dickson (1976) και έχει τη μεγαλύτερη χρήση και απήχηση στη βιβλιογραφία. Εισήχθη αρχικά σαν μετατροπέας συνεχούς σε συνεχές (Switched Capacitor DC→DC Converter) με χρήση κύρια σε flash EEPROMs και DRAM μνήμες, σε PLL (Phase Locked Loops), ως αναλογικός διακόπτης ή για την τροφοδότηση τελεστικών ενισχυτών. Χρησιμοποιεί μια μεγάλη (σε πολλά στάδια κλιμάκωσης) αλυσίδα από διόδους (MOS σήμερα) συνδεδεμένων μέσω πυκνωτών με τη είσοδο, όπου αρχικά ένα διφασικό

ρολόι (CLK+, CLK-) χρησιμοποιούνται στον έλεγχο της σταδιακής μεταφοράς φορτίων μεταξύ των πυκνωτών [64].

Όπως απεικονίζει η Εικόνα 6-2, το βασικό cell αποτελείται από δύο clamping circuits (AC signal level shifter / DC restorer) ή πιο αναλυτικά από ένα κύκλωμα μετατόπισης επιπέδου συνεχούς (DC-level shifter) δομούμενο από το τρανζίστορ σε σύνδεση διόδου M1 και τον άνω πυκνωτή C (συχνά αναφερόμενο και ως τοπολογία Villard) και από έναν ανιχνευτή (φωρατή) κορυφής (peak detector) δομούμενο από το άλλο MOS-Diode M2 με τον κάτω πυκνωτή C. Έτσι το M1 αναγκάζει τον άνω C να φορτιστεί στην πολικότητα που δεικνύεται από τη δίοδο M1 και ο κάτω οπλισμός του πυκνωτή αυτού, θα έχει πια δυναμικό που θα κυμαίνεται μεταξύ μηδέν και της διπλάσιας από το πλάτος του εισερχόμενου RF σήματος τιμής, συν την DC είσοδο V_{LOW} , δηλαδή $(V_{LOW} + V_o + V_o \cdot \sin\omega t)$.



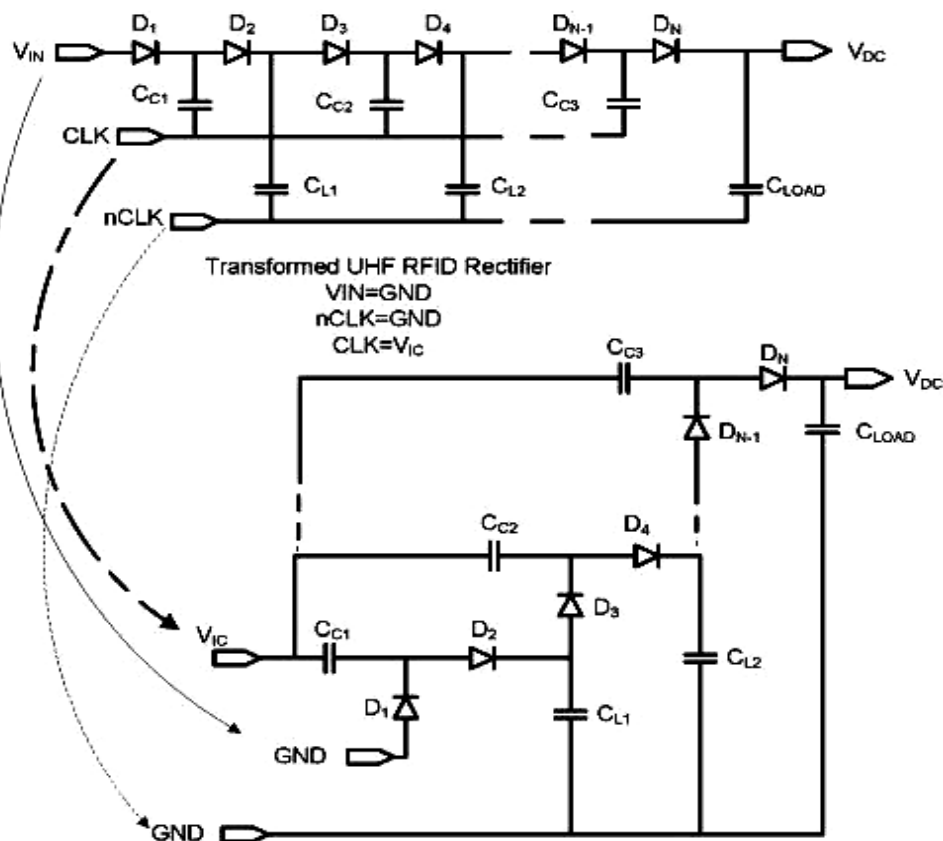
Εικόνα 6-2. Basic cell of Dickson's VD Topology

Έπειτα ο ανιχνευτής κορυφής εξαναγκάζει τον ακροδέκτη εξόδου V_{HIGH} να φορτίζει τον κάτω πυκνωτή C σε τάση $(V_{LOW} + 2 \cdot V_o)$ (Εικόνα 6-5). Έτσι αμελώντας προς το παρόν τις πτώσεις τάσεις των 2 διόδων MOS λόγω του V_{th} και της αντίστασης διαύλου του MOS, έχουμε ένα κέρδος τάσης $2V_o$ (Voltage Doubler, VD) ή $2 \cdot (V_o - V_{drop})$ αν λάβουμε υπόψιν και την απώλεια V_{drop} τελικά. Επίσης για N στάδια η ολική ανύψωση τάσης (Voltage Boosting) θα είναι $2 \cdot N \cdot (V_o - V_{drop})$. Πολύ πιο ακριβέστερη ανάλυση του μη γραμμικού φαινομένου της απώλειας V_{drop} μπορεί να βρει κανείς στην [26], όπου μπορούμε να δούμε εκεί και τον τρόπο μετασχηματισμού από έναν μετατροπέα DC-DC σε έναν RF-DC μετατροπέα N σταδίων κλιμακωτής σύνδεσης (Εικόνα 6-3).

Κατά το μετασχηματισμό από την κλασική τοπολογία DC-DC Converter σε μια τοπολογία μετατροπέα RF-DC όπου δεν υπάρχει ούτε DC είσοδος ούτε αντιφασικά ($\Delta\phi = 180^\circ$) ρολόγια (CLK \square , CLKneg \sqcup), συνδέουμε στις θέσεις των ρολογιών τα

σήματα V_{RF} και GND (γείωση) (ή RF+, RF- για τροφοδότηση single ended) αντίστοιχα, και στη θέση της DC εισόδου τη γείωση (GND).

Αν όμως με βάση το βασικό cell 4 ακροδεκτών της Εικόνας 6-1 σχεδιάσουμε έναν ανορθωτή πολλών σταδίων με σύνδεση σε σειρά (cascaded) των basic cells (Dickson VD), τότε λαμβάνουμε τη διάταξη της Εικόνας 6-4, η οποία βέβαια μπορεί να χρησιμοποιηθεί και στις 2 άλλες τοπολογίες που θα αναλύσουμε και χρησιμοποιήσαμε. Βέβαια η ύπαρξη ήδη των 2 πυκνωτών του βασικού Dickson's cell στα RF+, RF- paths καθιστά μη απαραίτητη την ένταξη τους ξανά στο κύκλωμα της Εικόνας 6-4, σε αντίθεση με τις επόμενες 2 τοπολογίες που θα εξετάσουμε, που απαιτούν αυτές τις 2 χωρητικότητες ανά στάδιο για την προστασία διαφυγής της ήδη αποκτηθείσας DC τάσης, όπως θα δούμε.

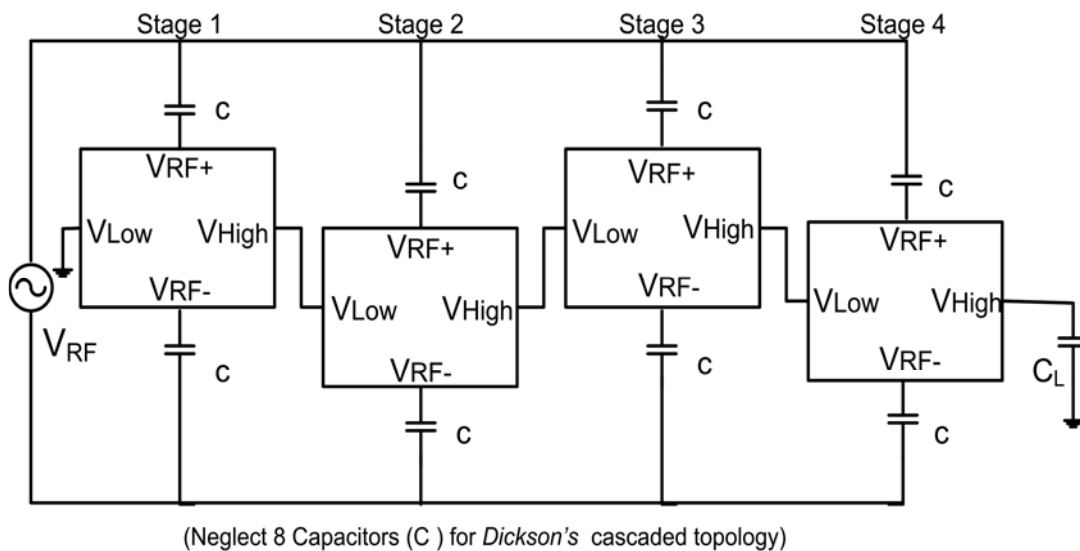


Εικόνα 6-3. Μετασχηματισμός Dickson DC-DC Converter σε RF (AC) –DC [26]

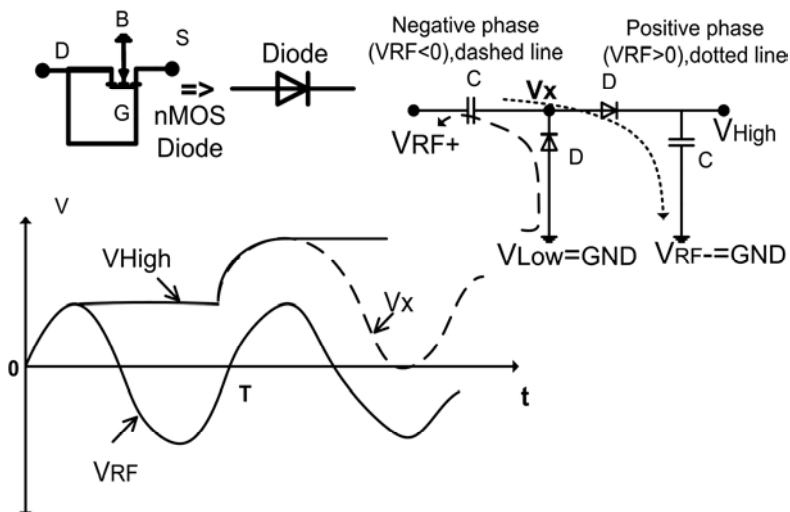
Βλέπουμε λοιπόν και τον τρόπο της κλιμακωτής σύνδεσης (μορφής καταρράκτη) N σταδίων απλών cell συνδέοντας τις παλιές συνδέσεις των CLK και CLKneg του DC-DC Μετατροπέα σε RF+, RF- αντίστοιχα και συνδέοντας στη γη (GND) τον ακροδέκτη V_{LOW} του 1^{ου} σταδίου, λόγω έλλειψης DC τάσης στο 1^ο αυτό στάδιο. Οι ίδιες συνδέσεις εφαρμόστηκαν σε κάθε είδους ανορθωτή πολλών σταδίων που σχεδιάσαμε ανεξαρτήτως τοπολογίας. Ανάλογες κυκλωματώσεις συναντούμε στις [66,

67], ενώ στην [54] έχουμε μια λεπτομερή ανάλυση για άρτιο και περιττό αριθμό σταδίων με τη βοήθεια των σημάτων χρονισμού των κυκλωμάτων charge pumps ($\phi_1 = RF+$, $\phi_2 = RF-$).

Μια εποπτική εξήγηση της λειτουργίας του βασικού Dickson's cell συνδεδεμένου ως RF-DC Converter (Rectifier) έχουμε στην Εικόνα 6-5, όπου παρατηρούμε και τη βασική σύνδεση G-D μιας NMOS-Diode (as active load) που χάριν ευκολίας έχει αντικατασταθεί στο βασικό cell από το σύμβολο μιας κλασικής διόδου επαφής. Η ανάλυση ακολουθεί δυο στάδια, ένα ανά ημιπερίοδο της RF ($= (RF+) - (RF-)$) εισόδου. Στο 1^ο στάδιο ($V_{RF} < 0$) δημιουργείται η τάση V_X από τον αρχικό DC level shifter και έπειτα ($V_{RF} > 0$) ο peak detector που ακολουθεί κατακρατά την κορυφή (peak) της τάσης αυτής.

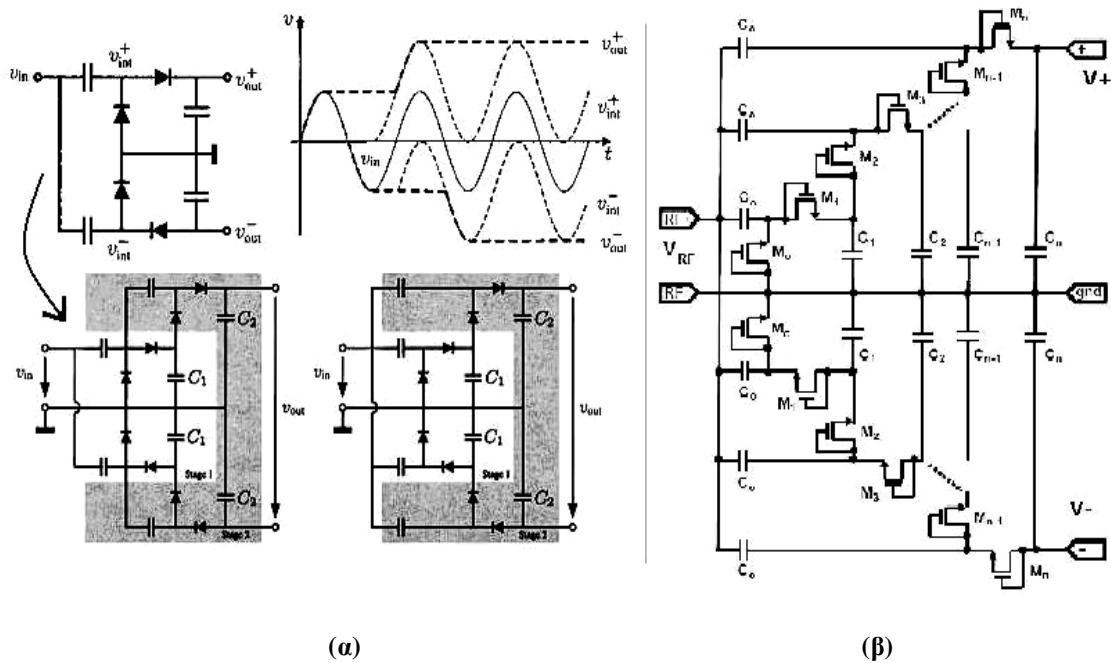


Εικόνα 6-4. Κλιμακωτός Αναρθωτής 4 σταδίων (4 Stages Cascaded RF-DC Converter)

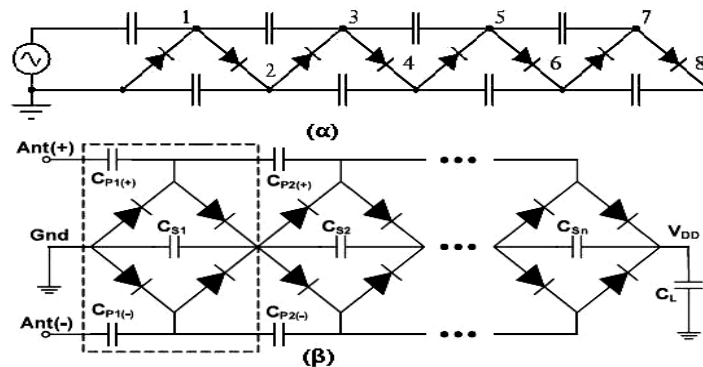


Εικόνα 6-5. Εποπτική λειτουργία βασικού cell ενός Dickson's RF-DC Converter

Απαντάται και σε διαφορική (Εικόνα 6-6) κλιμακωτή μορφή κύρια ως τοπολογία Greinacher (1920) (ή και ως Cockcroft-Walton σε απλή και διαφορική μορφή (Εικόνα 6-7α,β) που επανεφευρίσαν αργότερα (1932) για άλλη χρήση, την ίδια ακριβώς τοπολογία) και που τότε αποτελεί έναν ανορθωτή πλήρους κύματος [68, 51, 28]. Έχει καλύτερη απόδοση ως ανορθωτής πλήρους κύματος, αφού με τη θεώρηση της V_{out} ως γης (GND) η έξοδος διπλασιάζεται και γίνεται $(V_{out+}) - (V_{out-}) = 2 \cdot V_{out}$ με το κόστος βέβαια της αναγκαίας διαφορικής δομής, όλων των επόμενων κυκλωμάτων που ακολουθούν στο chip. Ο κύριος λόγος που αποφύγαμε αυτήν την τοπολογία ήταν αυτός. Στην ίδια Εικόνα 6-6 παρατηρούμε και τη δόμηση της τάσης εξόδου στη λογική της ανάλυσης της Εικόνας 6-5 του απλού Ημιανορθωτή μορφής Dickson, καθώς και την υλοποίηση ενός Διαφορικού Greinacher Ανορθωτή με MOS-Diodes.



Εικόνα 6-6. α) Τοπολογίες Greinacher (FWR) 1 και 2 σταδίων (απλής και τροποποιημένης μορφής) β) υλοποίηση με MOS-Diodes ενός Greinacher Διαφορικού Ανορθωτή 3 βαθμίδων.

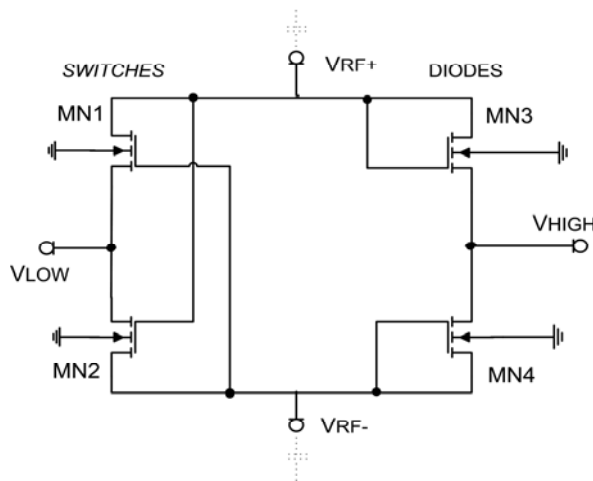


Εικόνα 6-7. α) Πολλαπλασιαστής Τάσης (X8) β) Διαφορικός (FWR) Cockcroft-Walton [87]

6.3 Τοπολογία GCCR (Gate Cross Connected Rectifier)

Η 2^η τοπολογία ονομάζεται GCCR (Gate Cross Connected Rectifier – Ανορθωτής με διασταυρωμένες τις πύλες των MOSFETs) και πρωτοεισήχθη από τον P.Favrat [69]. Αποτελεί τροποποίηση της γέφυρας ανόρθωσης, με τη χρήση όμως δύο MOS-Diodes και δύο MOS-Switches, οπότε λιγότερη τάση απαιτείται για τη λειτουργία του, αφού μόνο ένα κατώφλι τάσης V_{th} πρέπει να υπερκεραστεί ανά ημιπερίοδο του RF σήματος εισόδου [58, 62, 63, 70]. Βέβαια σε αντίθεση με τη λειτουργία του ως DC Voltage Doubler στην [69] με τη χρήση δύο αντιφασικών ρολογιών, εδώ το ρόλο των ρολογιών αυτών παίζει το σήμα εισόδου RF (RF+, RF-) όπως αναφέρθηκε.

Μπορεί να αποτελείται είτε από 4NMOS (2 Diodes, 2 Switches) ή από 2NMOS-switches και 2PMOS-diodes. Προτιμήσαμε την 1^η προσέγγιση, όπως και στην Εικόνα 6-8. Λειτουργεί ως εξής: αν υποθέσουμε ότι η $V_{RF} > 0$, τότε ο διακόπτης MN2 ανοίγει ενώ κλειστός είναι ο MN1. Το ρεύμα ρέει στην περίπτωση αυτή μέσω της διόδου (MOS-diode) MN3 και του ανοικτού διακόπτη MN2, οπότε μόνο μια πτώση τάσης υπάρχει στην ημιπερίοδο αυτή λόγω του V_{th} του MN3. Στην αρνητική ημιπερίοδο χρησιμοποιούνται τα MN1, MN4 αντίστοιχως. Έτσι είναι ένας ανορθωτής πλήρους κύματος (FWR).



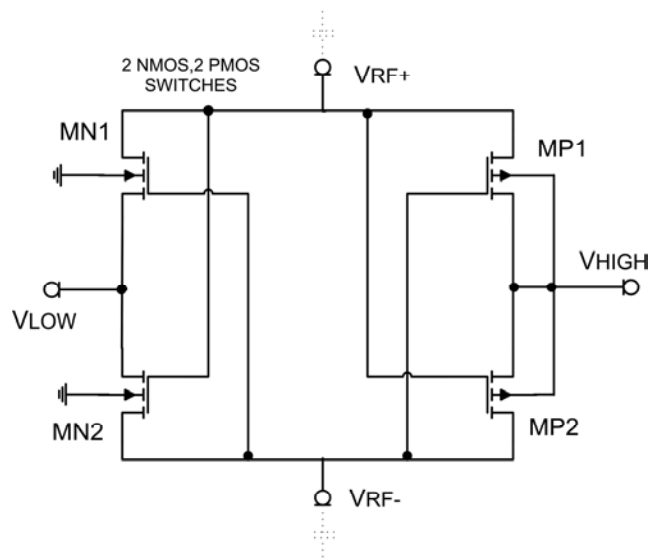
Εικόνα 6-8. Gate Cross Connected Rectifier Basic cell (GCCR) –2 Diodes, 2 Switches all NMOS

Την τοπολογία αυτή τη χρησιμοποιήσαμε σε κλιμακωτή σύνδεση (N stages cascaded Rectifier στην Εικόνα 6-4, με αναγκαία τη χρήση των πυκνωτών C που εμποδίζουν τη ροή ρεύματος προς τα πίσω) για την παραγωγή τάσης 1.2V που απαιτούν για τη λειτουργία τους τα αναλογικά κυκλώματα που ακολουθούν στο RFID tag (τα ψηφιακά απαιτούν πια 1V ή και λιγότερο). Επίσης το ίδιο κύκλωμα χρησιμοποιήθηκε και για την παραγωγή της DC τάσης V_{FG} (pseudo Floating Gate voltage) του

ανορθωτή που προτείναμε. Παρουσιάζει δε πολύ καλή απόδοση, ταχύτερη απόκριση και χαμηλή κυμάτωση (ripple) συνεχούς τάσης εξόδου σαν ανορθωτής RF-DC.

6.4 Τοπολογία NVC (Negative Voltage Converter)

Η 3^η προσέγγιση (1^η φορά εμφανιζόμενη στην [74]) είναι μια δομή αμιγώς διασταυρωμένων πυλών (Fully Cross Coupled) ονομαζόμενη και σαν NVC (Negative Voltage Converter) όταν συνδυάζεται με ενεργές διόδους (με T.E.) (active diodes, [71, 72]) αλλά και ως H-Bridge (4 transistors cell) κύρια σε χρήση του στη Ρομποτική για τον έλεγχο της φοράς περιστροφής DC σερβοκινητήρων. Εδώ, και τα 4 standard CMOS transistors (2NMOS, 2PMOS) έχουν διασταυρωμένες τις πύλες τους, ενώ έχουν όλα το ρόλο διακόπτη (MOS-switch), όπως στην Εικόνα 6-9. Συνήθως, χρησιμοποιούνται τρανζίστορ χαμηλού V_{th} (LVT-MOS) για την ταχύτερη διακοπτική λειτουργία αυτών των διακοπών MOS. Μειονέκτημα αυτής της τοπολογίας είναι η ροή ρεύματος κατά την ανάστροφη φορά, χωρίς τρόπο παρεμπόδισης, όταν η $V_{out_dc} > V_{in}$, κάτι που απαιτεί ιδιαίτερη προσοχή. Λύση στο πρόβλημα αυτό έχει δοθεί στην [73] με τη χρήση δύο NMOS switches στην έξοδο του βασικού cell, που σκοπό έχουν να εμποδίζουν την επιστροφή του ρεύματος προς τα πίσω (current feedback), όταν η τάση εξόδου ξεπεράσει την τάση εισόδου σε αυτό.



Εικόνα 6-9. Το βασικό cell ενός Ανορθωτή fully cross coupled (NVC - H Bridge)

Έτερο επίσης μειονέκτημα της τοπολογίας είναι η ύπαρξη ενός παρασιτικού Ανορθωτή Γέφυρας που κάνει αισθητή την ύπαρξή του στο χρόνο εκκίνησης του ανορθωτή και που δομείται από τις παρασιτικές διόδους επαφής p-n μεταξύ

σώματος-πηγής (BS) και σώματος-υποδοχής (BD) (8 diodes/cell) και καθορίστηκε από τον S. Mandal ο οποίος ερευνητικά [44] χρησιμοποιεί κύρια αυτή την τοπολογία [39, σελ.77]. Βέβαια στην τοπολογία αυτή, σε αντίθεση με τις δύο άλλες που χρησιμοποιούν MOS-diodes, δεν υφίσταται πτώση τάσης λόγω V_{th} αφού τα τρανζίστορ δρουν ως διακόπτες. Παρόλα αυτά υπάρχει μια αμελητέα πτώση τάσης λόγω της πάρα πολύ μικρής αντίστασης r_{ds} (καναλιού) των MOSFETs όταν είναι ανοιχτά (*on state*).

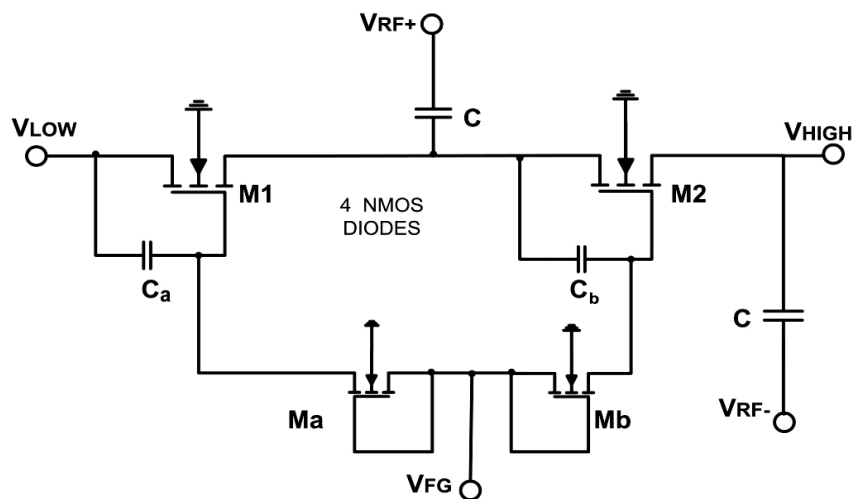
Αν επιθυμούμε την επίτευξη υψηλών τάσεων εξόδου, τότε πρέπει να συνδεθούν κλιμακωτά πολλά στάδια σε σειρά, όπως στην Εικόνα 6-4. Και πάλι χρησιμοποιούνται πυκνωτές στα RF+, RF- paths ώστε να αποφευχθεί η ροή ρεύματος ανάστροφα και να ελεγχθεί η DC τάση στην έξοδο. Η λειτουργία του βασικού cell είναι όμοια με αυτή των πολλαπλασιαστών τάσης με charge pumps ή με τις διατάξεις CTS (Charge Transfer Switch) από την περιοχή των DC-DC converters.

Ο τρόπος λειτουργίας είναι ξεκάθαρος, αν θεωρήσουμε ότι η V_{RF} είναι αρκετή ώστε να ανοίγει τα MOS-switches (ως ιδανικοί διακόπτες). Φυσικά στην αρχική εφαρμογή του κυκλώματος σαν DC-DC converter, όπως στην [74], δυο ρολόγια αντίθετης φάσης απαιτούνταν για την εναλλάξ λειτουργία των διακοπών. Στην περίπτωσή μας το ρόλο των αντιφασικών ρολογιών διαδραματίζουν τα σήματα RF+ και RF- [44]. Αν θεωρήσουμε επακριβώς ίσα (απολύτως) τα $|V_{th}|$ των PMOS, NMOS transistors, μπορούμε να πούμε ότι ανά ημιπερίοδο ένας αγωγίμος δρομός κλείνει για τη ροή του ρεύματος διαμέσου δύο MOS-switches. Για παράδειγμα, για τη θετική ημιπερίοδο του σήματος εισόδου RF (V_{RF+} , High as CLK) το ρεύμα ρέει μέσω των MN2, MP1 και για την αρνητική ημιπερίοδο (V_{RF-} , Low as \overline{CLK}) και προς την ίδια κατεύθυνση, μέσω των MN1, MP2. Έτσι, σε ένα υποτιθέμενο φορτίο θα αναπτύσσεται τάση $V_{DC} = 2V_{RF} - V_{sw}$ (Voltage Doubler) όπου με V_{sw} συμβολίσαμε την πτώση τάσης λόγω της αντίστασης καναλιού r_{ds} των MOS-Switches και λόγω των ανάστροφων ρευμάτων που μπορεί να υπάρξουν. Σε μια κλιμακωτή σύνδεση N βαθμίδων, η έξοδος θα ισούται με $V_{DC} = N \cdot (2V_{RF} - V_{sw})$, οπότε είναι φανερό το κέρδος εν σχέσει με έναν κλιμακωτό ανορθωτή Dickson N stages, που έχει έξοδο όπως είδαμε, $2 \cdot N \cdot (V_o - V_{drop}) = N \cdot (2V_o - 2V_{drop})$. Στην εικόνα 6-9 (όπως ακριβώς και στην 6-8) βλέπουμε και τις συνδέσεις υποστρώματος που απαιτούνται για την αποφυγή δόμησης παρασιτικών διπολικών τρανζίστορ (Latch-up effect) και των ρευμάτων διαρροής που αυτή συνεπάγεται. Έτσι το σώμα στα NMOS συνδέεται στη γη (ως χαμηλότερο δυναμικό),

ενώ το σώμα των PMOS στο υψηλότερο δυναμικό (εδώ η έξοδος ή γενικά η τροφοδοσία). Αν και αυτή είναι μια κλασική αντιμετώπιση του Latch-up, εντούτοις λόγω της ανυπαρξίας μιας γείωσης, σε ένα floating RF σήμα δεν είναι ξεκάθαρος ο τρόπος σύνδεσης του υποστρώματος (Bulk) ή του πηγαδιού (Well). Έτσι, εναλλακτικά έχει συσταθεί μια μέθοδος ρύθμισης του υποστρώματος (Bulk regulation or Adaptive Substrate biasing) ή προσαρμοστικής πόλωσης αυτού στις [58, 71], με τη χρήση δύο πρόσθετων NMOS ή PMOS συνδεδεμένων στο υπόστρωμα ώστε να το θέτουν στο κατάλληλο δυναμικό την κάθε στιγμή. Παρόλα αυτά στο κύκλωμα αυτό (Εικόνα 6-9), δεν αποτελεί και πολύ μεγάλο πρόβλημα το παραπάνω, διότι είναι σχεδόν ιδανική η σύνδεση του υποστρώματος.

6.5 Θεωρητική Ανάλυση της προταθείσας τοπολογίας ενός *pseudo-FG* Ανορθωτή (*Pseudo-Floating Gate Rectifier*)

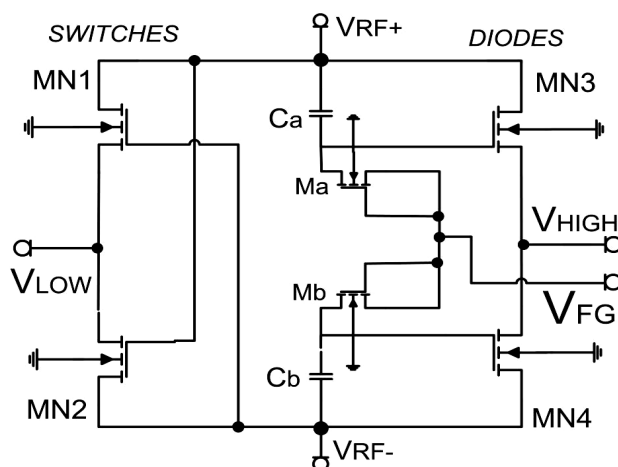
Σύμφωνα με το basic cell του ανορθωτή Dickson αλλά και του ανορθωτή GCCR, εισάγουμε μια τροποποιημένη κυκλωμάτωση με την προσθήκη άλλων δύο MOS-diodes και δύο πυκνωτών στην αγωγίμη διαδρομή μεταξύ D-G (εκροής-πύλης) των ήδη υπάρχοντων MOS-diodes των αρχικών basic cells, όπως απεικονίζεται στις Εικόνες 6-10 και 6-11 με βάση τα βασικά cell των Εικόνων 6-2 και 6-8 αντίστοιχα.



Εικόνα 6-10. Το βασικό cell ενός *pseudo-FG* Ανορθωτή τύπου Dickson

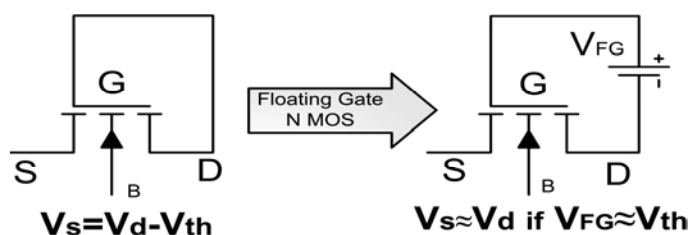
Το σήμα V_{FG} που είναι απαραίτητο για την ελάττωση της τάσης κατώφλιου V_{th} , μπορεί να παραχθεί από ένα στάδιο ενός GCCR ανορθωτή αποτελούμενου από 4 NMOS ZVT transistors (Zero V_{th}), δυνατότητα που μας δίνει η τεχνολογία που χρησιμοποιήσαμε στα 90nm (NMOS ZVT only in technology library of IBM). Ο λόγος χρήσης τρανζίστορ με (περίπου) μηδενικό κατώφλι είναι προφανής, σύμφωνα

με όσα αναφέρθηκαν ειδικά σε αυτό το 1^ο στάδιο του ανορθωτή όπου η λαμβανόμενη τάση V_{RF} είναι ελάχιστη.



Εικόνα 6-11. Το βασικό cell ενός *pseudo-FG* Ανορθωτή τύπου GCCR

Φυσικά η βοηθητική αυτή τάση V_{FG} μπορεί να παραχθεί και από ένα στάδιο ενός ανορθωτή NVC που σύμφωνα και με την Εικόνα 6-9, δομείται από 2 NMOS και 2PMOS transistors. Η έλλειψη όμως, ZVT PMOS στην παραγωγή καθιστά απαραίτητη την εναλλακτική λύση των LVT PMOS (Low V_{th}) που ασφαλώς και μειώνει την απόδοση του συγκεκριμένου ανορθωτή, όπως είδαμε και στις εξομοιώσεις. Έτσι στο chip που παρήχθη τελικά, χρησιμοποιήθηκε η τοπολογία GCCR ZVT NMOS για την παραγωγή της V_{FG} μιας και επέδειξε όχι μόνο ταχύτερη απόκριση αλλά και πολύ χαμηλή κυμάτωση της τάσης εξόδου συνεχούς. Όπως ήταν αναμενόμενο, ακόμη χειρότερη απόδοση επέδειξε η παραγωγή της V_{FG} από ένα στάδιο ενός Dickson ανορθωτή με τα 2 MOS-diodes ανά ημιπερίοδο και το διπλό κατώφλι που πρέπει να ξεπεραστεί για τη λειτουργία της ανόρθωσης. Ακόμα και με χρήση ZVT NMOS στην περίπτωση τούτη ήταν πολύ μεγάλη (Κεφάλαιο 7) κι η χρονική καθυστέρηση εξέλιξης του φαινομένου της ανόρθωσης (settling time), αλλά και η κυμάτωση (ripple) της παραγόμενης κατά προσέγγιση DC τάσης.



Εικόνα 6-12. Ένα FG-NMOS με μηδενικό κατώφλι τάσης V_{th} λόγω της πόλωσης V_{FG}

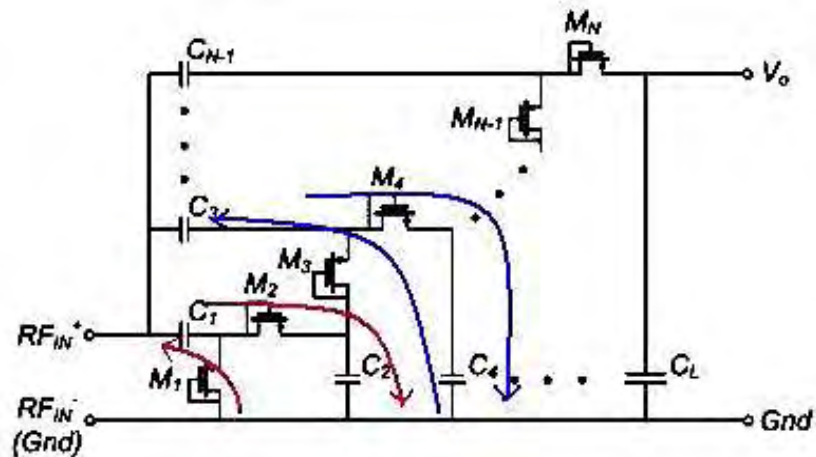
Έτσι στο τμήμα σύνδεσης D-G των MOS-diodes M1, M2 (Εικόνα 6-10) ή MN3, MN4 (Εικόνα 6-11) εισέρχεται μια διαφορά δυναμικού που, όταν ισχύει η εξίσωση $V_{FG} = V_{th}$, τότε θα είναι $V_s = V_d$, οπότε τα NMOS-diodes μετατρέπονται τότε σε transistors με μηδενικό ή ελάχιστο κατώφλι τάσης, αναλόγως βέβαια της τιμής της τάσης V_{FG} (Εικόνα 6-12). Το φορτίο, που συγκεντρώνεται στους πυκνωτές C_a , C_b μέσω της τάσης V_{FG} , παραμένει ιδανικά εκεί μη βρίσκοντας δρόμο (δίοδοι ανάστροφα πολωμένες) διαφυγής-εκφόρτισης του. Βέβαια, η προτεινόμενη λύση είναι στατικής κι όχι δυναμικής [76] αντιμετώπισης του προβλήματος μείωσης του V_{th} , αφού είναι σχετικά μικρό το εύρος μεταβολής της τάσης V_{FG} για διαφορετικές τιμές της RF τάσης εισόδου στο RFID tag, ειδικά αν μόνο ένα στάδιο ανορθωτή (με Zero V_{th} MOSFETs) χρησιμοποιείται για την παραγωγή της V_{FG} . Η χρήση περισσότερων σταδίων θα ήταν εφικτή αν συνοδεύοταν από κύκλωμα προστασίας από υπέρταση για τις περιπτώσεις των πολύ κοντινών αποστάσεων (near field) reader-tag, που η V_{RFin} άρα και η V_{FG} είναι υψηλής τιμής. Βέβαια σε τέτοιες περιπτώσεις, λύση θα ήταν η παύση ύπαρξης της τάσης V_{FG} εως ότου η απόσταση reader-tag να αυξηθεί και να μειωθεί η εισερχόμενη τάση στο chip, με άμεση την ανάγκη ύπαρξης τότε της V_{FG} ώστε να μειώνει το υπαρκτό κατώφλι V_{th} .

Η χρήση δε περισσότερων από ενός σταδίων στην υλοποίηση της τάσης V_{FG} όπως έδειξαν και οι εξομοιώσεις, κρίθηκε ασύμφορη, λόγω των αυξημένων παρασιτικών χωρητικοτήτων αλλά και των μεγαλύτερων διαρροών ρεύματος, αφού όπως είπαμε γίνεται χρήση ZVT MOSFETs που έχουν σχεδόν μηδενικό κατώφλι, οπότε έχουν τεράστια ανάστροφα ρεύματα (δεν κλείνουν ποτέ ως διακόπτες) όπως αναφέρθηκε.

Η λύση που προτάθηκε μειώνει το κατώφλι τάσης V_{th} αυξάνοντας την απόδοση του ανορθωτή και άρα την εμβέλεια του tag, αλλά ταυτόχρονα επιδρά και στην αντίσταση ($r_{ds} = R_{on}$) των MOS-switches ελαττώνοντας τη με βάση τη σχέση (5-8). Αυτό είναι πολύ σημαντικό για τη φόρτιση των πυκνωτών στον ανορθωτή, μέσω ενός (κατά προσέγγιση) κυκλώματος 1^{ης} τάξης RC, σταθεράς χρόνου $\tau = R_{on} \cdot 2C = 2R_{on} C$ ($2C$, λόγω των 2 πυκνωτών ανά στάδιο ενός ανορθωτή N κλιμακωτών σταδίων) [75].

6.6 Ανάλυση λειτουργίας Ανορθωτή τοπολογίας «Dickson»

Ας θεωρήσουμε τον N σταδίων Ανορθωτή Dickson της Εικόνας 6-3, όπου βέβαια οι δίοδοι μπορούν να αντικατασταθούν από MOS-diodes σύμφωνα με την κυκλωμάτωση της Εικόνας (6-5), οπότε έχουμε την τοπολογία της Εικόνας 6-13 [54]. Σε μια πρώτη προσέγγιση, αν θεωρήσουμε ως RF είσοδο σε αυτόν τον κλιμακωτό ανορθωτή την τάση $RF_{in} = RF_{in+} - RF_{in-} = V_o \cdot \cos\omega t$, τότε η βασική του λειτουργία μπορεί να αναλυθεί, αν θεωρήσουμε για ευκολία ως ϕ_1 τη διάρκεια $T/2$ όπου η $RF_{in} > 0$ και ως ϕ_2 την επόμενη $T/2$ διάρκεια χρόνου με $RF_{in} < 0$ (παρόμοια με την περίπτωση των απαραίτητων αντιφασικών ρολογιών λειτουργίας των Charge Pumps και CTS). Έτσι, θεωρώντας ιδανική την απόδοση του ανορθωτή άρα και της μεταφοράς του φορτίου και χωρίς την ύπαρξη του πυκνωτή φόρτου C_L στην έξοδο (μεγάλης τιμής χωρητικότητας για την ελάττωση του ripple) έχουμε με βάση την εικόνα 6-13:



Εικόνα 6-13. N stages Cascaded Dickson Rectifier with MOS-Diodes ($M_1, C_1 \exists$ if N even)

Για $\phi_2 = 1$ τότε ο πυκνωτής C_1 φορτίζεται στην τάση του πλάτους V_o . Ακόμη κι όταν η είσοδος είναι μικρότερη από V_o , ο πυκνωτής C_1 δεν εκφορτίζεται αφού η δίοδος M_1 είναι ανάστροφα πολωμένη. Για $\phi_1 = 1$ ο αριστερός οπλισμός του πυκνωτή C_1 θα έχει πια τάση $2V_o$ ανοίγοντας το M_2 και φορτίζοντας τον C_2 σε τάση $2V_o$. Κατόπιν για $\phi_2 = 1$, ο C_3 φορτίζεται σε τάση $3V_o$, αφού ο πάνω οπλισμός του C_2 δρα τότε ως μπαταρία τάσης $2V_o$. Ακολούθως για $\phi_1 = 1$, ο C_3 αποκτά τάση $4V_o$ πια, ανοίγοντας το M_4 και φορτίζοντας τον C_4 σε τάση $4V_o$ κ.ο.κ. (βλ. και τα έγχρωμα βέλη της Εικόνας 6-13). Εντέλει στην ιδανική περίπτωση η έξοδος θα είναι $V_{out} = N \cdot V_o$.

Στην πραγματικότητα (μη ιδανική περίπτωση) η έξοδος V_{out} για το κάθε στάδιο του ανορθωτή θα είναι [64, 76, 77].

$$V_{out(dc)} \approx V_{o_in} - \Delta V = V_{o_in} - I_{out} \cdot R_{out} \quad (6-1)$$

Όπου βέβαια, η:

$$R_{out} = R_{on} + \frac{1}{fC'} \quad (6-2)$$

Οπότε για τον N σταδίων ανορθωτή, θα ισχύει:

$$V_{out(dc)} \approx (N + NC/C')V_{o_in} - NI_{out}R_{on} - \frac{NI_{out}}{fC'} \quad (6-3)$$

Ενώ λόγω και των παρασιτικών (με τιμή μεγαλύτερη πάντοτε στον κάτω οπλισμό κάθε πυκνωτή) χωρητικοτήτων (stray capacitance), $C' = C + C_{parasitic}$, οπότε προσεγγιστικά παίρνουμε ότι:

$$V_{out(dc)} \approx (NC/C')V_{o_in} - N \left(I_{out}R_{on} + \frac{I_{out}}{fC'} \right) \quad (6-4)$$

Όλα αυτά συμβαίνουν λόγω του ότι στη σύνδεση καταρράκτη της Εικόνας 6-4 ο ακροδέκτης V_{Low} του 1^{ου} σταδίου συνδέεται στη γη και όχι σε κάποια τάση DC (ανύπαρκτη στην περίπτωσή μας όπου μόνο η τάση RF εισέρχεται στον ανορθωτή, στις παλιές συνδέσεις των αντιφασικών ρολογιών των Charge Pumps) αλλά και βάσει της ισοδύναμης δυναμικής αντίστασης με την οποία ένας διακοπτόμενος πυκνωτής (Switched Capacitor) μπορεί να εξομοιωθεί. Πράγματι με βάση τη θεωρία των διακοπτόμενων με συχνότητα f πυκνωτών, χωρητικότητας C , ισχύει ότι [50]:

$$Q = CV = I_{aver}T = \frac{I_{aver}}{f} \Rightarrow V = \frac{I_{aver}}{Cf} \xrightarrow{N.Ohm} R = \frac{1}{Cf} = \frac{T}{C} \quad (6-5)$$

Μπορούμε δηλαδή, να εξομοιώσουμε με την αντίσταση αυτή κάθε πυκνωτή διακοπτόμενης λειτουργίας. Βέβαια στην περίπτωσή μας δεν υπάρχουν clocks συχνότητας f ώστε να επιτελούν τη διακοπτική λειτουργία των πυκνωτών, αλλά το ρόλο των αντιφασικών ρολογιών τον έχει, όπως είπαμε, το RF σήμα (RF+ \equiv CLK, RF- \equiv CLKneg) κατά προσέγγιση όμως, αφού έχει ημιτονοειδή κι όχι τετραγωνική μορφή (γενικά μπορεί με αρκετή επιτυχία, να χρησιμοποιηθεί κάθε είδους συμμετρικό σήμα, με ίδιες μέγιστες αρνητικές και θετικές τιμές).

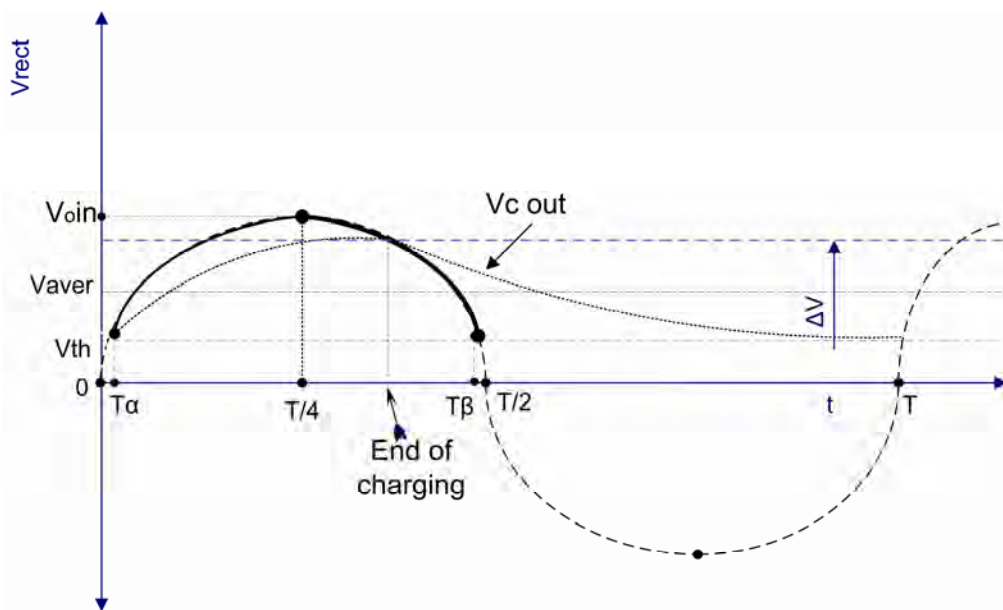
Έτσι μπορούμε να κάνουμε μια εκτίμηση της κυμάτωσης ΔV (ripple) της DC τάσης εξόδου (σχεδόν συνεχής). Όπως προείπαμε, η μείωση της V_{th} προκαλεί την ελάττωση της R_{on} των MOS-diodes, οπότε έχουμε πιο ταχεία (μείωση της σταθεράς χρόνου $\tau = 2R_{on}C$) φόρτιση των πυκνωτών, όταν $V_{th} < V_{in} < V_{RF_in}$ (για $T_a < t < \text{“End of charging”}$, στην Εικόνα 6-14).

Πράγματι για τη φόρτιση κάθε πυκνωτή, θα ισχύουν οι γνωστές σχέσεις:

$$i_c(t) = \frac{\Delta V}{R_{on}} \left(e^{-\frac{t}{2R_{on}C}} \right) \quad (6-6)$$

$$V_c(t) = \Delta V \left(1 - e^{-\frac{t}{2R_{on}C}} \right) \quad (6-7)$$

Έτσι μειώνεται και το ripple ΔV της DC τάσης εξόδου του ανορθωτή. Η κυμάτωση μπορεί επίσης να ελαττωθεί με τη χρήση πυκνωτών σχετικά μεγάλης χωρητικότητας, με ίδια όμως τιμή όπως απεδείχθη στην [78]. Επίσης η ένταση του ρεύματος I_{out} της (6-1) που επιδρά στην κυμάτωση αλλά και στο ρεύμα $i_c(t)$ της (6-6), έχει την ακόλουθη συμπεριφορά συναρτήσει του χρόνου:



Εικόνα 6-14. Η λειτουργία της Ημιανόρθωσης (HWR) σε χρόνο μιας περιόδου T

Για ένα μικρό χρονικό διάστημα dt λίγο μετά τη χρονική στιγμή T_α αλλά και λίγο πριν την T_β , τα τρανζίστορ είναι σε ασθενή αναστροφή (υποκατωφλιακή λειτουργία) έχοντας ρεύμα I_{out} που δίνεται από την εξίσωση 5-12 ή ακριβέστερα από την 5-13 και που εξαρτάται εκθετικά από την τάση V_{GS} . Κατά τη χρονική διάρκεια $T_\alpha + dt < t < T_\beta - dt$ το ρεύμα I_{out} θα δίνεται από την εξίσωση 5-5 μιας και τα MOS-diodes βρίσκονται πάντα στον κόρο, όπως είδαμε και στην παράγραφο 5.1, όπου το ρεύμα έχει παραβολική εξάρτηση από την τάση V_{GS} και όχι γραμμική ή εκθετική.

Μπορούμε λοιπόν, να προβούμε και σε μια προσέγγιση σχετική με τον ιδανικό χρόνο φόρτισης των πυκνωτών για την βέλτιστη λειτουργία του ανορθωτή. Είναι γνωστό ότι ένας πυκνωτής απαιτεί χρονικό διάστημα περίπου 5τ ώστε να φορτιστεί σχεδόν πλήρως (99.3%). Έτσι για τη συχνότητα των $f = 2.45\text{GHz}$ που χρησιμοποιήσαμε θα πρέπει να ισχύει προσεγγιστικά ότι:

$$5\tau = 5R_{on}.2C \leq 3T/4 \Rightarrow R_{on} \leq 3T/(40.C) \quad (6-8)$$

Οπότε για $C = 200\text{fF}$ που χρησιμοποιήθηκε και αφού έχουμε $T=1/f \cong 0.41\text{ns}$, θα πρέπει τότε η ωμική αντίσταση $R_{on} \leq 153\Omega$, που όμως αποτελεί όχι εύκολα ελέγξιμη και διαχειρίσιμη τιμή, αφού -προσεγγιστικά- δίνεται από την:

$$R_{on} = r_{ds} = \frac{1}{\mu C_{ox} \frac{W}{L} [(V_{GS} - V_{th}) - \frac{V_{DS}}{2}]} \cong \frac{1}{K' \frac{W}{L} (V_{GS} - V_{th})} \quad (6-9)$$

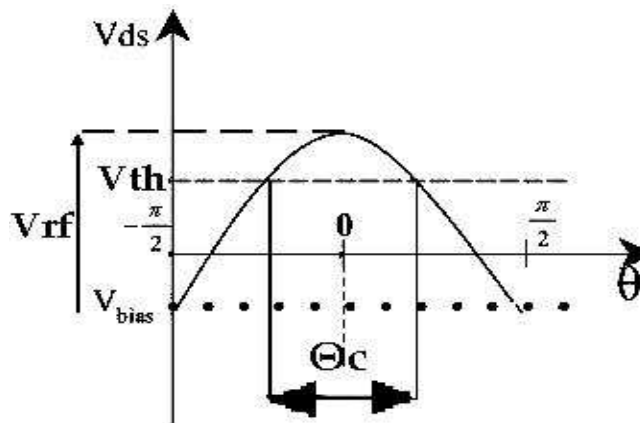
Ο υπολογισμός της κυμάτωσης (ripple) ΔV (peak-peak) μπορεί να γίνει αν σκεφτούμε το φορτίο που μεταφέρεται ανά περίοδο, που είναι προφανώς, $q = IT = I/f$, οπότε αυτό το φορτίο φορτίζει πυκνωτές με σύνδεση σε σειρά σε έναν N σταδίων Ανορθωτή, οπότε:

$$\Delta V = IT \sum_{i=1}^N \left(\frac{1}{C_i} \right) = \frac{I}{f} \left(\frac{1}{C_1} + \frac{2}{C_2} + \frac{3}{C_3} + \dots + \frac{N}{C_N} \right) \xrightarrow{C=C_1=\dots=C_N} \Delta V = \frac{I}{2fC} N(N+1) \quad (6-10)$$

Και για ένα μόνο στάδιο Ανορθωτή ($N=1$) θα ισχύει:

$$\Delta V_{HWR} = \frac{I}{f.C} \quad (6-11)$$

Απ' όπου είναι φανερή η δυνατότητα ελάττωσης της κυμάτωσης της DC τάσης εξόδου, με τη χρήση μεγάλων χωρητικοτήτων για δεδομένη συχνότητα λειτουργίας. Στην ίδια σχέση με την (6-11) μπορούμε και προσεγγιστικά να φτάσουμε, αν για την περίπτωση της πλήρους (FWR) ανόρθωσης, θεωρήσουμε ότι στο χρονικό διάστημα T' που δεν άγει η διόδος και ο πυκνωτής εκφορτίζεται, θα χάνει φορτίο $I_{DC}.T'$ οπότε η μεταβολή της τάσης στα άκρα του θα είναι (η κυμάτωση δηλαδή) $\Delta V = (I_{DC}.T')/C$, οπότε επειδή προσεγγιστικά είναι $T' \approx T/2 = 1/(2f)$, παίρνουμε ότι $\Delta V = I_{DC} / (2Cf)$. Βέβαια στην περίπτωση της ημιανόρθωσης έχουμε διπλάσια κυμάτωση που δίνεται από την εξίσωση (6-11), δηλαδή $\Delta V_{HWR} = 2.\Delta V_{FWR}$.



Εικόνα 6-15. Η γωνία αγωγής Θ_c κατά τη λειτουργία της Ημιανόρθωσης (Τάξη C, $\Theta_c < \pi$)

Η τάση συνεχούς στην έξοδο μπορεί να υπολογισθεί για την πλήρη ανόρθωση, από την απλή σχέση: $V_{DC} = V_{peak} - I_{DC} / (4Cf)$, δηλαδή η διάταξη ανόρθωσης εμφανίζεται σαν μια πηγή (πολικής) τάσης (HEΔ), δυναμικού V_{peak} και εσωτερικής αντίστασης $1 / (4Cf)$ (για FWR).

Όσον αφορά το ρεύμα που κατά τη διάρκεια της ανόρθωσης ρέει ανά περίοδο, ήδη αναλύσαμε τη χρονική του συμπεριφορά ανάλογα και με το σε ποια περιοχή λειτουργίας βρίσκονται κάθε φορά τα MOSFETs.

Μπορούμε όμως, να εκτιμήσουμε τη συμπεριφορά του ανορθωτή και να υπολογίσουμε το ακριβές ρεύμα του ανά χρονικό διάστημα, αν δανειστούμε τα συμπεράσματα από τους ενισχυτές σε τάξη C, που έχουν γωνία αγωγής Θ_c μικρότερη από π rad (Εικόνα 6-15) [80]. Οι ενισχυτές τάξης C ως γνωστόν άγουν για χρονικό διάστημα λιγότερο από το 50% της περιόδου του σήματος εισόδου. Η παραμόρφωση στην έξοδο είναι πολύ μεγάλη, αλλά μπορούμε να πετύχουμε (κύρια σε RF συντονιζόμενους ενισχυτές) απόδοση ισχύος της τάξης του 90%. Ουσιαστικά λαμβάνουμε παλμούς ρεύματος με διάρκεια αρκετά $< T/2$, όπως ακριβώς συμβαίνει και με την περίπτωση μας που το ρεύμα είναι μηδέν για χρόνο $> T/2$. Εκτός από τον υπολογισμό του ρεύματος στην [80] με βάση τη λειτουργία σε τάξη C, ανάλογα μοντέλα ανορθωτών έχουν προταθεί από την [54] με πολύ ακριβή αλλά περίπλοκο τρόπο και από την [81] με λιγότερη ακρίβεια μα με πιο εύκολη θεώρηση. Στην τελευταία το ρεύμα εξομοιάζεται με παλμούς τριγωνικούς σε μια πολύ φυσική προσέγγιση που δίνει την τελική DC τάση εξόδου, μέσω της τάσης κορυφής (V_p) του RF σήματος εισόδου, αν αφαιρέσουμε την πτώση τάσης (κύρια οφειλόμενη στην τάση κατωφλίου V_{th} και στην ενεργό (overdrive) τάση, $V_{eff} = V_{GS} - V_{th}$) του κάθε transistor, δηλαδή:

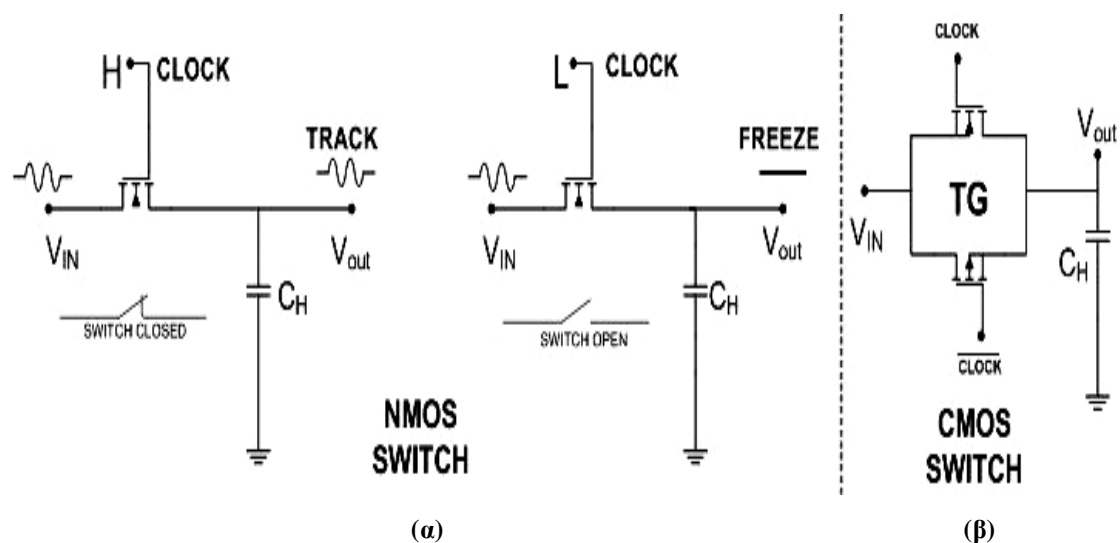
$$V_{dc} = V_{RF_peak} - V_{MOS_drop} = V_p - \left(V_{th} + \sqrt{\frac{4\pi L I_{dc}}{\mu C_{ox} W}} \right) \quad (6-12).$$

6.7 Ανάλυση της λειτουργίας Ανορθωτών με MOS-Switches

6.7.1 MOS-Switches and CMOS-Switches (TG-Transmission Gates)

Στην περίπτωση των Ανορθωτών με διασταυρωμένες τις πύλες των τρανζίστορς, έχουμε χρήση αυτών ως διακόπτες (MOS-switches) τόσο στην περίπτωση του GCCR (2 MOS-switches) όσο και στην περίπτωση του NVC (4 MOS-switches) όπως αντίστοιχα παρατηρούμε στις Εικόνες 6-8 και 6-9. Γενικά προτιμάται η χρήση των NMOS-switches λόγω της μεγαλύτερης ευκινησίας των e^- έναντι των οπών ($\mu_p \approx \mu_n/3$ οπότε από την εξίσωση 6-9 έχουμε ότι $R_{on,P} \approx 3R_{on,N}$).

Η λειτουργία του MOSFET ως διακόπτη έγκειται στη χρήση της αντίστασης διαύλου, που όταν το MOSFET είναι ανοιχτό είναι ελάχιστη ($r_{ds} \rightarrow 0$, Εξίσωση 6-9), οπότε το σήμα εισόδου περνά στην έξοδο (Switch Closed) και που όταν το MOSFET είναι κλειστό είναι τεράστια ($M\Omega$ ή $G\Omega$, $I_{Leak} \rightarrow 0$), οπότε ο διακόπτης ανοίγει (Switch Opened). Ο έλεγχος γίνεται από την τάση στην πύλη G του transistor όπου όταν υπερκεράσει το κατώφλι V_{th} τότε άγει το τρανζίστορ, ενώ η ροή του σήματος μπορεί να γίνει και προς τις δυο κατευθύνσεις, αφού ο ρόλος των ακροδεκτών S, D μπορεί να αλλάξει ανάλογα με την τιμή δυναμικού στον κάθε ακροδέκτη εξ'αυτών. Για NMOS τρανζίστορ, S (Πηγή) θεωρείται ο ακροδέκτης με το πιο αρνητικό δυναμικό (πιο θετικό για PMOS). Έτσι, ο κάθε διακόπτης είναι ON (κλειστός) όταν η έξοδος ακολουθεί την είσοδο και OFF (ανοιχτός) όταν η έξοδος παραμένει σταθερή ανεξαρτήτως της τάσης εισόδου. Ουσιαστικά ένας NMOS-Switch περνά στην έξοδό του όλα τα σήματα εισόδου του που είναι $\leq V_{eff} = V_{GS} - V_{th}$. Τη λειτουργία αυτή βλέπουμε και στην Εικόνα 6-16α, όταν το σήμα της πύλης CLK = High (ON, Track) και όταν το σήμα πύλης CLK = Low (OFF, Freeze or Hold) [45].



Εικόνα 6-16. α) Διακόπτης NMOS-Switch και β) CMOS Switch (TG)

Το κύκλωμα της εικόνας 6-16 αποτελεί και ένα κύκλωμα ουσιαστικά Δειγματοληψίας και Συγκράτησης (Sample and Hold, S/H) που απαιτείται κατά τη μετατροπή Αναλογικού σήματος σε ψηφιακό (A/D Conversion). Βέβαια πολύ καλύτερη συμπεριφορά επιδεικνύει ως διακόπτης μια Πύλη Διέλευσης (Transmission Gate -TG, Εικόνα 6-16β) ή CMOS-Switch που δομείται από την παράλληλη σύνδεση ενός PMOS με ένα NMOS, συνδέοντας εναλλάξ τους ακροδέκτες S, D. Το ρολόγια διέγερσης του διακόπτη είναι αντιφασικά και πρέπει για την αποφυγή παραμόρφωσης να ανοιγοκλείνουν ταυτόχρονα οι δύο διακόπτες που τον αποτελούν.

Η δε αντίσταση αγωγής R_{on} είναι σχεδόν σταθερή και ουσιαστικά αποτελείται από τον παράλληλο ($R_{on_eq} < \min\{R_{on_N}, R_{on_P}\}$) συνδυασμό των r_{ds} των δυο τρανζίστορ NMOS και PMOS ($R_{on_eq} = R_{on_N} // R_{on_P} =$ σταθερή και ανεξάρτητη της εισόδου αν, $\mu_n C_{ox}(W/L)_N = \mu_p C_{ox}(W/L)_P$). Βέβαια η προηγούμενη θεώρηση προϋποθέτει την ταυτόχρονη λειτουργία των NMOS, PMOS transistors στην ζώνη τάσης (Voltage Headroom) μεταξύ $V_{in} - V_{th_N}$ και $|V_{th_P}|$. Γενικά αν η τάση τροφοδοσίας είναι μεγαλύτερη από το άθροισμα (απολύτως) των τάσεων κατωφλίου των 2 συμπληρωματικής λειτουργίας τρανζίστορς, τότε το ένα τουλάχιστον θα είναι σε κατάσταση ON, οπότε έχουμε σίγουρο πέρασμα της εισόδου προς την έξοδο (Track). Στην περίπτωση όμως πολύ χαμηλών τάσεων, δεν αυξάνεται μόνο η R_{on} , αλλά εξαφανίζεται και το απαραίτητο *voltage headroom* απαραίτητο για την ταυτόχρονη κατάσταση ON των 2 τρανζίστορς [88]. Έτσι σε ανάλογες very low power περιπτώσεις προτιμώνται οι απλοί διακόπτες, κυρίως NMOS, όπως εξηγήσαμε. Αυτός είναι κι ο κύριος λόγος που οι δικές μας υλοποιήσεις ανορθωτών, με χρήση TG ως διακοπών, δεν είχαν μεγάλη απόδοση και επιτυχία κατά τις εξομοιώσεις που επιτελέστηκαν (Κεφ. 7).

Αν βέβαια αντιμετωπιστεί ως ψηφιακός διακόπτης, τότε αποτελεί βέλτιστη λύση, αφού προσφέρει τη δυνατότητα για απόλυτα καλό «0» και «1» δομημένα, στη λογική του απόλυτου ανοίγματος των διακοπών όταν το NMOS δεχτεί «0», ενώ το PMOS δεχτεί «1» με είσοδο «0», και στο απόλυτο κλείσιμό τους όταν το NMOS δεχτεί «1», το PMOS «0» και η είσοδος είναι «1», αντίστοιχα. Αντίθετα οι απλοί ψηφιακοί διακόπτες προσφέρουν στην έξοδό τους, είτε απόλυτα καλό «0» (NMOS, INPUT = 0, CLK = 1) είτε απόλυτα καλό «1» (PMOS, INPUT = 1, CLK = 0), με υποβαθμισμένη την κάθε άλλη περίπτωση «1» ή «0» αντιστοίχως.

6.7.2 Ανάλυση λειτουργίας ενός Fully Cross Connected Ανορθωτή

Με μια απλοϊκή μαθηματική προσέγγιση θα συγκρίνουμε την συμπεριφορά του ανορθωτή NVC (4 διακόπτες) και κατά προσέγγιση ενός GCCR (2 δίοδοι, 2 διακόπτες) με αυτή ενός απλού ανορθωτή γέφυρας (4 δίοδοι), που απεικονίζονται στις Εικόνες 6-9, 6-8, 6-1 αντίστοιχα.

Γενικά η έξοδος ενός Ημι-ανορθωτή έχει τη μορφή του σχήματος 6-14. Αν δηλαδή θεωρήσουμε μια ημιτονοειδή RF είσοδο της μορφής, $U_{in}(t) = V_{in} \cdot \sin\left(\frac{2\pi t}{T}\right)$, τότε η έξοδος του ανορθωτή θα είναι της μορφής (ακριβώς πριν τον πυκνωτή εξόδου που μειώνει την κυμάτωση):

$$V_{rect}(t) = \begin{cases} V_{in} \cdot \sin\left(\frac{2\pi t}{T}\right), & T_a < t < T_\beta \quad (\text{τα MOSFETs είναι ON}) \\ V_{th}, & 0 < t < T_a \ \& \ T_\beta < t < T/2 \quad (\text{τα MOSFETs είναι OFF}) \end{cases}$$

Όπου θεωρούμε μηδενική την εκφόρτιση των πυκνωτών, όταν τα MOS είναι σε κατάσταση OFF, και για το λόγο αυτό, θεωρήσαμε $V_{rect} = V_{th}$ όταν $U_{in} < V_{th}$ ή τα MOSFETs είναι OFF. Επίσης θεωρούμε (μιας κι έχουμε 2 NMOS, 2PMOS switches) ότι $V_{th} = \max(V_{th_NMOS}, |V_{th_PMOS}|)$ επειδή διαφέρουν γενικά λίγο σε απόλυτες τιμές [46]. Το ποσό της διαφοράς δυναμικού αυτής V_{th} απαιτείται όπως είδαμε για τη μετάβαση του transistor από OFF→ON state. Η έξοδος βέβαια του ανορθωτή V_{rect} έχει μεγάλη κυμάτωση (ripple) που μπορεί να μειωθεί με κατάλληλα LPF φίλτρα (κύρια RC όπως είδαμε). Έτσι για τη χρονική στιγμή $t = T_a$, έχουμε (Εικόνα 6-14) [82]:

$$\begin{aligned} V_{rect} = V_{th} = V_{in} \cdot \sin\left(\frac{2\pi T_a}{T}\right) &\Rightarrow \frac{V_{th}}{V_{in}} = \sin\left(\frac{2\pi T_a}{T}\right) \Rightarrow \arcsin\left(\frac{V_{th}}{V_{in}}\right) = \frac{2\pi T_a}{T} \Rightarrow \\ &\Rightarrow T_a = \frac{T}{2\pi} \arcsin\left(\frac{V_{th}}{V_{in}}\right) \end{aligned} \quad (6-13)$$

Οπότε η χρονική στιγμή, $T_\beta = \frac{T}{2} - T_a = \frac{T}{2} - \frac{T}{2\pi} \arcsin\left(\frac{V_{th}}{V_{in}}\right)$.

Έτσι η μέση τιμή (περίπου το επίπεδο της DC τάσης μετά το φιλτράρισμα της κυμάτωσης) της V_{rect} μπορεί να βρεθεί μετά από ολοκλήρωση στο χρονικό διάστημα 0-T/2 (λόγω της συμμετρίας ενός πλήρους κύματος ανορθωτή, FWR), οπότε:

$$\begin{aligned}
\widehat{V}_{rect} &= \frac{\int_0^{T_a} V_{th} dt + \int_{T_a}^{T_a+T_b} V_{in} \cdot \sin \frac{2\pi t}{T} dt + \int_{T_a+T_b}^{T/2} V_{th} dt}{\frac{T}{2}} = \frac{2}{T} \cdot 2 \left(\int_0^{T_a} V_{th} dt + \int_{T_a}^{T/4} V_{in} \cdot \sin \frac{2\pi t}{T} dt \right) \Rightarrow \\
\widehat{V}_{rect} &= \frac{4}{T} (T_a \cdot V_{th} + V_{in} \int_{T_a}^{T/4} \sin \frac{2\pi t}{T} dt) = \frac{4}{T} T_a \cdot V_{th} + \frac{4V_{in}}{T \frac{2\pi}{T}} (-\cos \frac{2\pi t}{T} \Big|_{T_a}^{T/4}) = \\
&= \frac{4}{T} T_a \cdot V_{th} + \frac{4V_{in}}{2\pi} (\cos \frac{\pi}{2} + \cos \frac{2\pi T_a}{T}) = \frac{4}{T} T_a \cdot V_{th} + \frac{2V_{in}}{\pi} \cos \frac{2\pi T_a}{T} = \\
&= \frac{4}{T} V_{th} \frac{T}{2\pi} \arcsin \frac{V_{th}}{V_{in}} + \frac{2V_{in}}{\pi} \cos \frac{2\pi}{T} \frac{T}{2\pi} \arcsin \frac{V_{th}}{V_{in}} \Rightarrow \\
\Rightarrow \widehat{V}_{rect} &= \frac{2}{\pi} (V_{th} \arcsin \frac{V_{th}}{V_{in}} + V_{in} \cos \arcsin \frac{V_{th}}{V_{in}}) \quad (6-14)
\end{aligned}$$

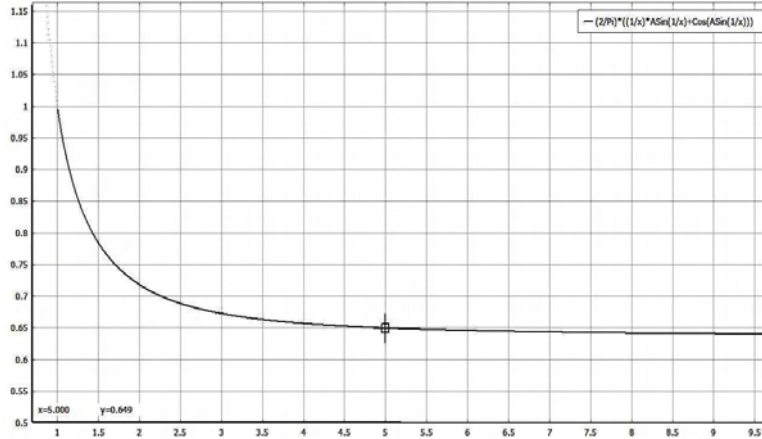
Οπότε αντικαθιστώντας για ευκολία στις πράξεις με $z = \frac{\widehat{V}_{rect}}{V_{in}}$, $x = \frac{V_{in}}{V_{th}}$, έχουμε την εξίσωση (που θυμίζει και τον ορισμό της γωνίας αγωγής Θ_c [80]):

$$z(x) = \frac{2}{\pi} \left[\frac{1}{x} \arcsin\left(\frac{1}{x}\right) + \cos \arcsin\left(\frac{1}{x}\right) \right] \quad (6-15)$$

Η γραφική της παράσταση της συνάρτησης $z(x)$ απεικονίζεται στην Εικόνα 6-17.

Για παράδειγμα, όταν $x = 1$ ή $V_{in} = V_{th}$ τότε $z(1) = 1$ ή $V_{rect} = V_{in} = V_{th}$. Αν όμως $x = 5$ ή $V_{in} = 5V_{th}$ τότε $z(5) = 0,649$ ή $V_{rect} = 0,649 \cdot V_{in}$ ή $\sim 65\% V_{in}$. Είναι φανερή δηλαδή η μεγάλη απόδοση του ανορθωτή αυτού για πολύ μικρές τάσεις κοντά στο κατώφλι τάσης V_{th} των transistors, που συχνά -αν όχι πάντοτε- συμβαίνει στην περίπτωση των παθητικών RFIDs.

Ακριβέστερα, όταν το κατώφλι είναι $V_{th} = 80\text{mV}$ (LVT MOS στα 90nm) τότε για μια είσοδο $V_{in} = 2V_{th}$ υπολογίζουμε από την εξίσωση (6-15), ότι $V_{rect} = 0,73 \cdot 2 \cdot 80 \text{ mV} = 116,8 \text{ mV}$ τάση την οποία μπορούμε να ενισχύσουμε (έως τα απαιτούμενα 1.2V) είτε με άλλα στάδια ανορθωτών, είτε με ένα κύκλωμα Charge Pump (CP) ή CTS (Charge Transfer Switch) λειτουργίας διακοπτόμενων πυκνωτών, με ελεγχόμενες τις διακοπές από το ίδιο το σήμα RF όπως είπαμε (αντί της χρήσης αντιφασικών clocks που θα έπρεπε να παραχθούν, σε βάρος της κατανάλωσης ισχύος στο όλο RFID tag chip). Φυσικά αν η είσοδος είναι πιο μεγάλη (σε μικρότερη απόσταση) π.χ. $V_{in} = 3V_{th}$ τότε εκτιμούμε μια έξοδο του ανορθωτή με μέση τιμή $V_{rect} = 0,675 \cdot 3 \cdot 80\text{mV} = 162 \text{ mV}$, που προφανώς σημαίνει απαίτηση λιγότερων σταδίων (N) του CP ή CTS προς επίτευξη της ίδιας DC τάσης λειτουργίας (1.2V) των επόμενων διατάξεων.



Εικόνα 6-17. Η γραφική παράσταση της συνάρτησης $z=f(x)$ ή $\frac{\hat{V}_{rect}}{V_{in}} = f\left(\frac{V_{in}}{V_{th}}\right)$

Συγκρίνοντας αυτόν τον ανορθωτή (GCCR ή NVC) με έναν απλό ανορθωτή πλήρους κύματος συνδεσμολογίας Γέφυρας (Bridge MOS-Diode Rectifier, Εικόνα 6-1), όπου όπως είπαμε (Ενότητα 6.1) έχει διπλή πτώση τάσης λόγω της ανάγκης να υπερκεραστεί τιμή κατωφλίου $2V_{th}$ λόγω των 2 διόδων που λειτουργούν ανά ημιπερίοδο. Έτσι για $V_{in} < 2V_{th}$ είναι $V_{rect} = 0$ και στην Εικόνα 6-14, για πολύ μικρότερο χρονικό διάστημα από $T/2$ θα έχουμε τάση V_{rect} , δηλαδή η γωνία αγωγής είναι $\Theta_c \ll \pi$. Για τον πλήρους κύματος ανορθωτή βέβαια η ίδια ανάλυση ισχύει και για το χρονικό διάστημα από $T/2$ έως T , με απόλυτη συμμετρία.

Έτσι με τρόπο προσέγγισης παρόμοιο με πριν (Εξίσωση 6-13), έχουμε:

$$V_{rect} = 2V_{th} = V_{in} \cdot \sin \frac{2\pi T_a}{T} \Rightarrow 2 \frac{V_{th}}{V_{in}} = \sin \frac{2\pi T_a}{T} \Rightarrow$$

$$\arcsin 2 \frac{V_{th}}{V_{in}} = \frac{2\pi T_a}{T} \Rightarrow T_a = \frac{T}{2\pi} \arcsin \frac{2V_{th}}{V_{in}} \quad (6-16)$$

Έτσι και πάλι ολοκληρώνοντας στο χρονικό διάστημα $[0, T/2]$, όπου η $V_{rect} = 0$ για τα διαστήματα $[0, T_a]$ και $[T_\beta, T/2]$, έχουμε:

$$\hat{V}_{rect} = \frac{\int_{T_a}^{T_\beta} V_{in} \cdot \sin \frac{2\pi t}{T} dt}{T/2} = \frac{2}{T} \cdot 2 \left(\int_{T_a}^{T/4} V_{in} \cdot \sin \frac{2\pi t}{T} dt \right) = \frac{4}{T} V_{in} \int_{T_a}^{T/4} \sin \frac{2\pi t}{T} dt =$$

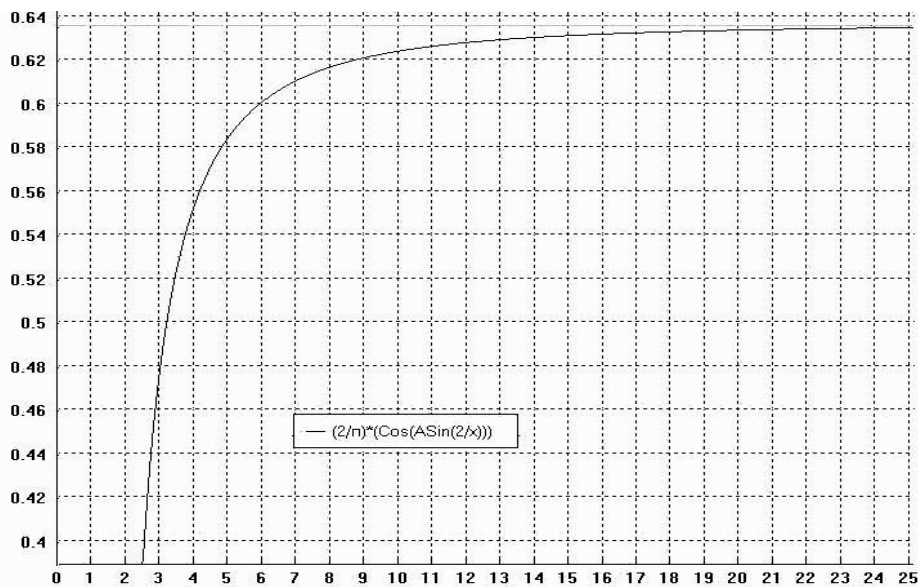
$$= \frac{4V_{in}}{T} \left(-\cos \frac{2\pi t}{T} \Big|_{T_a}^{T/4} \right) = \frac{4V_{in}}{2\pi} \left(\cos \frac{\pi}{2} + \cos \frac{2\pi T_a}{T} \right) = \frac{2V_{in}}{\pi} \cos \frac{2\pi T_a}{T} \Rightarrow$$

$$\hat{V}_{rect} = \frac{2V_{in}}{\pi} \cos \frac{2\pi}{T} \frac{T}{2\pi} \arcsin \frac{2V_{th}}{V_{in}} \Rightarrow \boxed{\hat{V}_{rect} = \frac{2}{\pi} V_{in} \cos \arcsin \frac{2V_{th}}{V_{in}}} \quad (6-17)$$

Οπότε αντικαθιστώντας και πάλι, $g = \frac{\widehat{V}_{\text{rect}}}{V_{\text{in}}}$, $x = \frac{V_{\text{in}}}{V_{\text{th}}}$, έχουμε την εξίσωση:

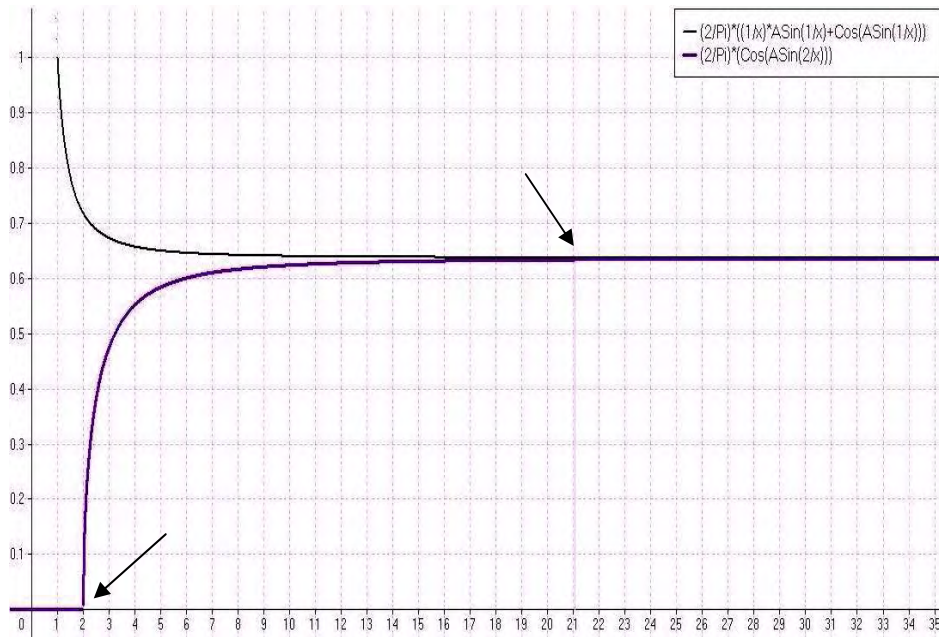
$$g(x) = \frac{2}{\pi} \cos \arcsin\left(\frac{2}{x}\right) \quad (6-18).$$

Η γραφική παράσταση της $g(x)$ εικονίζεται στη Εικόνα 6-18. Απ'όπου είναι εμφανής η κακή απόδοση του ανορθωτή τύπου γέφυρας για πολύ χαμηλές τάσεις εισόδου κοντά στο κατώφλι V_{th} αν και αναμενόμενο αφού τώρα διπλό κατώφλι τάσης πρέπει να ξεπεραστεί για την ορθή λειτουργία του ανορθωτή. Συγκρίνοντας τις δυο συμπεριφορές σχεδιάστηκαν μαζί οι δύο συναρτήσεις $z=f(x)$, $g=f(x)$, όπως στην Εικόνα 6-19 (Black line $z(x)$, Purple line $g(x)$).



Εικόνα 6-18. Η γραφική παράσταση της συνάρτησης $g=f(x)$ ή $\frac{\widehat{V}_{\text{rect}}}{V_{\text{in}}} = f\left(\frac{V_{\text{in}}}{V_{\text{th}}}\right)$

Από την ίδια συγκριτική Εικόνα 6-19, συμπεραίνουμε επίσης, ότι για $x < 21$ ή $V_{\text{in}} < 21V_{\text{th}}$ η συμπεριφορά του 1^{ου} Ανορθωτή (Gate Cross Connected) είναι πολύ καλύτερη του 2^{ου} (Κλασικής Γέφυρας Ανόρθωσης) και μάλιστα τόσο καλύτερη όσο η τάση πλησιάζει την τάση κατωφλίου V_{th} κατάσταση που συναντούμε πάντοτε στην περιοχή χαμηλών τάσεων εισόδου στα παθητικά RFIDs που συλλέγουν ενέργεια από το περιβάλλον.



Εικόνα 6-19. Οι γραφικές παραστάσεις των συναρτήσεων $z(x)$ (Εξ. 6-15) και $g(x)$ (Εξ. 6-18)

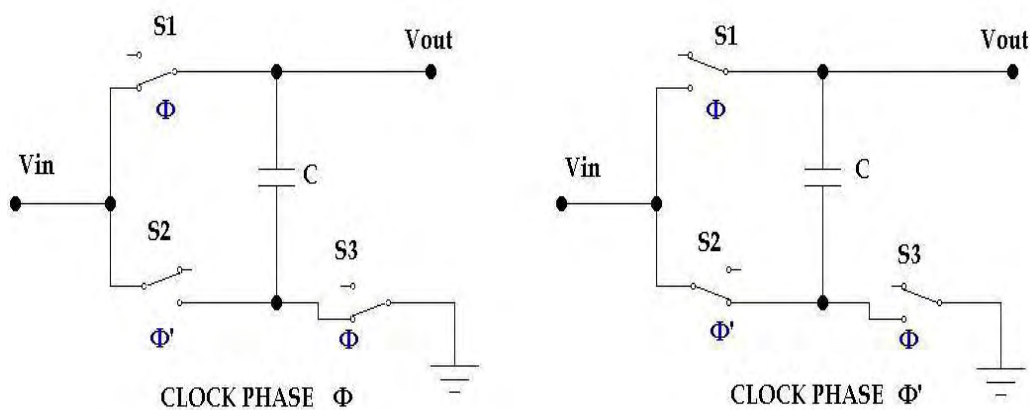
δηλαδή της $\frac{\widehat{V}_{\text{rect}}}{V_{\text{in}}} = f\left(\frac{V_{\text{in}}}{V_{\text{th}}}\right)$ για τις δυο περιπτώσεις Ανορθωτών.

Η περιοχή μετά την τιμή $x > 21$ εκφράζει τεράστιες τιμές τάσης που είναι ανέφικτες στην περίπτωση των RFIDs ακόμη και σε λειτουργία κοντινού πεδίου. Στην ίδια Εικόνα 6-19, μπορούμε να παρατηρήσουμε και την τιμή έναρξης των δυο συναρτήσεων, δηλαδή την τιμή έναυσης της ανόρθωσης σε κάθε ανορθωτή. Έτσι ο $1^{\text{ος}}$ εκκινεί από την τιμή $x = 1$ ή $V_{\text{in}} = V_{\text{th}}$ ενώ ο $2^{\text{ος}}$ από την τιμή $x = 2$ ή $V_{\text{in}} = 2V_{\text{th}}$ όπως εξηγήσαμε. Πάντως για $x > 21$ η απόδοση τους συγκλίνει σε μια κοινή τιμή ίση με $V_{\text{rect}} \approx 0,63V_{\text{in}}$ ή 63%. Επίσης στο όριο μεταξύ τάσεων εισόδου από $[V_{\text{th}}, 2V_{\text{th}}]$ ή $1 < x < 2$ και όπου ο $2^{\text{ος}}$ ανορθωτής είναι σε κατάσταση OFF ο $1^{\text{ος}}$ όχι μόνο είναι ON αλλά και η απόδοσή του κυμαίνεται από 70-100%, πράγμα πολύ σημαντικό στην περίπτωσή μας (at very low power RFID operation).

6.7.3 CP, VD και CTS με Switches (MOS, CMOS - TG)

Αν θεωρήσουμε έναν απλό διπλασιαστή τάσης που λειτουργεί σε διακοπτόμενων πυκνωτών λογική, τότε μπορούμε να αντικαταστήσουμε τους απλούς αυτούς διακόπτες MOS σε CMOS-Switches ή TG. Ουσιαστικά η λειτουργία που θα εξηγηθεί αποτελεί τη βάση στην οποία στηρίζουν την ύπαρξή τους τα κυκλώματα Charge

Pumps (CP DC-DC Converters) και CTS (Charge Transfer Switches). Οι τοπολογίες CTS αποτέλεσαν ουσιαστικά την εξέλιξη των απλών CP (κύρια τύπου Dickson ή Makowski VD) στη βάση βελτίωσης τους με σκοπό είτε την ελάττωση ή και εξάλειψη του «φαινομένου σώματος» (Body effect) είτε την ελάττωση της τάσης κατωφλίου V_{th} . Οι δεύτερες τεχνικές και καινοτόμες εξελίξεις απασχολούν και το πεδίο έρευνάς μας, ενώ οι πρώτες όχι ιδιαίτερα, λόγω της μικρής συμβολής του «φαινομένου σώματος» κατά τις πολύ χαμηλές τάσεις που χρησιμοποιούνται στα παθητικά κυκλώματα νανομετρικά ($<0.1\mu m$) ολοκληρωμένων ανορθωτών των RFIDs.



Εικόνα 6-20. Διπλασιαστής Τάσης (Voltage Doubler-VD) τοπολογίας Makowski [83]

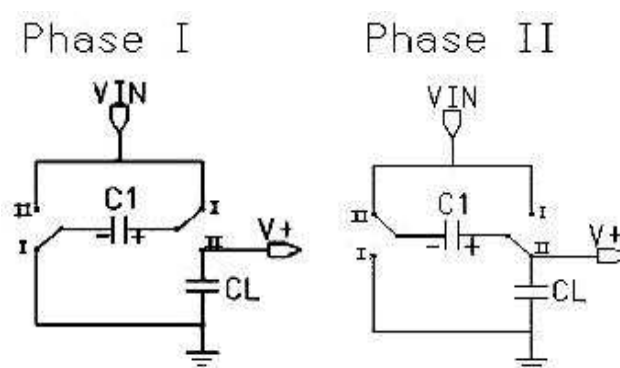
Με βάση λοιπόν την Εικόνα 6-20, όπου έχουμε την έτερη πιο συχνή τοπολογία διπλασιαστών τάσης (VD), τύπου Makowski [83], η λειτουργία του έχει ως εξής:

Για τη φάση I του ρολογιού $\Phi = 1$ ($\Phi' = 0$) οι διακόπτες S1, S3 είναι κλειστοί και ο διακόπτης S2 ανοιχτός. Έτσι η τάση στον πυκνωτή θα είναι $V_c = V_{in}$. Κατόπιν και για την άλλη φάση II του ρολογιού $\Phi' = 1$ ($\Phi = 0$) ο S2 κλείνει (οι S1, S3 ανοίγουν) οπότε το σήμα εισόδου V_{in} έρχεται στον πυκνωτή, στον οποίο ήδη υπάρχει από πριν το φορτίο $Q_c = C \cdot V_{in}$ οπότε λόγω της αρχής διατήρησης του φορτίου, έχουμε:

$$(V_{out} - V_{in}) \cdot C = V_{in} \cdot C \Rightarrow V_{out} = 2V_{in} \quad (6-19)$$

Έτσι έχουμε ένα στάδιο ενός Διπλασιαστή τάσης με χρήση 3 διακοπών είτε MOS-Switches είτε CMOS-Switches (TG). Βέβαια μπορούμε να συνδέσουμε κλιμακωτά (cascaded) πολλούς διπλασιαστές τάσης με σκοπό την επίτευξη μεγάλης τιμής τάσης συνεχούς στην έξοδο. Το κέρδος τάσης μιας τέτοιας τοπολογίας N σταδίων είναι ο $(N+1)^{στίς}$ αριθμός της ακολουθίας Fibonacci που προκύπτει αν ο κάθε επόμενος αριθμός της προκύψει από το άθροισμα των 2 αμέσως προηγούμενων ($X_n = X_{n-1} + X_{n-2}$, δηλ. 1,1,2,3,5,8,13,21,34,55,89 κλπ). Για $N = 4$ το κέρδος τάσης δηλαδή είναι 8.

Εξέλιξη των Διπλασιαστών τάσης έγινε κύρια από τους ερευνητές στην [84] με σκοπό την απαίτηση λιγότερων πυκνωτών (Starzyk VD) αλλά και MOS-Switches για την υλοποίηση της απαιτούμενης τάσης εξόδου από N στάδια διπλασιαστών τάσης. Με βάση την ανάλυσή τους σχετικά με το κέρδος τάσης ενός VD υπό φορτίο R_L έδειξαν ότι η έξοδος είναι μικρότερη προφανώς από $2V_{in}$ αλλά το ποσοστό μείωσης ελαττώνεται με τη χρήση μεγάλης συχνότητας των αντιφασικών μη επικαλυπτόμενων ρολογιών και με τη χρήση μεγάλων τιμών χωρητικότητας πυκνωτών. Πρέπει να τονιστεί ότι οι Διπλασιαστές τάσης που προαναφέραμε έχουν μόνο διακόπτες και καθόλου διόδους σε αντίθεση με την τοπολογία Dickson που έχει ήδη αναλυθεί.



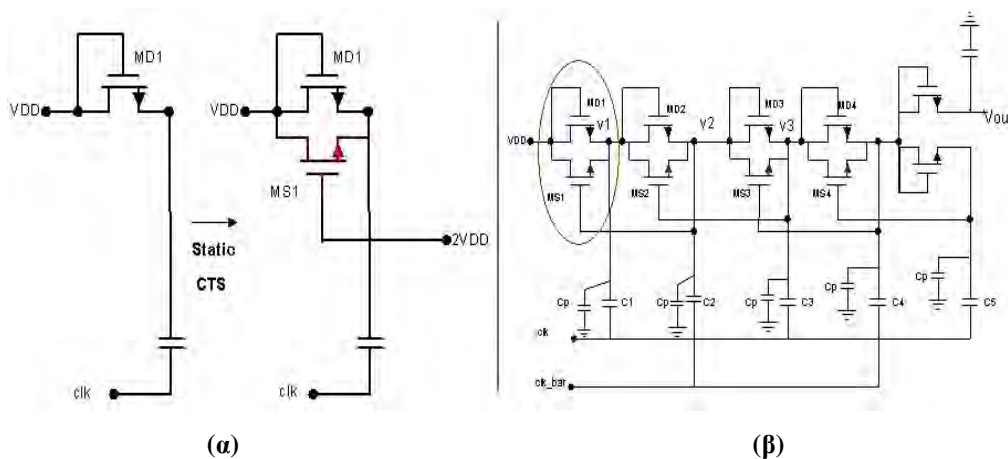
Εικόνα 6-21. Διπλασιαστής Τάσης (Voltage Doubler-VD) τοπολογίας Starzyk [84]

Η λειτουργία αυτού του Διπλασιαστή τάσης με 2 διακόπτες (Εικόνα 6-21) είναι εύκολη, αφού στην μία φάση I του ρολογιού, ο πυκνωτής C_1 αποκτά τάση $V_{C1} = V_{in}$ ενώ στην επόμενη φάση II του ρολογιού θα ισχύει, $V_{out} = V_{C1_Phase I} + V_{in} = 2V_{in}$ (στην ιδανική περίπτωση και χωρίς ωμικό φορτίο στην έξοδο).

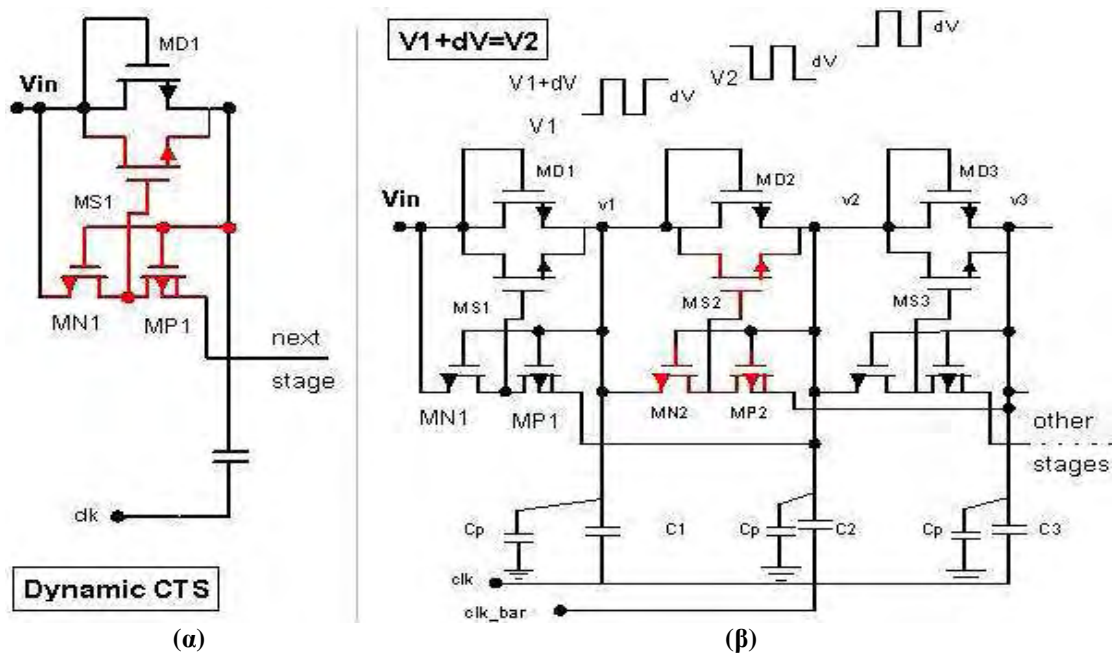
Βέβαια πολλές καινοτόμες υλοποιήσεις [107] έχουν πραγματοποιηθεί στη λογική της μείωσης της τάσης κατωφλίου αλλά και της εξάλειψης του φαινομένου σώματος, όπως αναφέρθηκε, κύρια με την εισαγωγή διακοπών στην κλασική τοπολογία CP Dickson ή με τη χρήση διακοπών και μόνο όπως στην περίπτωση των VD. Ουσιαστικά πρόκειται για υλοποιήσεις CTS Charge pumps που εμπεριέχουν διατάξεις CTS (Charge Transfer Switch) δηλαδή στατικούς ή δυναμικούς διακόπτες ώστε να αυξήσουν το κέρδος τάσης αυτών των CP (κύρια ελαττώνοντας ή εξαλείφοντας το V_{th}). Η βασική ιδέα σχεδιασμού ανάλογων κυκλωμάτων CTS είναι η χρήση διακοπών (MOS-Switches ή TG) με ακρίβεια στο άνοιγμα και κλείσιμό τους ως διακόπτες, ώστε να μεταφέρουν τα απαιτούμενα φορτία κατά τη λειτουργία διακοπόμενων πυκνωτών, χωρίς την ύπαρξη πτώσης τάσης που τα MOS-diodes εγγενώς αναπόφευκτα έχουν. Έκδηλο είναι, πως ένα τρανζίστορ σε διακοπτική

λειτουργία, καταναλώνει πολύ λιγότερη ισχύ αφού εργάζεται εκτός της περιοχής ενεργού λειτουργίας έχοντας έτσι αμελητέα πτώση τάσης εσωτερικά του. Προφανώς πρόκειται για εξέλιξη των κυκλωμάτων που ήδη αναλύσαμε και τα οποία είναι απολύτως ολοκληρώσιμα σε μορφή chip, μιας και δεν περιέχουν μαγνητικά στοιχεία (inductorless architecture) όπως άλλες υλοποιήσεις πολλαπλασιαστών τάσης (Boost or Step-up Converters, SMPS-Switch Mode Power Supplies) που για το λόγο αυτό δεν μας απασχόλησαν.

Η πρώτη και κυριότερη ανάλογη καινοτόμα σχεδίαση CTS εισήχθη από την [85] όπου εξέλιξαν την τοπολογία Dickson CP με την εισαγωγή ενός τροποποιημένου διακόπτη Static CTS για την εξάλειψη της πτώσης τάσης των MOS-diodes, κύρια λόγω της τάσης κατωφλίου τους. Μια αναπαράσταση αυτού του διακόπτη έχουμε στην Εικόνα 6-22α, όπου στα ήδη υπάρχοντα MOS-diodes MDi (Εικόνα 6-3) προστέθηκε από ένας MOS-switch MSi, με στόχο την ελάττωση του threshold voltage του MDi ($i = 1 \dots N$ for N stages). Αυτό επιτυγχάνεται λαμβάνοντας τις υψηλότερες τάσεις της επόμενης βαθμίδας ώστε να ελέγξουν το CTS MSi της προηγούμενης (Εικόνα 6.22β για $N = 4$ στάδια). Έτσι το κάθε MOS-switch MSi ανοίγει εύκολα (υποθέτοντας κέρδος τάσης ανά βαθμίδα $\Delta V = V_{i+1} - V_i$, τότε π.χ. για το MS2 θα ανοίγει εάν, $(V3 + \Delta V) - V2 = 2\Delta V > V_{th_NMOS} < V2$ που πάντοτε θα ισχύει) αλλά έχει το βασικό μειονέκτημα ότι δεν κλείνει εντελώς ποτέ (reverse charge sharing problem). Κατά την αύξηση δε της τάσης, ισχύει ότι η κατώτερη τάση του επόμενου σταδίου θα ισούται με την ανώτερη του αμέσως προηγούμενου, αντίθετα με τον κλασικό Dickson CP που η διαφορά αυτή ήταν ανάλογη της V_{th} . Έτσι προτάθηκε 2^η λύση ως εξέλιξη του NCP-1, ονομαζόμενη NCP-2 όπως στην Εικόνα 6-23, από τους ίδιους ερευνητές.



Εικόνα 6-22. α) Static CTS και β) Modified #1 Dickson CP (NCP-1) [85]

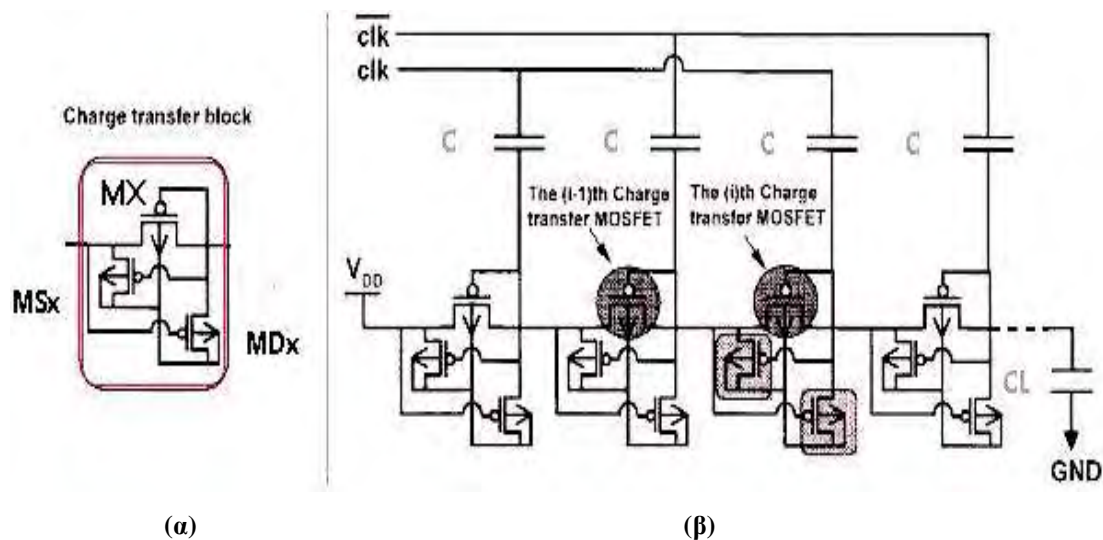


Εικόνα 6-23. α) Dynamic CTS και β) Modified #2 Dickson CP (NCP-2) [85]

Τα transistors MN_i, MP_i της Εικόνας 6-23 έχουν το σκοπό, το μεν πρώτο για να κλείνει εντελώς το MS_i ενώ το δεύτερο για να ανοίγει το MS_i .

Έτσι εξαλείφεται το προηγούμενο μη απόλυτο κλείσιμο του MS_i στην τοπολογία NCP-1, ενώ παράλληλα εξαφανίζεται το κατώφλι τάσης των MOS-diodes MD_i . Αν για παράδειγμα πάρουμε το MS_2 της Εικόνας 6-23β, τότε το άνοιγμά του υποβοηθείται από το MP_2 που ανοίγει κατά τη φάση CLK High ελεγχόμενο από την τάση του επόμενου σταδίου V_3 . Αντίστοιχα το κλείσιμο του MS_2 υποβοηθείται από το MN_2 που ανοίγει κατά τη φάση CLK Low ελεγχόμενο από την τάση V_1 του προηγούμενου σταδίου. Περαιτέρω εξέλιξη της τοπολογίας αυτής (Εικόνα 6-24β) έγινε στην [86], όπου λήφθηκε υπόψιν και επιλύθηκε το πρόβλημα της αύξησης της V_{th} λόγω του Body effect, που στις μεγάλες τάσεις των τελευταίων ειδικά σταδίων ενός CP κάνει αρκετά αισθητή την παρουσία του (Ενότητα 5.1).

Ουσιαστικά ελέγχεται το δυναμικό υποστρώματος που επιδρά στην τάση κατωφλίου V_{th} . Σε σχέση με την τοπολογία κλασικού Dickson CP έχει δυο ακόμη βοηθητικά MOSFETS (όλα PMOS, MS_x, MD_x , έκαστο συνδεδεμένο με Source και Drain αντίστοιχα του MOS-diode MX όπως στην Εικόνα 6-24α). Και τα 3 τρανζίστορ διαμοιράζονται κατασκευαστικά το ίδιο υπόστρωμα απομονωμένο από το σώμα κάθε άλλης τριάδας αντίστοιχων τρανζίστορς άλλης βαθμίδας. Όταν το MX ανοίγει τότε το ίδιο κάνει και το MS_x που συνδέει πηγή και σώμα του MX .



Εικόνα 6-24. α) Charge Transfer Block, β) CP άνευ επίδρασης του Body Effect στο V_{th} [86]

Έτσι καθόλου ανάστροφο ρεύμα δεν θα υπάρχει μεταξύ S-B του MX, οπότε δεν αυξάνει και το V_{th} . Όταν το MX κλείνει, τότε ανοίγει το MDx. Υπάρχει δε σύνδεση μεταξύ D-B του MX μέσω του ανοιχτού MDx οπότε το υπόστρωμα δε μένει σε κατάσταση floating. Αποφεύγεται με τον τρόπο αυτό η εξάρτηση της τάσης κατωφλίου από το φαινόμενο σώματος.

Στη Βιβλιογραφία υπάρχουν βέβαια και υλοποιήσεις μεγαλύτερης πολυπλοκότητας που χρησιμοποιούν έως και 4 διαφορετικά ρολόγια χρονισμού (DC-DC Converters only) οπότε δεν έχουν καμία υπόσταση στην περίπτωση μας όπου όπως είδαμε το ρόλο των δυο αντιφασικών ρολογιών, κατά προσέγγιση -αλλά με επιτυχία- τον έχει το σήμα RF.

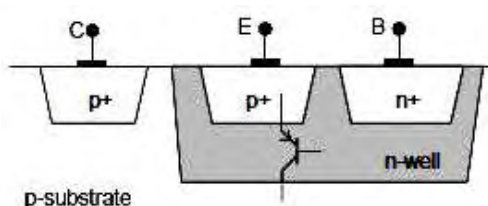
6.8 Κυκλώματα υποστήριξης και προστασίας Ανορθωτών

6.8.1 Κύκλωμα Παραγωγής Τάσης Αναφοράς Χάσματος Ζώνης - Bandgap Voltage References (BVR)

Πρόκειται για κυκλώματα παραγωγής σταθερής τάσης ανεξάρτητης από τη μεταβολή της θερμοκρασίας, απαιτούμενης για την απρόσκοπτη λειτουργία του chip. Πολλές προσεγγίσεις λύνουν το πρόβλημα αυτό, όπως χρήση διόδων Zener, η χρήση της διαφοράς των τάσεων κατωφλίου μεταξύ ενός MOS πύκνωσης (προσαύξησης) διαύλου και ενός απογύμνωσης διαύλου, καθώς και η υλοποίηση κυκλωμάτων που καθιστούν από αρνητική (CTAT, Complementary To Absolute Temperature) σε

θετική (PTAT, Proportional To Absolute Temperature) τη θερμοκρασιακή εξάρτηση μιας επαφής p-n (Bandgap Voltage References). Οι δυο πρώτες λύσεις δε χρησιμοποιούνται σε ολοκληρωμένα κυκλώματα CMOS, η μεν πρώτη λόγω της μεγάλης τάσης κατάρρευσης των διόδων Zener (Breakdown Voltage π.χ. 6V) σε σχέση με τις πολύ μικρές τάσεις (~1V) που σήμερα είναι σε χρήση και η δε δεύτερη λόγω της μη ύπαρξης τρανζίστορ αποκένωσης καναλιού στην παραγωγή, όπως αναφέραμε.

Η τρίτη μέθοδος μπορεί να θεωρηθεί συμβατή με την τεχνολογία CMOS αν και η απαιτούμενη επαφή p-n μόνο παρασιτικά (Εικόνα 6-25) μπορεί να υλοποιηθεί, από το κάθετο διπολικό τρανζίστορ (χρησιμοποιώντας για ένα PMOS το υπόστρωμα ως συλλέκτη, τις περιοχές τύπου-P σαν εκπομπό (πηγή, υποδοχή) και σα βάση το πηγάδι τύπου-N) που αναφέραμε στην ενότητα 5.2 και απεικονίστηκε στην Εικόνα 5-4. Βέβαια σε BiCMOS τεχνολογία μπορεί προφανώς να υλοποιηθεί άμεσα κι όχι παρασιτικά, αφού στην περίπτωση αυτή θα υπάρχουν περιορισμοί τόσο ευελιξίας σχεδιασμού και πολώσεων, όσο και το πολύ μικρό κέρδος ($h_{FE} \approx 7$ αντί ≈ 100 στα διπολικά).



Εικόνα 6-25. Parasitic vertical PNP bipolar in PMOS [45]

Ουσιαστικά, η αρχή στην οποία στηρίζουν τη λειτουργία τους ανάλογα κυκλώματα είναι η δυνατότητα άθροισης των εξόδων δύο υποκυκλωμάτων με αντίθετους αλλά ίσους συντελεστές εξάρτησης από τη θερμοκρασία, με αποτέλεσμα την επίτευξη μηδενικού θερμοκρασιακού συντελεστή τελικά (Temperature Independent, $TC = 0$).

Η υλοποίηση μιας PTAT τάσης αναφοράς, επιτυγχάνεται λαμβάνοντας είτε τη διαφορά τάσεων στα άκρα δυο όμοιων διόδων που διαρρέονται από διαφορετικά ρεύματα, είτε τη διαφορά τάσεων στα άκρα δύο διόδων διαφορετικών που τις διαρρέει το ίδιο ρεύμα. Γενικά ο (θετικός) θερμοκρασιακός συντελεστής TC σε αυτές τις περιπτώσεις, δίνεται από τη σχέση:

$$TC_{PTAT} = \frac{k}{q} \ln N > 0 \quad (6-20)$$

Όπου k ή σταθερά του Boltzman, q το φορτίο του e^- και N ο λόγος, είτε των ρευμάτων των διόδων I_d (BJT-diodes) της 1^{ης} περίπτωσης, είτε των αναστροφών ρευμάτων κόρου I_S της 2^{ης} περίπτωσης [48, 50]. Είναι γνωστή εξάλλου και η εξάρτηση της θερμοκτικής τάσης $V_T = kT/q$ από τη θερμοκρασία, με συντελεστή $0.086mV/^\circ C$.

Όσον αφορά τις αναφορές τάσης CTAT, αυτές στηρίζουν τη λειτουργία τους στον αρνητικό θερμοκρασιακό συντελεστή που παρουσιάζει η τάση στα άκρα μιας διόδου ή ενός BJT-diode. Όπως είναι γνωστό η τάση Βάσης – Εκπομπού των διπολικών τρανζίστορ V_{BE} , έχει τον αρνητικό θερμοκρασιακό συντελεστή $-2.2mV / ^\circ C$. Θα μπορούσε δηλαδή κανείς να παράγει μια τάση εξόδου ανεξάρτητη της θερμοκρασίας, αν άθροιζε τις ακόλουθες τάσεις: $V_{total} = V_{BE} + 25.6V_T$, όπου ο συντελεστής $25.6 = 2.2/0.086$ και μπορεί να υλοποιηθεί πολύ εύκολα με έναν διαιρέτη τάσης.

Η τάση αναφοράς Bandgap, βασίζεται στην ιδέα του David Hilbiber δημοσιευμένη το 1964 (Fairchild Semiconductor). Σύμφωνα με αυτήν, τα κυκλώματα Bandgap αποτελούνται από δύο ομάδες διοδικά συνδεδεμένων διπολικών transistors, που λειτουργούν με διαφορετικές πυκνότητες ρεύματος εκπομπού και που όπως αναφέραμε, παράγουν στην έξοδο μια σταθερή τάση ανεξάρτητη της θερμοκρασίας που η τυπική τιμή της είναι τα $1.2567 V$, η οποία είναι περίπου και η τιμή της ζώνης χάσματος E_g (σε eV) του πυριτίου, απ' όπου προέκυψε και η ονομασία της (Εικόνα 6.26α).

Η επόμενη εξέλιξη ακολούθησε από τον R. Widlar (1971) που δημοσίευσε το κύκλωμα της Εικόνας 6.26β. Ουσιαστικά δόμησε μια τελική τάση αναφοράς $V_{ref} = 1.2V$, με την ακόλουθη λογική:

$$V_{ref} = (CTAT Voltage) + (Voltage Division) * (PTAT Voltage)$$

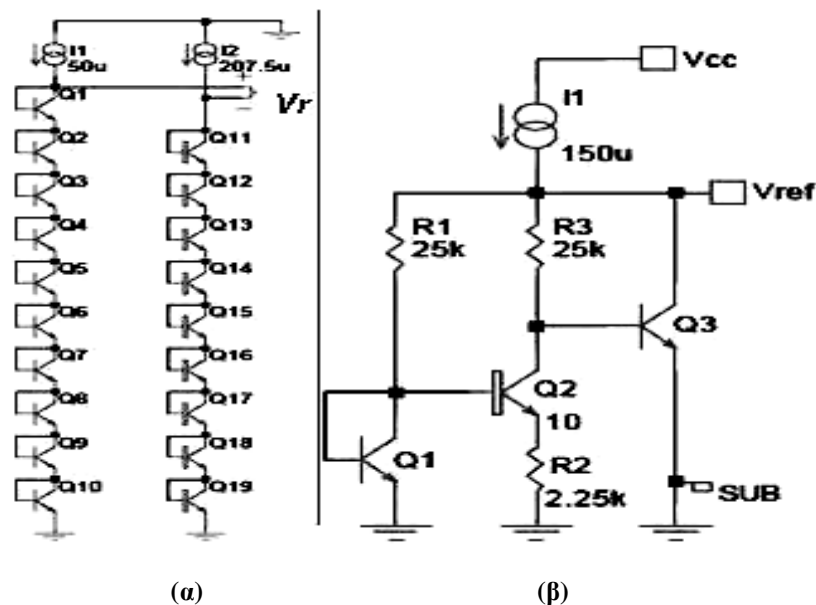
Με συνακόλουθο αποτέλεσμα την τελικά ανεξάρτητη τάση αναφοράς εξόδου από τη θ. Ακριβέστερα και με βάση την Εικόνα 6-26β, η $R1$ δημιουργεί ένα ρεύμα στο Q_1 , ενώ επειδή το τρανζίστορ Q_2 είναι 10 φορές πιο μεγάλο εκπομπού ($A_2 = 10.A_1$), θα υπάρχει μεταξύ τους μια διαφορά $\delta V_{BE} = 26mV \cdot \ln 10 \approx 60mV$ με βάση την εξίσωση που βρήκε ο Widlar:

$$\delta V_{BE} = V_T \ln \left(\frac{\frac{I_2}{A_2}}{\frac{I_1}{A_1}} \right) = \frac{kT}{q} \frac{J_2}{J_1} \quad (6-20)$$

Στην οποία είναι φανερή η εξάρτηση της μεταβολής δV_{BE} από το λόγο των πυκνοτήτων ρεύματος εκπομπού ($J_i = I_i/A_i$) και που μπορεί να υλοποιηθεί είτε χρησιμοποιώντας διαφορετικά ρεύματα πόλωσης είτε διαφορετικά μεγέθη εκπομπού ή και τα δύο μαζί. Έτσι, στην R_2 έχουμε αυτή την τάση όποτε στην R_3 θα έχουμε μετά από τη διαίρεση τάσης την πτώση τάσης, $\delta V_{BE} \cdot (R_3 / R_2)$. Εντέλει η τελική τάση αναφοράς, ήταν το άθροισμα αυτής της τάσης στην R_3 με την τάση V_{BE} του Q_3 ή:

$$V_{ref} = (V_{BE-Q_3}) + \left(\frac{R_3}{R_2}\right) * \left(\frac{kT}{q} \frac{J_2}{J_1}\right) \quad (6-21)$$

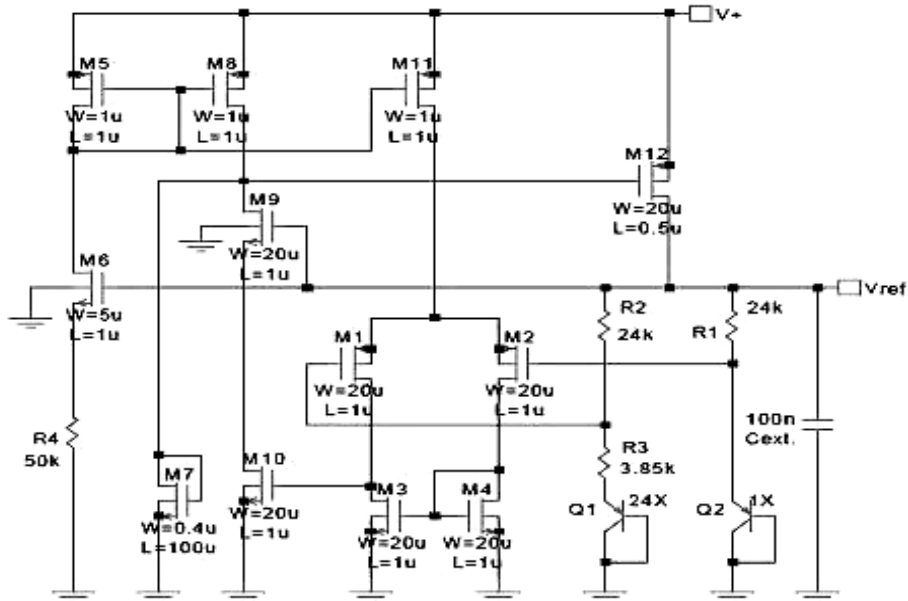
CTAT + Volt. Div * PTAT



Εικόνα 6-26. α) Η 1^η τάση αναφοράς του D. Hilbiber, β) Η υλοποίηση του R. Widlar [89]

Το όλο κύκλωμα ήταν μάλιστα αρκετά ευσταθές λόγω των παρασιτικών χωρητικότητων των διπολικών τρανζίστορς που εμπόδιζαν τις ταλαντώσεις, ενώ μια αλλαγή της τιμής της R_3 θα επηρέαζε τον όρο PTAT με αύξηση αντίστοιχα της V_{ref} .

Στα χρόνια που ακολούθησαν πάμπολλες τοπολογίες προτάθηκαν, όλες όμως στηρίζουν τη λειτουργία τους στη λογική των κυκλωμάτων που αναλύθηκαν, ενώ τα τελευταία χρόνια η έρευνα στράφηκε στην υλοποίηση κυκλωμάτων που λειτουργούν σε πολύ χαμηλές τάσεις τροφοδοσίας ($< 1V$) μιας κι η τοπολογία που αναλύθηκε απαιτούσε 1.4 V που την καθιστά άχρηστη στις σημερινές απαιτήσεις Low Power & Low Voltage. Μια ανάλογη κυκλωμάτωση υλοποιημένη και απόλυτα συμβατή με τεχνολογία CMOS έχουμε στην Εικόνα 6.27. Εδώ τα απαραίτητα διπολικά τρανζίστορ Q_1, Q_2 δομήθηκαν από τα παραστικά vertical PNP BJT των P-MOSFETs.



Εικόνα 6-27. CMOS Bandgap Reference with $Q_{1,2}$ parasitic vertical PNP bulk diodes [89]

Το Q_2 είναι μονού εκπομπού ενώ το Q_1 έχει 24 και σχεδιάζεται περιτριγυρίζοντας το Q_1 . Οι αντιστάσεις R_1 , R_2 είναι ίσες, ενώ η διαφορά δV_{BE} εμφανίζεται πάνω στην R_3 . Η τιμή της $\delta V_{BE} = 26\text{mV} \cdot \ln 24 = 82.6 \text{ mV}$, οπότε αυτή η τάση έπειτα ενισχύεται από τα M_1 , M_2 , M_3 , M_4 , M_9 , M_{10} , M_{12} που έχουν τα μεγέθη όπως στην Εικόνα 6-27. Αν και τα 4 πρώτα έχουν απόλυτα όμοια μεγέθη για σωστό matching, τα 2 τελευταία έχουν τεράστια μεγέθη για την επίτευξη της αναγκαίας διαγωγιμότητας (gain), ενώ το M_9 βοηθά ως ένα *cascode stage* την ελάττωση των επιδράσεων από τις διακυμάνσεις της πώλωσης τροφοδοσίας λόγω της διαμόρφωσης μήκους διαύλου (channel length modulation, βλ. Ενότητα 5.1). Το M_7 ένα πολύ στενό και μακρύ MOSFET, εκκινεί το κύκλωμα, τροφοδοτώντας με ένα μικρό ρεύμα το βρόγχο. Όταν η επιθυμητή τάση αναφοράς εμφανιστεί στην έξοδο V_{ref} το M_6 με την R_4 τροφοδοτούν το απαραίτητο ρεύμα από τον καθρέπτη ρεύματος (cascode current mirror) M_5 , M_6 , M_{11} [45, 89]. Ο πυκνωτής C_{ext} συντελεί στην αύξηση ευστάθειας (frequency compensation) του όλου κυκλώματος, μέσω εισαγωγής πόλου στη συνάρτηση μεταφοράς του κυκλώματος και που καθιστά αδύνατη την έναυση ανεπιθύμητων ταλαντώσεων.

6.8.2 Voltage Regulators (Protectors, Voltage Limiters)

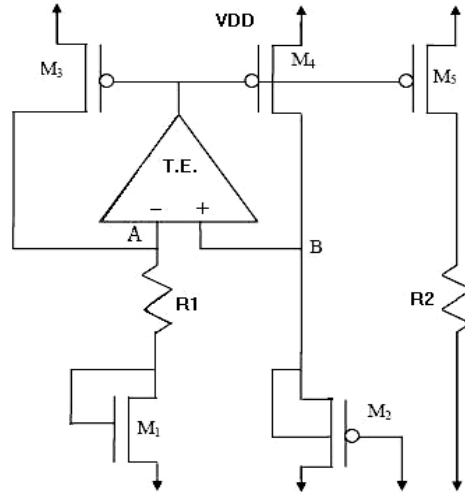
Στη σχεδίαση των Αναλογικών CMOS κυκλωμάτων, συνήθως χρησιμοποιούνταν το κύκλωμα χάσματος ζώνης (bandgap) ως γεννήτρια τάσεων αναφοράς. Σήμερα όμως που οι τάσεις λειτουργίας (άρα τροφοδοσίας) είναι κάτω των 1.25 Volts που απαιτούν όπως είδαμε τα κυκλώματα bandgap, η χρηστικότητα ανάλογων κυκλωμάτων σταδιακά τείνει στο μηδέν. Έτσι στο Analog RF front-end των RFID tags χρησιμοποιούνται ειδικά σχεδιασμένα κυκλώματα που απαιτούν τάσεις τροφοδοσίας ακόμα και κάτω των 800mV. Επίσης αν και τα συμβατικά κυκλώματα παραγωγής τάσεων αναφοράς απαιτούσαν και διπολικά τρανζίστορ (που όπως είδαμε μόνο παρασιτικά υλοποιούνται σε CMOS), εντούτοις σήμερα έχουν προταθεί υλοποιήσεις συμβατές με την τεχνολογία CMOS, αξιοποιώντας την θερμοκρασιακή εξάρτηση στην υποκατωφλιακή περιοχή λειτουργίας των MOSFETs, μειώνοντας έτσι την απαιτούμενη παροχή τάσης τροφοδοσίας σε πολύ χαμηλά επίπεδα, αλλά και την κατανάλωση [96, 97, 100]. Βέβαια η ίδια μείωση της απαιτούμενης τάσης τροφοδοσίας έπρεπε να συνοδεύει και τους απαιτούμενους Τελεστικούς Ενισχυτές που όπως θα δούμε απαιτούνται στην υλοποίηση των κυκλωμάτων σταθεροποίησης τάσης. Οι προταθείσες τοπολογίες τάσεων αναφοράς, βασίζονται στη λογική της αρχικής bandgap κυκλωμάτωσης, όμως αντί να λαμβάνουν υπόψη τη διαφορά τάσεων μεταξύ μιας ή και περισσοτέρων διόδων (BJT-Diodes), λαμβάνουν υπόψη τη διαφορά μεταξύ των τάσεων V_{GS} μεταξύ δυο τρανζίστορ N-type και P-type που λειτουργούν στον κόρο. Με έναν καθρέπτη ρεύματος εξαναγκάζουμε να είναι ίσα τα ρεύματα των 2 τρανζίστορ, οπότε θεωρώντας και βάσει σχεδίασης ότι έχουν μεταξύ τους ίσους τους όρους $\mu_{n,p}C_{ox}(W/L)_{n,p}$ (στην Εξίσωση 5-5) θα έχουμε τελικά ότι:

$$V_{GS_N} = V_{th-N} + \sqrt{\frac{2I_N}{\mu_N C_{ox} (W/L)_N}}, \quad V_{GS_P} = |V_{th-P}| + \sqrt{\frac{2I_P}{\mu_P C_{ox} (W/L)_P}}, \quad (6-22)$$

$$\xrightarrow{I_N = I_P, \mu_N C_{ox} (W/L)_N = \mu_P C_{ox} (W/L)_P} \boxed{V_{GS_P} - V_{GS_N} = |V_{th-P}| - V_{th-N}}$$

Δηλαδή, λαμβάνεται μια τάση σταθερή και θερμοκρασιακά ανεξάρτητη αφού η εξάρτηση από τη θερμοκρασία των τάσεων κατωφλίου των δύο τύπων MOSFETs θεωρείται η ίδια.

Ακριβέστερα, μια ανάλογη κυκλωμάτωση έχει ως εξής [93, 95, 101]:



Εικόνα 6-28. Δημιουργία Τάσης Αναφοράς (V Reference) με χρήση μόνο MOSFETs [93, 101]

Όπου ο T.E. θεωρείται ιδανικός, με αποτέλεσμα οι δύο εισοδοί του να είναι ισοδυναμικές ($V_+ = V_-$) οπότε, $V_A = V_B$, στην Εικόνα 6-28. Επίσης, η πτώση τάσης στα άκρα της αντίστασης R_1 θά'ναι, $V_{R_1} = V_A - V_{GS_{M1}}$. Οπότε με βάση και την εξίσωση 6-22 έχουμε, $V_{R_1} = V_{GS_{P}} - V_{GS_{N}} = |V_{th-P}| - V_{th-N}$. Έτσι το ρεύμα στην έξοδο, δηλαδή στο PMOSFET M_5 , θα είναι (current mirroring):

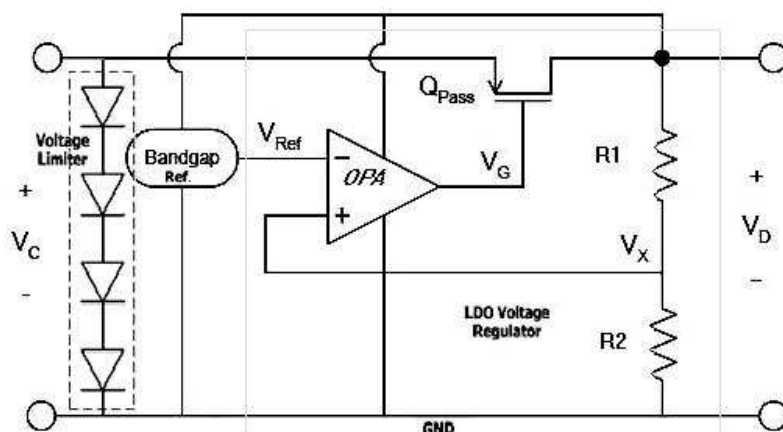
$$I_{out} = I_{M_5} = I_{R_1} = \frac{|V_{th-P}| - V_{th-N}}{R_1}, \quad V_{ref} = V_{out} = I_{out} \cdot R_2, \quad (6-23)$$

$$\boxed{V_{ref} = \frac{R_2}{R_1} (|V_{th-P}| - V_{th-N})}$$

Δηλαδή, τελικά χωρίς τη χρήση διόδων διπολικών τρανζίστορ αλλά με τη χρήση μόνο MOSFETS για τον Τελεστικό Ενισχυτή χαμηλής τροφοδοσίας αλλά και τα $M1-5$, παίρνουμε μια τάση αναφοράς ανάλογη με το λόγο των αντιστάσεων και της διαφοράς των τάσεων κατωφλίου των MOSFETS n-type και p-type. Βέβαια εδώ ακριβώς έγκειται και το βασικό μειονέκτημα της τοπολογίας, αφού βρίσκεται σε άμεση εξάρτηση με την τεχνολογία και ειδικότερα με την επιλογή του τύπου των τρανζίστορ αναφορικά με την τάση κατωφλίου που μπορούν αυτά να έχουν (στην Τεχνολογία (IBM) των 90nm που χρησιμοποιήσαμε, υπήρχαν LVT NMOS & PMOS αλλά και ZVT NMOS, με ελάχιστο όμως κανάλι στα 100nm). Ειδικά σε τέτοια μικρά μήκη καναλιών η δύκολα μοντελοποιήσιμη και κατηγοριοποιήσιμη θερμοκρασιακή εξάρτηση των τάσεων κατωφλίου κάθε τύπου MOSFET, καθιστά τη σχεδίαση πολύ πιο δύσκολη αφού αν δεν είναι ακριβώς όμοια η θερμοκρασιακή εξάρτηση των V_{th} στα N-type και P-type τρανζίστορς τότε η εξίσωση 6-22 παύει να ισχύει και

εξαρτάται η τελική V_{ref} μη γραμμικά από τη θερμοκρασία με τρόπο απρόβλεπτο και μη διαχειρίσιμο. Ούτε είναι πάντα εύκολη η πρόσβαση σε πληροφορίες του είδους αυτού, από την παραγωγική διαδικασία.

Η υλοποίηση τώρα ενός κυκλώματος σταθεροποίησης (ρύθμισης) της τάσης (Voltage Regulator, Εικόνα 6-29) στηρίζεται σε έναν βρόγχο ελέγχου, υλοποιούμενου από ένα τελεστικό ενισχυτή (OPA, Error Amplifier με χαμηλή τάση τροφοδοσίας) που δέχεται στη μία του είσοδο την τάση αναφοράς V_{ref} και στην άλλη του είσοδο την τάση V_X που παράγεται από τη διαίρεση της τάσεως εξόδου V_D πάνω στο διαιρέτη τάσης των $R1, R2$. Το ρεύμα προφανώς στον κλάδο του διαιρέτη τάσης είναι ελάχιστο σε σχέση με το ρεύμα στο φορτίο της εξόδου (λόγω της άπειρης αντίστασης εισόδου του (ιδανικού, θεωρούμενου με άπειρο κέρδος) Τ.Ε., ενώ για τον ίδιο λόγο θα είναι και $V_+ = V_-$ ή $V_{ref} = V_X$). Το τρανζίστορ Q_{pass} (pass device) είναι ένα PMOSFET απαιτούμενο για την αντιστάθμιση διαφορετικών φορτίων εξόδου. Βέβαια εδώ πρόκειται για LDO Regulator (Low Drop Out) αφού σε κλασικούς (standard) regulators, έχουμε περισσότερα τρανζίστορ (π.χ. διπολικά σε σύνδεση Darlington) που όμως απαιτούν περισσότερη τάση για να λειτουργήσει το κύκλωμα και δεν είναι χρήσιμα σε μια Low Voltage σχεδίαση. Έτσι ο τελεστικός ενισχυτής σφάλματος, ανιχνεύει μέσω του βρόγχου ανάδρασης, την τάση εξόδου και έτσι μέσω της απαίτησης ισοδυναμικότητας των εισόδων του Τ.Ε. μεταβάλλει την τάση εξόδου αυτή μέσω του νέου κάθε φορά ρεύματος στο φορτίο, παραγόμενου από το ενισχυμένο από το Q_{pass} ρεύμα εξόδου του Τ.Ε., κρατώντας τη σταθερή ανεξαρτήτως του ρεύματος στο φορτίο εξόδου.



Εικόνα 6-29. A typical LDO (Low Drop Out) Voltage Regulator

Ακριβέστερα, η τάση V_X , λόγω του διαιρέτη τάσης δίνεται από την:

$$V_X = V_D \frac{R_2}{R_1 + R_2} \xrightarrow{V_X = V_{ref}} V_D = V_{ref} \left(1 + \frac{R_1}{R_2} \right) \quad (6-24)$$

Οπότε μπορούμε με την κατάλληλη επιλογή των R_1 , R_2 να έχουμε όποια τάση επιθυμούμε στην έξοδο του σταθεροποιητή τάσης. Χρειάζεται όμως προσεκτικός σχεδιασμός του Q_{pass} ώστε το ρεύμα που αυτό αντλεί κατά το βρόγχο (ανάδρασης) ελέγχου της τάσης εξόδου, να μην θέτει τον TE σε μη γραμμική περιοχή με αποτέλεσμα την πύση της σταθεροποίησης της τάσης εξόδου. Ουσιαστικά το ρεύμα στην υποδοχή του Q_{pass} άρα και στο φορτίο εξόδου (ελάχιστο είπαμε εισέρχεται στο διαιρέτη τάσης) δίνεται από τη σχέση 5-1 που προσεγγιστικά θα ισχύει [90]:

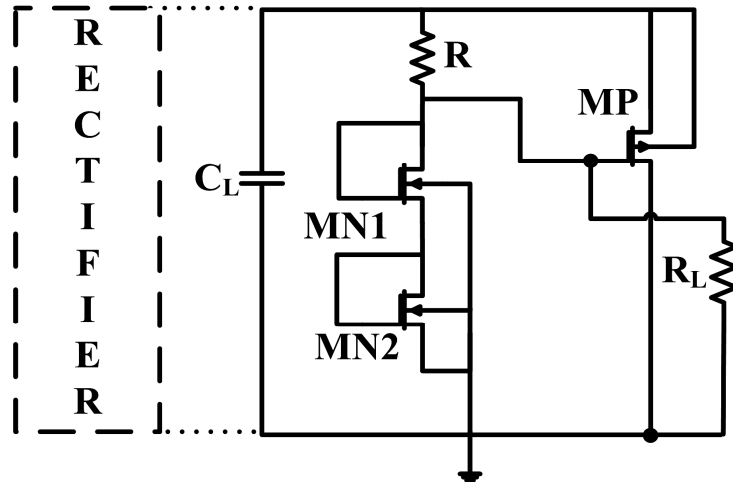
$$I_D = \frac{K'W}{L} (V_{GS} - V_T)(V_D - V_C), \quad V_{ds} = V_D - V_C \quad (6-25)$$

Οπότε, όταν λόγω του βρόγχου η τάση πρέπει στην έξοδο να αυξηθεί άρα απαιτείται αύξηση στο ρεύμα φορτίου άρα και στο I_D , τότε αυξάνει και η V_{GS} , οπότε επειδή η τάση πηγής V_S είναι σταθερή ως είσοδος V_C , προφανώς θα αυξάνεται η τάση πύλης V_G με αποτέλεσμα την μετάβαση του TE σε περιοχή μη γραμμικότητας. Ουσιαστικά ένα μεγάλο ρεύμα I_D , απαιτεί μια πιο μικρή αντίσταση ώστε να διατηρήσει μια τάση $V_{DS} (=V_D - V_C = V_{out} - V_{in})$. Όμως όσο μικρότερη η αντίσταση (εξίσωση 6-9 και 5-8) τόσο μεγαλύτερη η απαιτούμενη τάση V_{GS} , οπότε λαμβάνουμε το ίδιο αποτέλεσμα με την προηγούμενή μας θεώρηση.

Στην παραπάνω Εικόνα 6-29, παρατηρούμε κι ένα απλό περιοριστή τάσης στην είσοδο του σταθεροποιητή, αποτελούμενου από 4 διόδους σε σειρά. Γενικά ένας περιοριστής τάσης (Voltage Limiter) θέτει κάποια επιτρεπτά όρια στην τιμή της παρεχόμενης τάσης και συνήθως υλοποιούνταν με διόδους Zener. Στην εποχή όμως των μικρών τάσεων και ισχύων, η υλοποίησή του έγκειται πια στη σύνδεση MOS-diodes σε σειρά, που δρουν σαν μια Zener diode. Η ύπαρξη τέτοιων κυκλωμάτων καθίσταται αναγκαία, ειδικά στην είσοδο των σταθεροποιητών τάσης ώστε να τους προφυλάξει από τα μεγάλα μεγέθη τάσεων, που απαντώνται στο πολύ κοντινό πεδίο (near field) δράσης ενός RFID tag.

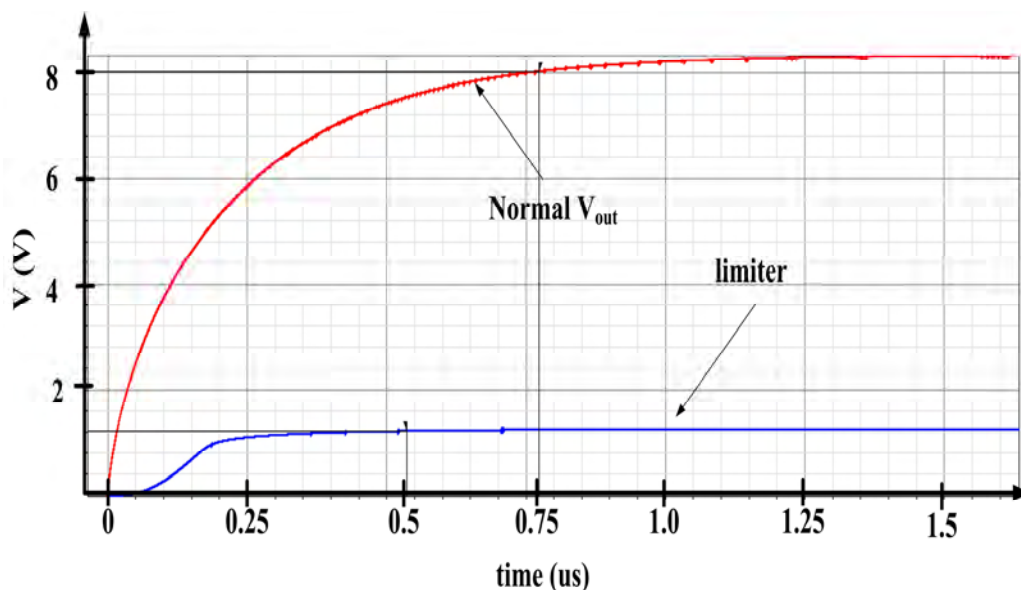
Για το λόγο αυτό, σχεδιάστηκε ένας Voltage Limiter με σκοπό να εισαχθεί στην έξοδο των ανορθωτών της έρευνάς μας, για την προστασία υπέρτασης των διατάξεων που ακολουθούν. Ο ίδιος ανορθωτής χρησιμοποιήθηκε και στην έξοδο του κυκλώματος που παράγει το σήμα V_{FG} (του pseudo-FG, Floating Gate Rectifier, που σχεδιάσαμε, βλ. Ενότητα 6-5) με σκοπό την αποφυγή υπερβολικής αύξησης στην αγώγιμη σύνδεση DG των MOS-diodes με συνακόλουθη την αύξηση της τάσης

κατωφλίου V_{th} , αλλά και για την αποφυγή υπερκέρρασης της τάσης κατάρρευσης αυτών (Breakdown Voltage).



Εικόνα 6-30. Voltage Limiter ($R=50K\Omega$ MOS Resistor (in Triode Region), $W/L=1\mu m/100nm$ for MOSFETs MP, $MN_{1,2}$)

Ο Voltage Limiter που σχεδιάστηκε φαίνεται στην Εικόνα 6-30, όπου τα δύο NMOS-diodes δρουν ως μια διάδος κατάρρευσης (Zener). Όταν δηλαδή, η παρεχόμενη από τον ανορθωτή τάση ξεπεράσει το άθροισμα των τάσεων κατωφλίου ($2V_{th_NMOS}$) των 2 NMOS, αρχίζει ρεύμα να ρέει μέσω της αντίστασης R, ενώ στην περίπτωση που η πτώση τάσης πάνω στην R αυτή, $V_R > V_{th_PMOS}$ ξεπεράσει το κατώφλι τάσης του PMOS, τότε επιπρόσθετο ρεύμα θα ρέει τότε μέσα από το PMOS, με σκοπό τη μείωση της αυξανόμενης αλλιώς τάσης εξόδου και της προστασίας των κυκλωμάτων που ακολουθούν (Voltage Reference, Voltage Regulator and other Analog or Digital Blocks).

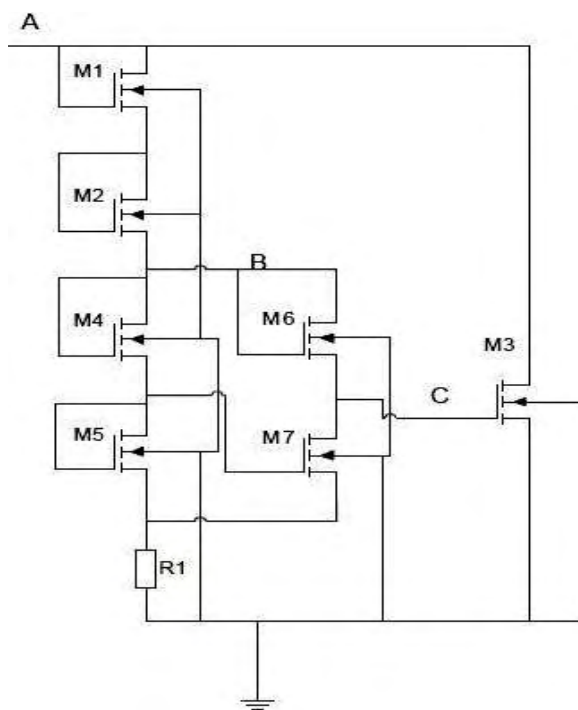


Εικόνα 6-31. Δράση του Voltage Limiter σε ανορθωτή GCCR-ZVT 20 σταδίων για $V_{r_in} = 500mV$

Η συμπεριφορά του περιοριστή αυτού της τάσης που λαμβάνουμε από έναν ανορθωτή 20 σταδίων GCCR-ZVT (Εικόνα 6-8) που σχεδιάσαμε κι εξομοιώσαμε, φαίνεται από την Εικόνα 6-31.

Είναι έκδηλος ο περιορισμός της τάσης εξόδου του ανορθωτή, που με βάση τη σχεδιάσή μας αλλά και τον αρχικό μας στόχο, ετέθη στα 1.2 Volts. Η κόκκινη καμπύλη στην Εικόνα 6-31 απεικονίζει την σταδιακή αύξηση της τάσης του ανορθωτή, που σταθεροποιείται έπειτα από περίπου 1.5 μs . Η μεταβατική απόκριση του περιοριστή τάσης όπως είναι εμφανές, διαρκεί περίπου 0.4 μs [91]. Πρακτικά, ένα κύκλωμα περιοριστή τάσης αποτελεί έναν απλό σταθεροποιητή τάσης αλλά χωρίς την ύπαρξη της απαραίτητης (αρνητικής) ανάδρασης για ορθή λειτουργία σε μεγαλύτερο εύρος τάσεων προς σταθεροποίηση. Το μειονέκτημά του, είναι η ελάττωση της εμπέδησης εισόδου που φαίνεται από την κεραία άρα και η απώλεια ορθής προσαρμογής, όταν τα MOS οδηγούν υψηλά ρεύματα κατά την λήψη πολύ μεγάλης τάσης RF (κοντινό πεδίο).

Μια ανάλογη υλοποίηση που προτάθηκε το 2004 από την [92] αλλά χρησιμοποιήθηκε κατά κόρον έκτοτε στη βιβλιογραφία [66, 98, 99], είναι το κύκλωμα προστασίας από υπέρταση (Shunt Regulator) της Εικόνας 6-32.



Εικόνα 6-32. Κύκλωμα Προστασίας υπέρτασης (Simple Shunt Regulator) [92]

Εδώ, η απαιτηθείσα ανάδραση επιτυγχάνεται μέσω του M3 που λειτουργεί στον κόρο, όπου η τάση V_{GS} αυτού, μεταβάλεται ανάλογα με την τάση εξόδου, οπότε

μεταβάλλεται το ρεύμα του άρα και το ρεύμα εξόδου, αλλάζοντας έτσι σε επιθυμητή τιμή την τάση στην έξοδο. Επειδή το M5 τρανζίστορ είναι μεγαλύτερο από τα M6, M7 το πιο πολύ ρεύμα θα ηγαίνει στα M4, M5 παρά στα M6, M7. Έτσι, η πτώση τάσης V_{DS} στο M6 θα είναι μικρότερη από ότι στο M4. Το M7 λοιπόν θα είναι και αυτό στον κόρο, και η τάση στο σημείο C θα ακολουθεί την τάση στο B κατά ένα ποσό βέβαια V_{th} . Έτσι, το M3 για να ανοίξει, απαιτείται τάση στο σημείο A ίση με τουλάχιστον $4V_{th}$. Έτσι σε μια απλή προσέγγιση, αμελώντας φαινόμενα 2^{ης} τάξης, έχουμε με βάση και την εξίσωση 5-5 (με $K' = \mu C_{ox}$):

$$\begin{aligned} V(C) &= V(A) - V_{gs1} - V_{gs2} - V_{gs6} \approx V(A) - 3V_{gs1} \\ V(R_1) &= V(A) - V_{gs1} - V_{gs2} - V_{gs4} - V_{gs5} \approx V(A) - 4V_{gs1} = I(M1) \cdot R_1 \quad (6-26) \\ I(M1) &= \frac{K'W}{2L} (V_{gs1} - V_{th})^2 \end{aligned}$$

Οπότε έχουμε αντικαθιστώντας το ρεύμα στη 2^η σχέση των 6-26:

$$\begin{aligned} V(A) - 4V_{gs1} &= I(M1) \cdot R_1 = \frac{K'W}{2L} (V_{gs1} - V_{th})^2 \cdot R_1 = k(V_{gs1} - V_{th})^2, \quad k = \frac{K'W}{2L} R_1, \\ V(A) - 4V_{gs1} &= k(V_{gs1} - V_{th})^2 \Rightarrow \dots \Rightarrow \\ \Rightarrow V_{gs1} &= V_{th} - (2/k) + (1/k) \sqrt{k[V(A) - 4V_{th}] + 4} \end{aligned} \quad (6-27)$$

Όπου βρήκαμε την τάση V_{gs1} μετά τη λύση της δευτεροβάθμιας εξίσωσης που προέκυψε. Η αντίσταση R_1 πρακτικά ελαττώνει την εξάρτηση της V_{gs1} από τις μεταβολές της $V(A)$ κι αν δεν υπήρχε θα ήταν πάντοτε $V_{gs1} = V(A)/4$. Το ρεύμα εντέλει στο M3, θα είναι:

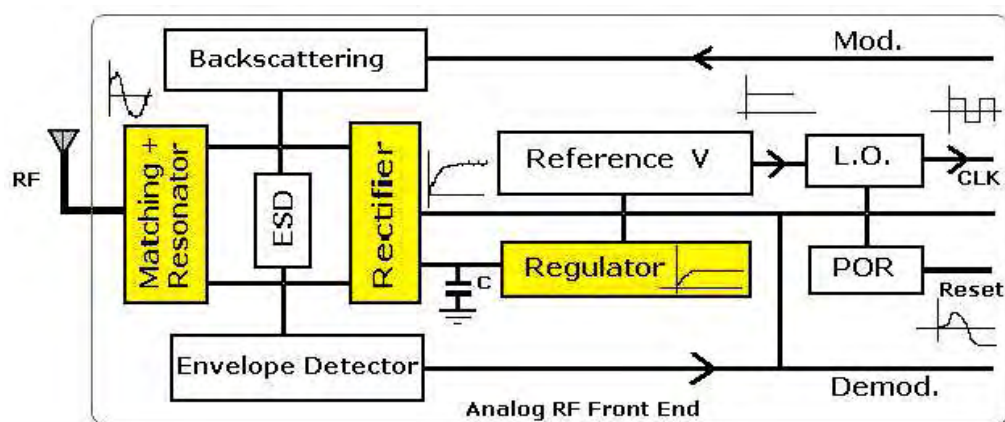
$$\begin{aligned} I(M3) &= \left(\frac{K'W}{2L} \right)_{M_3} \cdot (V_{gs3} - V_{th})^2 = \left(\frac{K'W}{2L} \right)_{M_3} \cdot (V_C - V_{th})^2 \xrightarrow{6-26} \\ I(M3) &= \left(\frac{K'W}{2L} \right)_{M_3} [V(A) - 3V_{gs1} - V_{th}]^2 \xrightarrow{6-27} \\ I(M3) &= \left(\frac{K'W}{2L} \right)_{M_3} \left[V(A) - 4V_{th} + \frac{6}{k} - \frac{3}{k} \sqrt{k[V(A) - 4V_{th}] + 4} \right]^2, \quad k = \frac{K'W}{2L} R_1 \end{aligned} \quad (6-28)$$

Και με βάση την 6-28 αλλά και τις απαιτήσεις μας και τις αρχικές μας προδιαγραφές μπορούμε να υπολογίσουμε τα μεγέθη των απαιτούμενων MOSFETs αλλά και την τιμή της R_1 (KΩ) που υλοποιείται κι αυτή με ένα MOSFET στην περιοχή τριόδου (ωμική). Αυτή η προσέγγιση μέσω πράξεων με το χέρι, αν και είναι ίσως εξουθενωτική, ειδικά σε κυκλώματα με πολλά τρανζίστορ, από την άλλη προσφέρει καλύτερη επισκόπηση της λειτουργίας του όλου κυκλώματος, που τελικά μπορεί να τελειοποιηθεί μέσω εξομοιώσεων. Η αρχική ρύθμιση των παραμέτρων μέσω

εξομοιώσεων μπορεί να είναι και παραπλανητική αλλά και χρονοβόρα ενίοτε, αν ο στόχος δεν είναι εξ' αρχής συγκεκριμένος.

6.8.3 Άλλα κυκλώματα στο Analog RF Front End of RFID Tag - (POR, Backscattering Modulator, AM Demodulator-Envelope Detector, Local Oscillator-Clock Extractor, ESD Protection)

Σε μια τελευταία μας αναφορά στο αναλογικό εμπρόσθιο τμήμα ενός RFID-tag απαντούμε και άλλες βασικές διατάξεις και διαδικασίες, επιπρόσθετα σε αυτές που ήδη αναλύθηκαν, όπως στην Εικόνα 6-33 (όπου με κίτρινο φόντο έχουμε τα τμήματα που και ερευνητικά μας απασχόλησαν, αν και θεωρητικά στη διατριβή, αναλύθηκαν διεξοδικά και άλλα σημαντικά τμήματα, όπως το θέμα των τάσεων Αναφοράς (Reference V), το θέμα της προστασίας ESD (Electrostatic Discharge) αλλά και της Διαμόρφωσης Εμπεδήσεων (Backscattering, βλ. Κεφ.3) για την ελεγχόμενη ανάκλαση του προσπίπτοντος σήματος RF).



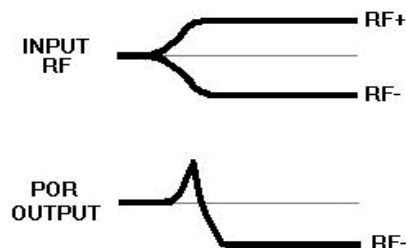
Εικόνα 6-33. Basic system architecture of Analog RF Front End in RFID Tags

Έτσι, αφήνοντας το κυκλωματικό τηλεπικοινωνιακό τμήμα του tag δηλαδή τον Διαμορφωτή Εμπεδήσεων (Backscattering - Impedance Modulation) και τον Αποδιαμορφωτή (Envelope Detector - Demodulator) που εξάγει τα δεδομένα από τη διαμορφωμένη κυματομορφή του φέροντος σήματος λήψης από τον Reader, περνούμε στα επόμενα τμήματα που θεωρητικά θα αναλύσουμε στην ενότητα αυτή.

Κατ' αρχήν, το Τμήμα Τοπικού Ταλαντωτή (Local Oscillator - LO) παράγει ένα σήμα clock απαιτούμενο κύρια στις λειτουργίες των ψηφιακών βαθμίδων που ακολουθούν,

αλλά και για το χρονισμό μέσω δύο αντιφασικών σημάτων ρολογιού, των απαραίτητων Charge Pumps (CP) του τμήματος Analog RF Front End, για την αναβίβαση της τάσης. Βέβαια επειδή χρησιμοποιήσαμε όπως είπαμε, τις τοπολογίες των CP ως Ανορθωτές, δεν απαιτήθηκε η χρήση σημάτων ρολογιού αφού το ρόλο τους έπαιξαν τα σήματα του εισερχόμενου ραδιοκύματος στο tag (RF+, RF-). Σε χαμηλότερες συχνότητες ένα σήμα clock μπορεί να εξαχθεί κι από την ίδια την κυματομορφή του σήματος RF (π.χ. με Schmitt Trigger). Έτσι δε θα ασχοληθούμε κυκλωματικά με αυτή τη διεργασία.

Όσον αφορά το τμήμα POR (Power on Reset), πρόκειται για διάταξη που έχει σκοπό την παραγωγή ενός παλμού θετικής τιμής δυναμικού μικρής διάρκειας, όταν ανιχνευθεί ικανή ποσότητα των τάσεων πλάτους RF+ και RF-. Μετά το πέρας διάρκειας του παλμού POR, αυτός παραμένει σε επίπεδο τάσης RF- (Εικόνα 6.34).

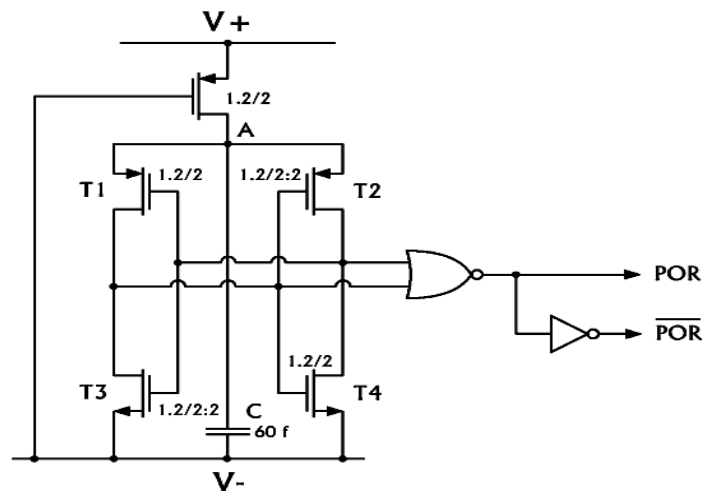


Εικόνα 6-34. Ο παλμός που παράγει η διάταξη Power On Reset (POR)

Το σήμα αυτό, έχει σκοπό το Reset όλων των flip-flops στο ψηφιακό τμήμα που ακολουθεί στο tag, κατά το αρχικό χρονικό διάστημα της απόκτησης της DC τάσης μέσω της προσπίπτουσας RF τάσης, από τον ανορθωτή. Συνήθως αποτελούταν από ένα κύκλωμα απλής σταθεράς χρόνου RC ακολουθούμενο από ένα Schmitt Trigger (η σταθερά χρόνου επιλέγεται έτσι ώστε να προλάβουν να κάνουν RESET -μέσω του παλμού που παρήγαγε ο Schmitt Trigger όταν το 1^ο κατώφλι τάσης ταυτίζονταν με την τάση εισόδου - τα κυκλώματα, μέχρι τελικά η τάση εισόδου να φτάσει στο 2^ο κατώφλι τάσης του Schmitt Trigger).

Ένα απλό συμβατό με τεχνολογία MOS, κύκλωμα POR απαντούμε στην [28], όπου (Εικόνα 6-35) αποτελείται από ένα σταυρωτά συζευγμένο ζεύγος MOS τρανζίστορς και μια πύλη NOR. Όταν η τάση είναι διαθέσιμη (V+ ή V-) τότε αναλαμβάνει πρωτοβουλία είτε το τμήμα τρανζίστορς στα αριστερά (T1, T3) είτε στα δεξιά (T2, T4) για ένα πολύ μικρό χρονικό διάστημα, όμως ο πυκνωτής εισάγει μια καθυστέρηση στη δημιουργία, μέσω σύγκρισης των τάσεων των πυλών από την πύλη NOR, του σήματος POR, μέσω της αργής φόρτισής του, ενώ ταυτόχρονα

αντισταθμίζει και το κύκλωμα, μη αφήνοντάς το να υποπέσει σε παρασιτική ταλάντωση. Μια έτερη πιο αναλυτική προσέγγιση μπορούμε να βρούμε στην [92] μαζί και με την θεωρητική ανάλυση λειτουργίας του κυκλώματος POR που υιοθετεί.



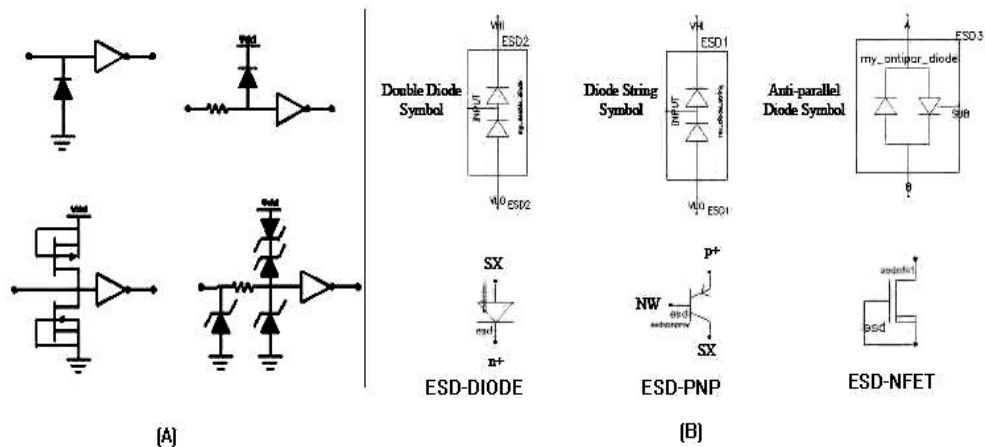
Εικόνα 6-35. Σχηματικό διάγραμμα διάταξης POR [28]

Τέλος, θα αναφερθούμε και στο μείζον θέμα της ESD (Electrostatic Discharge – Ηλεκτροστατική Εκφόρτιση-Εκκένωση). Εξ'ορισμού, το φαινόμενο υποδηλώνει την ροή ρεύματος από μια περιοχή υψηλού δυναμικού σε μια χαμηλότερου δυναμικού, αλλά δεν είναι μόνο το ρεύμα το πρόβλημα, αλλά και τα ισχυρά ηλεκτροστατικά πεδία που παράγονται κατά την εκφόρτιση. Στην εποχή των ολοκληρωμένων κυκλωμάτων πολύ υψηλής πυκνότητας, το εν λόγω θέμα τίθεται από το αρχικό στάδιο σχεδίασης ενός chip, ώστε να επιτευχθεί η μέγιστη προστασία από τις επικίνδυνες για αυτό επιδράσεις του στατικού ηλεκτρισμού (triboelectric charging, π.χ. > 10KV από το βάδισμα ανθρώπου πάνω σε χαλί) ή των επαγόμενων ηλεκτρικών φορτίων. Στο design kit που χρησιμοποιήθηκε [46] υπάρχει έτοιμη βιβλιοθήκη βασικών κυκλωμάτων προστασίας (η “esd6rf”) του παραγόμενου κάθε φορά chip αλλά και υπο-κυκλωμάτων (diode strings or antiparallel diodes) που μπορούν να εισαχθούν μόνο με τη γλώσσα προγραμματισμού του Cadence (Skill).

Πάντως το θέμα της προστασίας ESD ειδικά στα Analog RF Ολοκληρωμένα κυκλώματα είναι πολύ πιο δύσκολο σε σχέση με ένα απλό Digital chip. Ο λόγος είναι η ευαισθησία (μικρή ανοχή) του RF chip στις παρασιτικές χωρητικότητες που σίγουρα εισάγει το κύκλωμα προστασίας ESD.

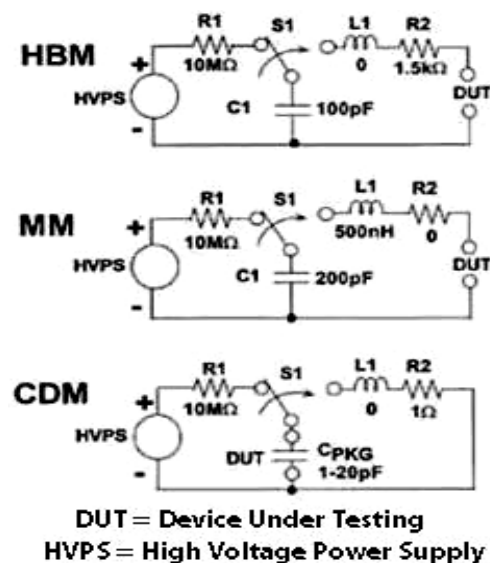
Στην Εικόνα 6-36Α βλέπουμε κλασικά κυκλώματα και στοιχεία προστασίας ESD (Zener diodes as Breakdown component , MOS-diodes) ενώ στην Εικόνα 6-36B τις

παρεχόμενες λύσεις (MOS, BJTs, Diodes μεγάλων μεγεθών) της τεχνολογίας που χρησιμοποιήσαμε (IBM 90nm).



Εικόνα 6-36. (A) Basic ESD circuits, (B) IBM 90nm ESD protection devices [46]

Αν και υπάρχουν γενικά τρία μοντέλα ανάλυσης επιδράσεων φαινομένων ESD, το Human Body Model (HBM), το Machine Model (MM) και το Charged Device Model (CDM), η τεχνολογία χρησιμοποιεί κύρια το 1^ο μοντέλο, της επίδρασης που μπορεί να έχει το άγγιγμα των ακροδεκτών του chip από ένα ανθρώπινο μέλος (προσομοιωμένου από ένα δικτύωμα RC, Εικόνα 6-37) λόγω του στατικού ηλεκτρισμού και του φορτίου που μεταφέρει. Τα πιο ευαίσθητα (CLASS 0) τμήματα και τα όρια τάσης που αντέχουν είναι: MIM capacitors (150 V) και MOSFETs (50-180V). Τα πηνία αντέχουν πολύ πιο υψηλές τάσεις (10 KV) αφού έχουν παχιά τμήματα αγωγής ώστε να έχουν μικρή αντίσταση (υψηλό Q). Οι αντιστάσεις και οι δίοδοι γενικά αντέχουν έως τάσεις 1-3KV.



Εικόνα 6-37. ESD Testing Models [102]

Σε γενικές γραμμές απαιτείται μια τουλάχιστον δίοδος προστασίας τόσο στην αγώγιμη διαδρομή από ένα ακροδέκτη μέχρι τη γη αλλά και μέχρι την παροχή τάσης πόλωσης. Βέβαια ο αριθμός τους ειδικά στον τομέα του Analog-RF χρήζει ιδιαίτερης προσοχής αφού μπορεί να μεταλλάξει αισθητά τη συμπεριφορά του όλου κυκλώματος ($C_{\text{parasitic}}$), οπότε απαιτείται η εύρεση μιας χρυσής τομής και εδώ. Ιδιαίτερη προσοχή χρειάζεται κατά την ανάγνωση πινάκων για τιμές αντοχής (τάσεων κατωφλίου) διατάξεων από διαφορές δυναμικού που προκαλούν ESD, αφού τα μεγέθη στα ολοκληρωμένα κυκλώματα είναι ελάχιστα πια, οπότε η πυκνότητα ρεύματος ή η ένταση του ηλεκτρικού πεδίου λαμβάνουν εύκολα τεράστια τιμή. Για παράδειγμα, το οξείδιο της πύλης αντέχει ηλεκτρικό πεδίο έως 6 MV/cm οπότε για ένα πάχος $t_{\text{ox}} = 20\text{\AA}$ (IBM 90nm) η μέγιστη τάση αντοχής είναι τα 1.2 V μόνον! Όσον αφορά τα RFIDs το πρόβλημα της ESD παραμένει, παρόλο που αυτά δεν έχουν κάποια γείωση (Floating state), αφού μπορεί να υπάρξει ηλεκτροστατική εκφόρτιση και μεταξύ δύο περιοχών με διαφορετικό δυναμικό (όχι απαραίτητα η γη μια εξ' αυτών).

7. Εξομοιώσεις και Πειραματικές Μετρήσεις

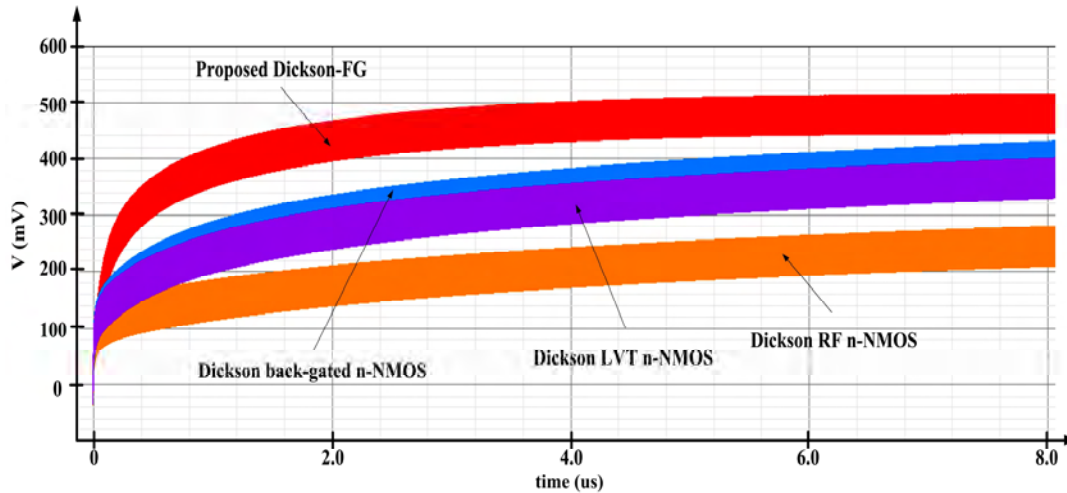
7.1 Εξομοίωση Ανορθωτών διάφορων τοπολογιών και σύγκριση με την προταθείσα τοπολογία «Pseudo-FG»

Οι τοπολογίες που εξετάσαμε στο Κεφάλαιο 6 εξομοιώθηκαν (με το Cadence) όλες σε RF-CMOS στα 90nm (IBM) ώστε να ερευνηθεί η συμπεριφορά τους σε διάφορους αριθμούς σταδίων (βαθμίδων) και μεγεθών χωρητικότητας ή MOSFETs και σε όλους τους παρεχόμενους από την process τύπους (RFMOS, LVT, ZVT) δηλαδή, σε μεγάλη κλίμακα διαφορετικών V_{th} . Μετά την εξαγωγή συμπερασμάτων και συγκριτικών αναλύσεων, οδηγηθήκαμε στην υλοποίηση μιας νέας τοπολογίας (που παρουσιάστηκε στην Ενότητα 6-5) η οποία έχει εφαρμογή στις κυκλωματώσεις, που εμπεριέχουν διόδους MOS (Dickson VD, GCCR). Συγκρίναμε δε την καινοτόμο εξέλιξη με τις υπάρχουσες τοπολογίες της βιβλιογραφίας, μετά από σύγκρισή τους στις ίδιες πάντοτε συνθήκες και με την ίδια βέβαια process.

Έτσι, πραγματοποιήθηκαν εξομοιώσεις των 3 τοπολογιών (GCCR, NVC, VD) σε ανορθωτές ενός σταδίου (1-stage) για τις δυνατές περιπτώσεις διαφορετικών τιμών τάσης κατωφλίου, που η τεχνολογία (IBM RF-CMOS στα 90nm) διέθετε. Έτσι αναλύθηκαν, υλοποιήσεις με RFMOS (V_{th} : n/420mV, p/-350mV), LVT (V_{th} : n/320mV, p/-260mV), N-ZVT (V_{th} : -10mV) (τα P-ZVT δεν παρέχονται στην τεχνολογία αυτή ούτε ως επιλογή) καθώς και συνδεσμολογίες back-gated (B-S connected, $V_{BS}=0$) αλλά και η προταθείσα “pseudo-FG” εξέλιξή μας που εντάσσεται βέβαια, στους ανορθωτές VD και GCCR (που εμπεριέχουν MOS-diodes). Από τις μετρήσεις μας που έχουμε στον Πίνακα 5, παρατηρούμε ότι η προταθείσα υλοποίησή μας VD pseudo-FG, παρουσιάζει την καλύτερη απόδοση μετατροπής τάσης VCE ($\approx 95\%$) (Εξίσωση 4-52) ανάλογα αν το Floating Gate σήμα FG (FG-8) παράγεται από μια βαθμίδα ενός GCCR-ZVT ανορθωτή (#8 του Πίνακα 5) ή από μια βαθμίδα ενός NVC-(nZVT/pLVT) ανορθωτή (σήμα FG-1 παραγόμενο από την τοπολογία #1 του Πίνακα 5). Επίσης η προταθείσα εξέλιξη της τοπολογίας αυτής επέδειξε και βελτίωση στον χρόνο αποκατάστασης (settling time = 5us αντί >9us των άλλων τοπολογιών) της τελικής DC τάσης εξόδου, όχι όμως και στην κυμάτωση (ripple) που παρέμεινε στα ίδια επίπεδα (ίδιον της τοπολογίας αυτής, με τυπική τιμή ripple στα $\approx 70mV$).

Συγκρίνοντας όλες καταρχήν τις τοπολογίες VD (Dickson based) συμπεραίνουμε ότι, ικανοποιητικό VCE = 84.6% έχει και η συνδεσμολογία back-gated (που όπως

αναφέραμε στην Παράγρ. 5.2.1, το υπόστρωμα συμβάλλει στην ευκολότερη μόρφωση του διαύλου), ενώ τα απλά RFMOS είχαν $V_{CE} = 50.6\%$ και τα LVT-MOS επέδειξαν ένα $V_{CE} = 78.4\%$ (Εικόνα 7-1 και Παράρτημα Α).



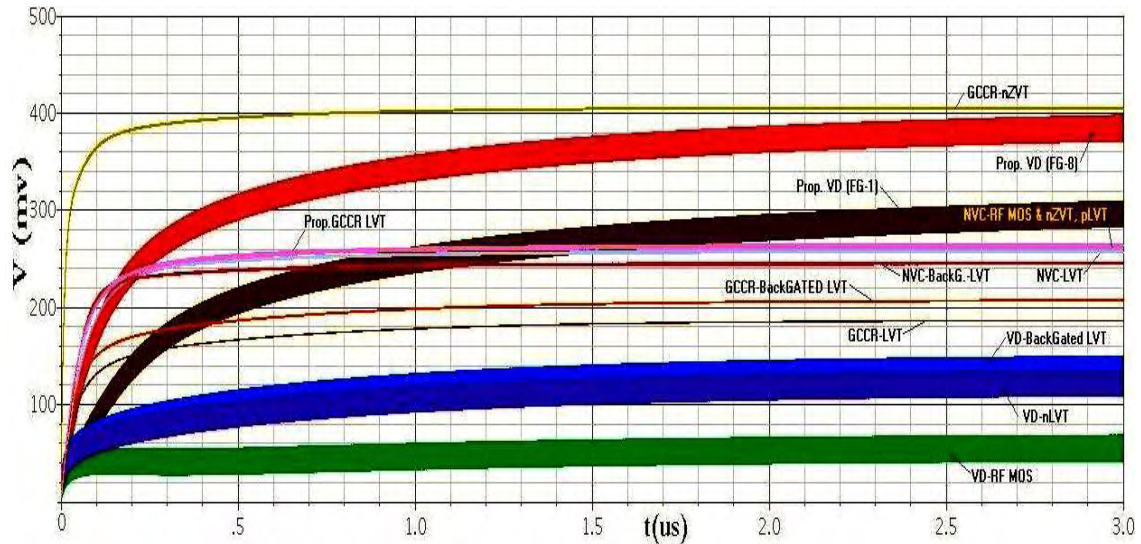
Εικόνα 7-1. Σύγκριση συμπεριφοράς Ανορθωτών 1-stage VD (Dickson based) για $V_{rect} = 250mV$

Η έτερη προταθείσα τοπολογία, εξέλιξης ενός ανορθωτή GCCR, είχε ελαφρώς καλύτερο V_{CE} από ένα back-gate GCCR, αλλά την βέλτιστη απόδοση επέδειξε η υλοποίηση GCCR-ZVT, πράγμα αναμενόμενο επειδή στην περίπτωση τρανζίστορ με μηδενικό ή σχεδόν μηδενικό κατώφλι, η ωφέλιμη τάση για τα MOSFETS (overdrive voltage, $V_{eff} = V_{GS} - V_{th}$) είναι σχεδόν ίση με την -ελάχιστη ενίοτε- τάση εισόδου στους ανορθωτές $V_{RF} = V_{GS}$. Βέβαια το σημαντικό στην τοπολογία αυτή, είναι η σχετική αναισθησία στα ρεύματα διαρροής που σε περιπτώσεις ZVT-MOSFETs θα έπρεπε να κυριαρχούν. Επίσης παρουσιάζει σημαντικά μειωμένο settling time (delay) τόσο στην περίπτωση της προταθείσας υλοποίησης (2.2us) όσο και στην ασυναγώνιστη περίπτωση του ανορθωτή GCCR-ZVT (400ns) αλλά και ελάχιστη κυμάτωση (Εικόνα 7-2, ripple < mV - μετρημένη στα 200μV και μέσω εξομοίωσης pss).

Πίνακας 5. Συμπεριφορά Ανορθωτών σε 1 και 4 στάδια, σε διάφορες τοπολογίες και υλοποιήσεις

1-stage Rectifiers (for amplitude $V_{in,rec}=250mV$)				4-stages ($V_{in,rec}=250mV$)		
Topology (CMOS 90nm)	V_{dc}	$V_{dc,1M\Omega}$	Delay	V_{dc}	$V_{dc,1M\Omega}$	Delay
1. NVC nZVt, pLVt	302mV	264mV	380ns	1504	560mV	6us
2. NVC Back-g. LVt	277	244	76ns	--	--	--
3. NVC LVt	291	256	82ns	1598	515	6us
4. NVC RF Fet	301	263	94ns	--	--	--
5. GCCR LVt	375	186	>10us	850	350	8us
6. Proposed GCCR LVt	409	266	2.2us	932	412	8us
7. GCCR Back-g. LVt	406	207	9us	--	--	--
8. GCCR n-ZVt	420	405	400ns	1363	1100	760ns
9. VD n-LVt	392	124	>9us	820	240	>9us
10. VD Back-g. LVt	423	137	>9us	974	280	>9us
11. VD RF Fet	253	58	>10us	--	--	--
12. Proposed VD (FG-1)	480	302	5.1us	918	400	~5us
13. Proposed VD (FG-8)	469	388	5.0us	1021	476	~5us

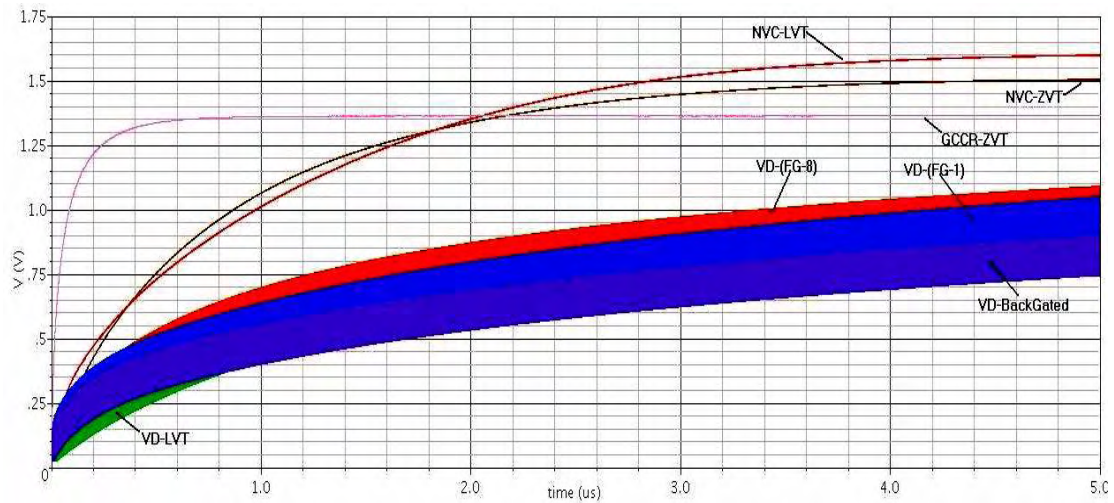
Στην περίπτωση ύπαρξης και ωμικού φορτίου $1\text{M}\Omega$ στην έξοδο του ανορθωτή, την καλύτερη συμπεριφορά είχε (για τους ανορθωτές VD) η προταθείσα τοπολογία όταν το σήμα FG (FG-8) είναι παραγόμενο από 1 στάδιο ενός ανορθωτή GCCR-ZVT που είχε όπως είδαμε ασυναγώνιστη συμπεριφορά (Εικόνα 7-2).



Εικόνα 7-2. Συμπεριφορά διαφορετικών τοπολογιών Ανορθωτών 1 σταδίου για είσοδο 250mV στον ανορθωτή (ή 125mV RF input), υπό φορτίο $1\text{M}\Omega$.

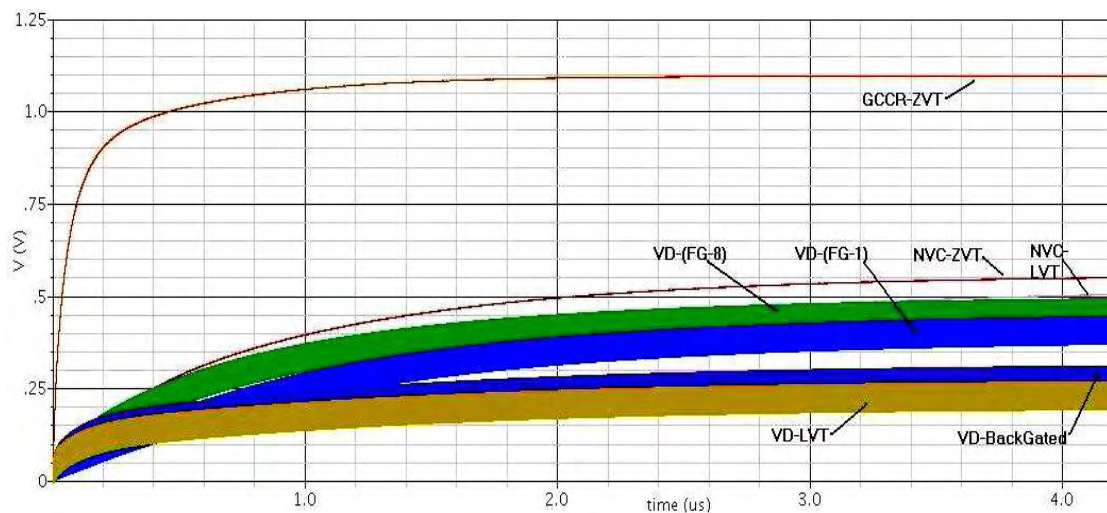
Στην περίπτωση ανορθωτών 4 σταδίων, παρατηρήσαμε ξανά μέγιστη απόδοση μετατροπής τάσης και ταχύτατη απόκριση αλλά και ελάχιστο ripple, για τον ανορθωτή GCCR-ZVT υπό φορτίο ($1\text{M}\Omega$, Εικόνα 7-4) αλλά και σημαντικά καλύτερη απόδοση των προταθέντων κυκλωμάτων σε σχέση με τις απλές τοπολογίες VD ειδικά υπό φορτίο. Επίσης καλή συμπεριφορά (άνευ όμως φορτίου στην έξοδο, Εικόνα 7-3) επέδειξε η τοπολογία NVC, κύρια χρησιμοποιώντας απλά LVT τρανζίστορ και όχι ZVT, αφού πρόκειται για τοπολογία που υποφέρει περισσότερο από ρεύματα διαρροής (Παραγρ. 6.4) λόγω της ροής ρεύματος κατά την ανάστροφη φορά, χωρίς τρόπο παρεμπόδισης. Αυτό εξηγεί και τη χειρότερη συμπεριφορά αυτής της τοπολογίας 4 σταδίων με τη χρήση ZVT-MOS σε σχέση με τη συμπεριφορά της χρησιμοποιώντας τα LVT-MOS με το υψηλότερο κατώφλι και άρα τις μικρότερες διαρροές ρευμάτων (καλύτερο κλείσιμο διακοπών MOS) (Εικόνα 7-3). Στους ανορθωτές 4 σταδίων (NVC) είχε καλή συμπεριφορά αν και πιο αργή απόκριση (6us) από τα κυκλώματα VD που προτείναμε (5us).

Επίσης για το στόχο επίτευξης της επιθυμητής τάσης των 1.25V , από εξαιρετικά μικρά πλάτη εισόδου RF, σχεδιάστηκε από ένας 20 σταδίων ανορθωτής με βάση τις 3



Εικόνα 7-3. Ανορθωτές 4 σταδίων άνευ φορτίου και για είσοδο ανορθωτή πλάτους 250mV

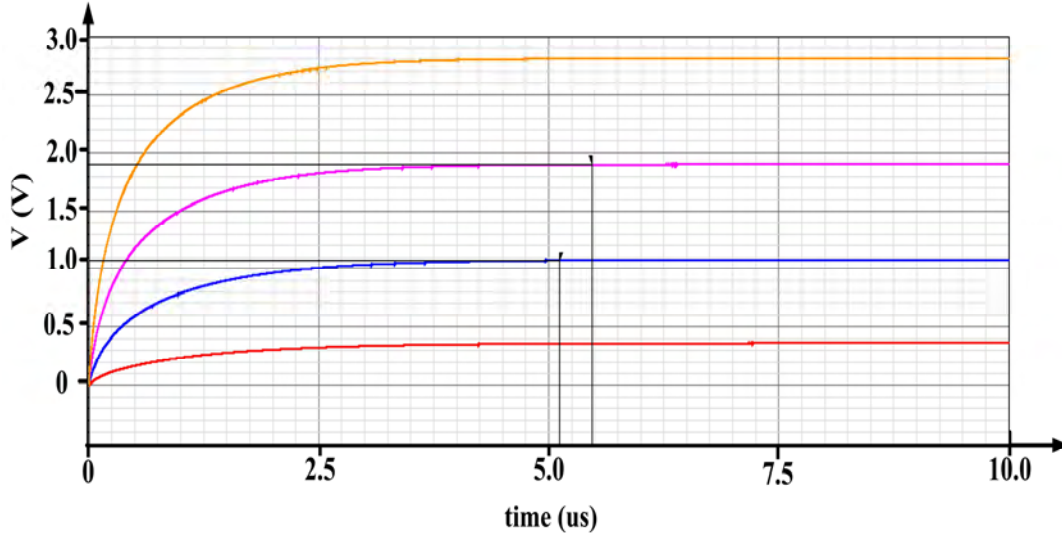
αρχικές τοπολογίες (Κεφ. 6) και με τη χρήση μόνο ZVT MOSFETs. Έτσι, στην περίπτωση του ανορθωτή VD-ZVT 20 σταδίων αν και η συμπεριφορά του αρχικά φάνηκε ικανοποιητική, όσον αφορά την ελάχιστη απαιτούμενη τάση εισόδου για επίτευξη των 1.25V (90mV), εντούτοις μετά από κάποια μs η τάση εξόδου βαθμιαία ελαττώνονταν λόγω κυριάρχησης των ρευμάτων διαρροής μέσα από τα μηδενικής τάσης κατωφλίου ZVT-MOSFETs (βλ. Παράρτημα Α, για Ανορθωτή VD-ZVT ενός σταδίου).



Εικόνα 7-4. Ανορθωτές 4 σταδίων με φορτίο 1MΩ, για είσοδο ανορθωτή πλάτους 250mV

Το ίδιο ακριβώς πρόβλημα, απαντήθηκε και στον ανορθωτή 20 σταδίων NVC-nZCT/pLVT (pZVT ανύπαρκτα). Ο λόγος είναι κυρίως τα δυο τρανζίστορ ZVT-NMOS-switches μηδενικής τάσης κατωφλίου V_{th} , όπου όταν το ένα εξ'αυτών είναι

κλειστό (ανοιχτό) τότε το άλλο δεν είναι 100% ανοιχτό (κλειστό) όπως θα έπρεπε. Όμως, η τοπολογία ανορθωτού GCCR-ZVT δεν υποφέρει από αντίστοιχο πρόβλημα οπότε και τη χρησιμοποιήσαμε για τον ανορθωτή 20 σταδίων που σχεδιάστηκε. Η συμπεριφορά του ανορθωτή αυτού για διάφορες τιμές της τάσης εισόδου στον ανορθωτή, φαίνεται στην Εικόνα 7-5 καθώς και στον Πίνακα 6.



Εικόνα 7-5. Ανορθωτής 20 σταδίων GCCR-ZVT (με φορτίο $1\text{M}\Omega$) και με είσοδο πλάτους: 50, 100, 150 & 200mV αντίστοιχα

Όπως είναι εμφανές από τον Πίνακα 6, η σχεδίαση ($W = 1\mu\text{m} / L = 100\text{nm}$) έγινε εστιάζοντας σε μεγάλη τιμή της απόδοσης μετατροπής τάσης (VCE) και όχι ισχύος (PCE) που θα απαιτούσε μεγάλα τρανζίστορες (large W MOS) όπως στις [42, 51] ώστε να αντέχουν τα μεγάλα ρεύματα που απαιτεί η ύπαρξη ενός μεγάλου PCE (λόγω χρήσης μικρών φορτιών). Χωρίς μεταβολή μεγέθους των τρανζίστορες (W/L) και για διάφορες τιμές του ωμικού φορτίου, ώστε να προσομοιώσουμε διάφορες καταναλώσεις του chip, λαμβάνουμε PCE αντιστρόφως ανάλογο του φορτίου (Εξίσωση 4-51).

Πίνακας 6. Η συμπεριφορά του ανορθωτή GCCR-ZVT 20 σταδίων

Without Resistive Load			With Resistive Load $R_L=1\text{M}\Omega$			
$V_{in\ rec}^1$ (mV)	V_{out} (V)	VCE %	V_{outs} (V)	PCE ² %	VCE %	S (dBm)
66	1.25	47.3	0.57	3.00	21.60	-23.93
100	2.35	58.8	1.07	4.60	26.80	-20.03
250	6.75	67.5	3.78	9.20	37.80	-12.35
300	8.20	68.3	5.82	15.05	40.17	-10.77
500	15.0	75.0	9.80	15.40	49.00	-6.34

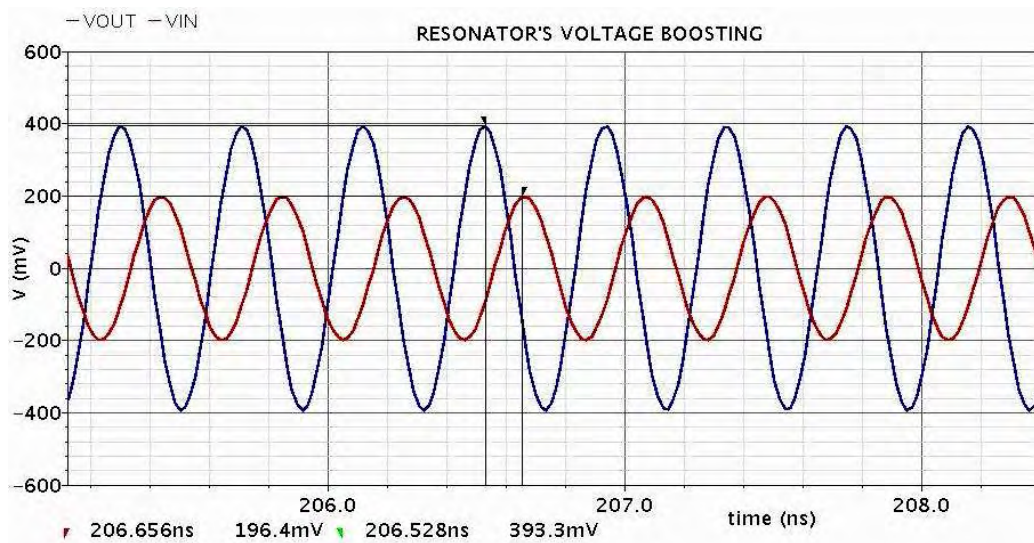
¹ $V_{in\ rec}$ is the voltage at the input of the rectifier (after the boosting network)
²Due to $Q_t=2$, $V_{in\ rec}$ is divided by 2 when the total PCE is calculated

Πίνακας 7. Σύγκριση υλοποιήσεών μας με άλλες από τη βιβλιογραφία

[Paper] / L	N STAGES/ /TOPOLOGY	F (GHz)	P_i - EIRP	V_o / V	R_i/Ω	PCE	VCE	S^a (dBm) / V_{in} (V)	d(m)	Q_t
Simul./90nm	20/GCCR	This work	0.5W	1.25	1M	5.46%	29.21%	-15.43 / 53.5m	1.65	2
Exper./90nm	4/GCCR	at 2.45	0.5W	1.2	1M	1.05%	63.83%	-8.60 / 117.5m	0.75	2
[31] 0.5um	---/VD	0.87	0.5W	1.5	1M	14.5%	---	-20.1 / 31.3m	4.5	---
[51] 90nm	8/VD	2.45	---	1.0	167K	6.67%	20.8%	-0.46 / 300m	---	---
[28] 0.5um	6/VD	2.45	4 W	1.2	1M	37% ^{b,d}	---	-25.68 ^d / 73.5m	6-12	3.22
[54] 180nm	24/VD	0.90	0.32W	1.8	0.47M	4.43%	17.66%	-8.06 / 125m	1.10	---
[42] 250nm	36/VD	0.92	4W	2.0	1.32M	32% ^c	14.20%	-22.6 / 50m	7-15	3.9
[44] 180nm	2/NVC	0.95	4W	0.5	0.25M	23.5% ^d	---	-22.4 ^d / 33.86m	21.6	---
[65] 180nm	4/VD	0.92	4W	1.0	0.5M	5.14%	28.63%	-14.1 / 62.37m	---	~7

^a input RF power, ^b $R_s=300\Omega$, ^c at -8dBm input power, ^d $G_s=2\text{dbi}$.

Για παράδειγμα, για την παραγωγή της απαιτούμενης DC τάσης των 1.2V, όταν το φορτίο είναι 200K Ω , απαιτούνται 180mV στην είσοδο του ανορθωτή (ή 90mV είσοδος RF λόγω του κέρδους τάσης X2, από το $Q_t=2$ (Εικόνα 7-6) του κυκλώματος υπέρτασης λόγω συντονισμού) με απόδοση PCE = 8.89% (VCE = 17.4%, d = 1m) και όταν το φορτίο ήταν 500K Ω απαιτήθηκαν 135mV (67.5mV RF) στην είσοδο του ανορθωτή με μια απόδοση PCE = 6.32% (VCE = 23.2% και εμβέλεια d = 1.3m).

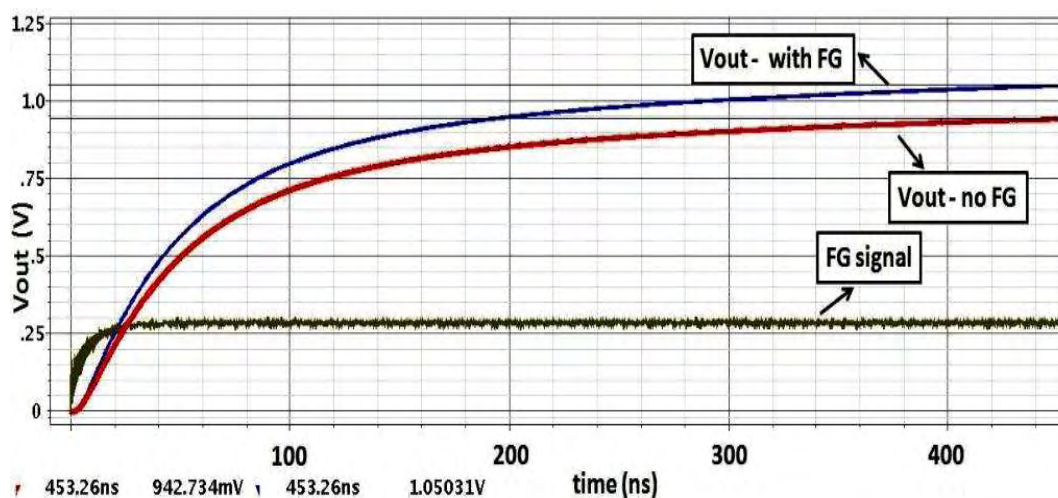


Εικόνα 7-6. Η δράση του Resonator Overvoltage Booster και η επίτευξη κέρδους τάσης $Q_t=2$.

Χρησιμοποιήθηκαν πυκνωτές τεχνολογίας MIM (χαμηλών παρασιτικών επιδράσεων) με τιμή που έπειτα από βελτιστοποίηση τέθηκε στην $C = 200\text{fF}$, τόσο για τους πυκνωτές του ανορθωτή όσο και για το χωρητικό φορτίο C_L . Βέβαια σε ένα ρεαλιστικό σενάριο ο C_L πρέπει να είναι αρκετά μεγαλύτερος (π.χ. 200pF) ώστε να αποθηκεύει αρκετή ενέργεια που απαιτεί το tag, καθυστερώντας όμως και

περσσότερο χρόνο να φορτιστεί πλήρως. Επίσης και η κυμάτωση της σχεδόν DC τάσης εξόδου θα ήταν πολύ μικρότερη τότε, όπως είδαμε στην εξίσωση 6-11. Στην περίπτωση τούτη, ένα RFID tag ενεργό για χρόνο 20μs μπορεί να αποδώσει ισχύ περίπου 72μW ($P = (1/2CV^2)/t$), με αρκετή όμως χρονική καθυστέρηση. Τελικά, η υλοποίηση αυτή, επέδειξε την ακόλουθη συμπεριφορά: για την παραγωγή της DC τάσης 1.25V απαιτήθηκαν 107mV στην είσοδο του ανορθωτή (ή 53.5mV RF input) με απόδοση VCE = 29.21% και PCE = 5.46% σε φορτίο 1MΩ, με αντίστοιχη ευαισθησία -15.43dBm και εμβέλεια (εξίσωση 4-56) ίση με 1.65m (Πίνακας 7). Στον Πίνακα 7 έχουμε συγκριτική ανάλυση των υλοποιήσεών μας με άλλες από τη βιβλιογραφία, είτε στην ίδια συχνότητα λειτουργίας είτε στην ίδια τεχνολογία. Η καλύτερη –σε πρώτη ματιά δεδομένης και της απουσίας ενός κοινά αποδεκτού figure of merit- συμπεριφορά, ανορθωτών σε άλλες δημοσιευμένες εργασίες (μικρότερης f και μεγαλύτερου μήκους καναλιού L, που αντίστοιχα σημαίνει μικρότερο ρυθμό διακοπτικής λειτουργίας και λιγότερα ρεύματα διαρροής ή παρασιτικές απώλειες χωρητικής φύσεως στο υπόστρωμα [31]), οφείλεται σε πολλούς παράγοντες, όπως η απώλεια διάδοσης ελευθέρου χώρου (FSPL) που αυξάνεται πολύ σε μεγάλες συχνότητες, οι υψηλότερες τιμές EIRP (4W in USA) εκτός Ευρώπης (ETSI) που έχει πιο αυστηρά όρια εκπομπής, η συμπεριφορά των MOSFETs με κανάλια νανομετρικά (<100nm), οι διαφορετικές τιμές αντιστάσεων φορτίου ή και κεραίας καθώς και τα κέρδη κεραίων εκπομπής (reader) και λήψης (tag), άλλοτε υλοποιημένες και εκτός chip, επιτυγχάνοντας υψηλότερους συντελεστές ποιότητας Q (ειδικά για τα πηνία off-chip). Για παράδειγμα, στην [28] χρησιμοποιείται αντίσταση κεραίας $R_{ant} = 300\Omega$ με κέρδος διπόλου $G_{tag} = 2dbi$. Οπότε με μια κεραία στα 0dbi θα είχαμε PCE = 23.3% και με την αντίσταση κεραίας στα 50Ω θα είχαμε τελικά PCE = 3.9% μειωμένο κατά έναν παράγοντα 6 ($6 = 300/50$). Ο συντελεστής ποιότητας στην [28] είναι δε $Q = 3.22$ αφού μέτρησαν αντίσταση εισόδου $R_{in} = 3.4K\Omega$ (μετά το L-match) ενώ ισχύει ότι $R_{in} = R_{ant}(1+Q^2)$. Οι ερευνητές (Πίνακας 7) κύρια χρησιμοποιούν (σε διαφορετικό αριθμό σταδίων, που επηρεάζει τόσο το μέγεθος του chip όσο και την απόδοση VCE) την τοπολογία VD-Dickson με εξαίρεση την [44] όπου γίνεται χρήση της τοπολογίας NVC. Στις [28, 51] χρησιμοποιείται διαφορεική τοπολογία VD τύπου Greinacher οπότε έχουμε 2N βαθμίδες άρα κέρδος τάσης 4N στον υπολογισμό του VCE (στην εξίσωση 4-52). Στην [31] η εμβέλεια θα ήταν μόνο 98cm αν χρησιμοποιούταν ισχύς εκπομπής 500mW. Το υψηλό σχετικά PCE στην [51] είναι μετρημένο όχι στο

κατώφλι οριακής τάσης λειτουργίας του ανορθωτή αλλά πολύ ψηλότερα, για έναν ανορθωτή με σχεδίαση εστιασμένη σε υψηλό PCE (μεγάλο $W = 100\mu\text{m}$, μικρό φορτίο στα $16.7\text{K}\Omega$). Επίσης στην [42] το υψηλό PCE που ανακοινώνουν είναι σε μεγάλη ισχύ εισόδου, στα -8dbm (κι όχι στο κατώφλι ευαισθησίας του ανορθωτή). Αν στην [42] υπολογιζόταν το PCE για ευαισθησία $S = -22.6\text{dBm}$ τότε όπως είναι εμφανές από το Σχήμα 17f [στην 42] και για ένα φορτίο $1.32\text{M}\Omega$, θα είχαμε $\text{PCE} < 4\%$. Να αναφέρουμε δε, ότι ο μετατροπέας-ανορθωτής που υλοποιήθηκε είναι 100% σε ολοκληρωμένη μορφή, που καθιστά πολύ χαμηλό το συντελεστή ποιότητας, ειδικά των έτοιμων ολοκληρωμένων αυτεπαγωγών ($Q \ll 10$) που επιλέχθηκαν από τη δεδομένη τεχνολογία και on-chip. Βέβαια στην περίπτωση των πολύ μικρών πυκνοτήτων ισχύος ($-12\text{dbm}/\text{m}^2 = 63\mu\text{W}/\text{m}^2$ στη ζώνη συχνοτήτων $1\text{GHz} - 3.5\text{GHz}$ [103]) της ενεργειακής συγκομιδής από ραδιοκύματα (RF energy harvesting) οι μετρηθείσες αποδόσεις μετατροπής ισχύος είναι ελάχιστες ($\text{PCE} = 0.6\%$ στην [103] σε ένα σύστημα σχεδιασμένο σε ευρεία ζώνη συχνοτήτων (broadband) χωρίς προσαρμογή εμπεδήσεων).

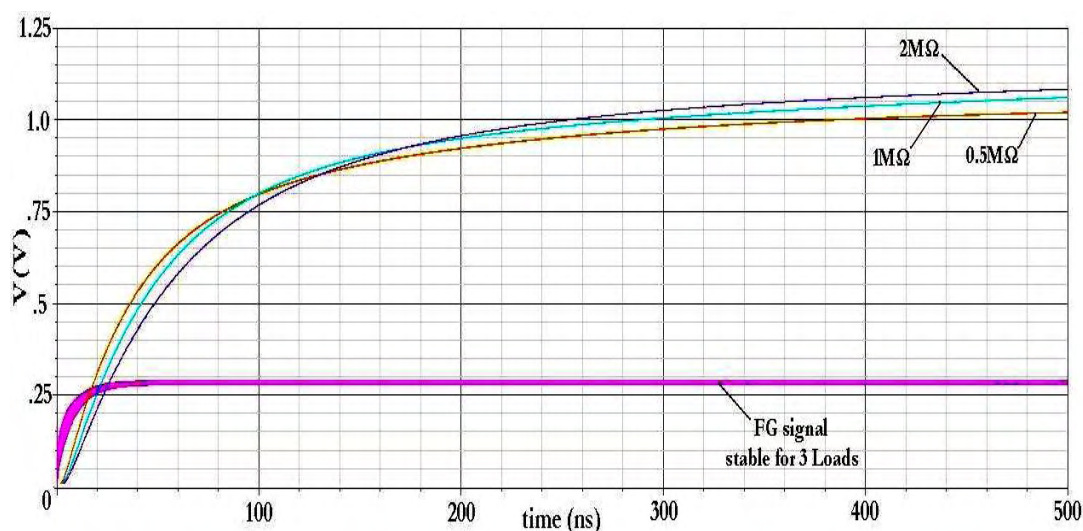


Εικόνα 7-7. Η βελτίωση κατά 11.5% της συμπεριφοράς του προταθέντος ανορθωτή pseudo-FG για είσοδο πλάτους $V_{RF} = 125\text{mV}$, λόγω συνεισφοράς του σήματος FG (signal) στη μείωση του V_{th}

Όπως αναδεικνύεται και στον Πίνακα 7, εντέλει λόγω των προαναφερθέντων πλεονεκτημάτων έναντι άλλων τοπολογιών, κατασκευάστηκε σε ολοκληρωμένη μορφή τεχνολογίας CMOS 90nm (IBM 9LP/9RF CMOS Process) αφού αρχικά σχεδιάστηκε (Layout - Virtuoso, DRC & LVS - Calibre) και εξομοιώθηκε (SpectreRF, pre- and post-layout) στην πλατφόρμα του εργαλείου Cadence® (IC 6.1.3, Analog Design), ένας ανορθωτής 4 σταδίων με την προταθείσα GCCR pseudo-FG τοπολογία, όπου το απαραίτητο σήμα FG (Floating Gate) το δημιουργεί μια βαθμίδα ενός

GCCR-ZVT ανορθωτή (Εικόνα 6-11), που έχει ελάχιστο, σχεδόν μηδενικό κατώφλι, οπότε καθιστά εφικτή την παραγωγή σήματος FG (πόλωσης της σύνδεσης GD, Εικόνα 6-12) ακόμα και σε ελάχιστες τιμές τάσης του σήματος εισόδου RF στο tag chip.

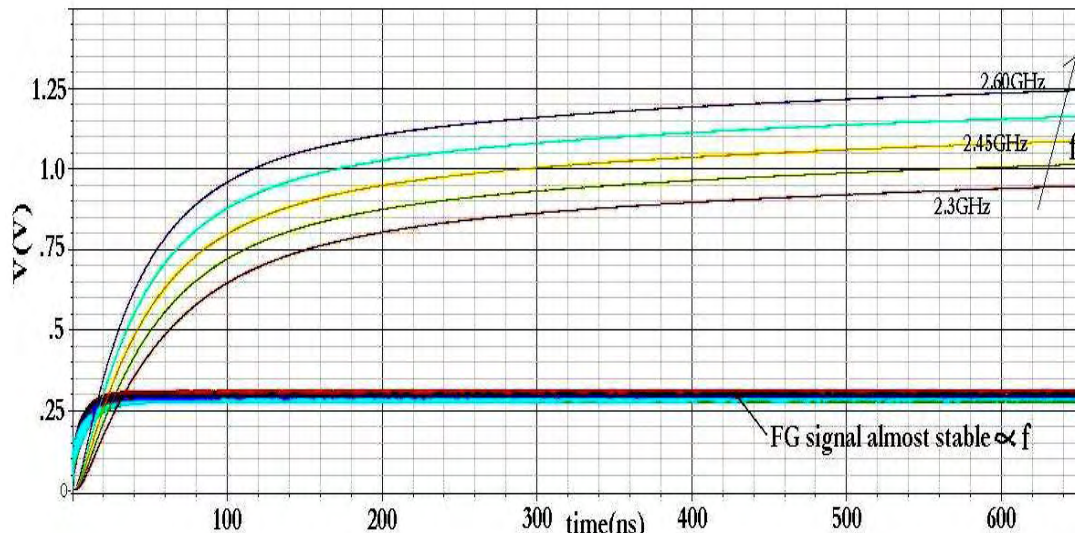
Η όλη σχεδίαση πραγματοποιήθηκε, έτσι ώστε να είναι εφικτή η λειτουργία του ανορθωτή 4 σταδίων ακόμα και χωρίς την ύπαρξη του βοηθητικού σήματος FG (που όπως εξηγήσαμε, ελαττώνει το V_{th} των τρανζίστορς στον ανορθωτή) με σκοπό τη σύγκριση της προταθείσας τοπολογίας με τις ήδη υπάρχουσες, κατά τη λήψη και των πειραματικών μας μετρήσεων, αφού στις εξομοιώσεις η βελτίωση έχει ήδη εκτιμηθεί (Εικόνα 7-7). Όπως είναι εμφανές από την Εικόνα 7-7 και για μια είσοδο RF πλάτους 125mV (ή 250mV στην είσοδο του ανορθωτή, λόγω της τιμής του $Q_t = 2$), μετρήσαμε μια βελτίωση της τάξης του 11.5% (από τα 942.7 στα 1050.3 mV, αν και σε μεγαλύτερες τιμές τάσης εισόδου είχαμε βελτίωση μέχρι και 17%, λόγω και της αύξησης του σήματος V_{FG}) από την συνεισφορά του σήματος V_{FG} (~270mV) στη μείωση της τάσης κατωφλίου V_{th} των τρανζίστορ του ανορθωτή 4 βαθμίδων GCCR pseudo-FG.



Εικόνα 7-8. Η εξάρτηση των DC τάσεων V_{out} και V_{FG} από το φορτίο

Το σήμα δε V_{FG} μετρήθηκε και έδειξε μεγάλη σταθερότητα κατά τις μεταβολές της συχνότητας (επέδειξε μια ελάχιστη ανάλογη εξάρτηση με τη συχνότητα) ή του φορτίου, όπως είναι εμφανές και από τις Εικόνες 7-8 και 7-9, όπου αντίστοιχα εικονίζεται τόσο η εξάρτηση της τάσης εξόδου και του σήματος V_{FG} από το φορτίο, όσο και από τη συχνότητα λειτουργίας, για είσοδο RF ισχύος -8.6dBm. Η μεταβολή δε της τιμής του σήματος FG (που παράγεται από ένα στάδιο ενός ανορθωτή ZVT-

GCCR) σα συνάρτηση του σήματος που φθάνει στον ανορθωτή φαίνεται στον Πίνακα 10.



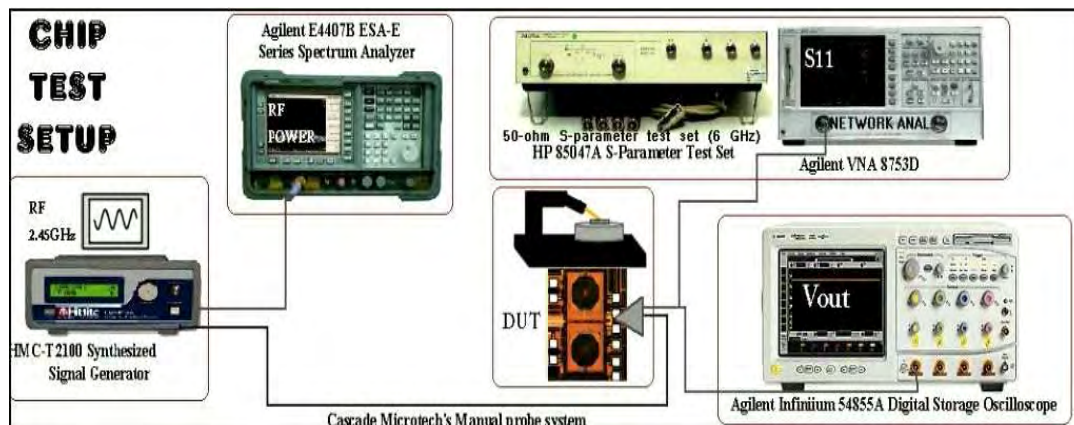
Εικόνα 7-9. Η εξάρτηση των DC τάσεων V_{out} και V_{FG} από τη συχνότητα

7.2 Πειραματική Διάταξη και Πειραματικές Μετρήσεις

Για την εκτέλεση των πειραματικών μετρήσεων χρησιμοποιήσαμε τα παρακάτω όργανα και σηματολήπτες (probes):

- Agilent VNA 8753D with HP 85047A S-Parameter Test Set,
- Agilent Infiniium 54855A Digital Storage Oscilloscope,
- Agilent E4407B ESA-E Series Spectrum Analyzer,
- Cascade Microtech's Manual probe system,
- HMC-T2100 Synthesized Signal Generator.

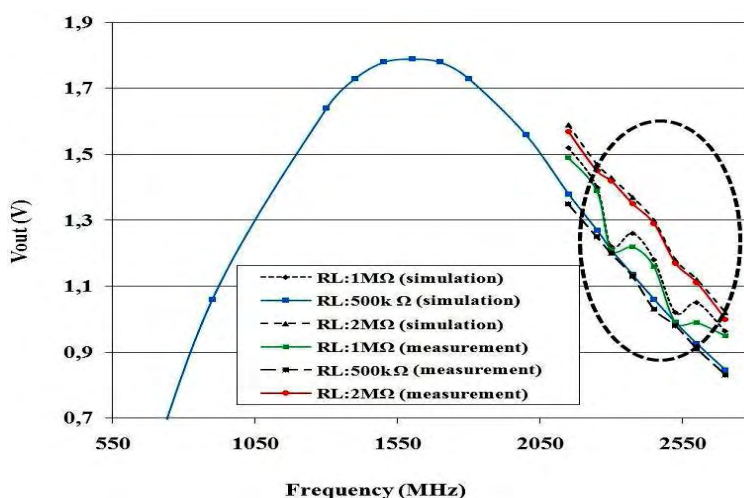
Οι μετρήσεις έγιναν, μη αυτοματοποιημένα, με την ακόλουθη διαδικασία που αναδεικνύεται και στο σχηματικό διάγραμμα της Εικόνας 7-10.



Εικόνα 7-10. Η διάταξη των πειραματικών μετρήσεων

Με τη γεννήτρια παραγωγής σημάτων HMC-T2100, δημιουργήσαμε τα επιθυμητά (ημιτονικά αδιαμόρφωτα φέροντα) σήματα RF (κυρίως με κεντρική συχνότητα τα 2.45GHz της ISM-RFID Band) την εκπεμπόμενη ισχύ της οποίας μετρούσαμε με τον αναλυτή φάσματος E4407B ESA-E. Με τον ψηφιακό παλμογράφο μετρήσαμε την (σχεδόν DC λόγω παρουσίας της κυμάτωσης - ripple) τάση εξόδου του ανορθωτή καθώς και την τάση του σήματος FG (Floating Gate) του προταθέντος “pseudo FG” Rectifier. Επίσης, με το S-Parameter Test Set και τον (Vector Network Analyzer) VNA 8753D μετρήσαμε το συντελεστή σκέδασης S11. Η σύνδεση των pads του ολοκληρωμένου κυκλώματος με τον εξοπλισμό μετρήσεων αλλά και το απαραίτητο balun για τη διαφορική (balanced) τροφοδότηση του ανορθωτή, έγινε με το manual probe system της Cascade Microtech.

Έτσι, οι μετρήσεις μας, εστιάστηκαν κύρια στο θέμα της προσαρμογής (L-match) αλλά και στην ελάχιστη τάση που απαιτείται για τη δημιουργία της απαιτούμενης DC τάσης των 1.2V όπως αναφέραμε. Βέβαια, το θέμα της ορθής προσαρμογής (Παράγρ. 4.3 ως και 4.5) μεταξύ κεραίας, κυκλώματος συντονισμού και ανορθωτή είναι πολύ μεγάλης σημασίας, αφού είναι αδύνατη η επίτευξη τέλει προσαρμογής καθώς και η ταυτόχρονη επίτευξη υψηλής τάσης λόγω υπέρτασης στο διττού ρόλου, κύκλωμα προσαρμογής και συντονισμού (Κεφ. 4). Με άλλα λόγια, είναι πιο κρίσιμος ο συντονισμός στην επιθυμητή συχνότητα και όχι η απολύτως ορθή προσαρμογή με ένα καθαρά μη γραμμικό κύκλωμα, όπως ο ανορθωτής που ακολουθεί. Αυτός είναι κι ο λόγος, που ανιχνεύσαμε μια διαφορά μεταξύ της συχνότητας (μικρής ζώνης f – narrowband matching) τέλει προσαρμογής και της συχνότητας συντονισμού ή ακριβέστερα, υψηλής τιμής υπέρτασης, λόγω συντονισμού.

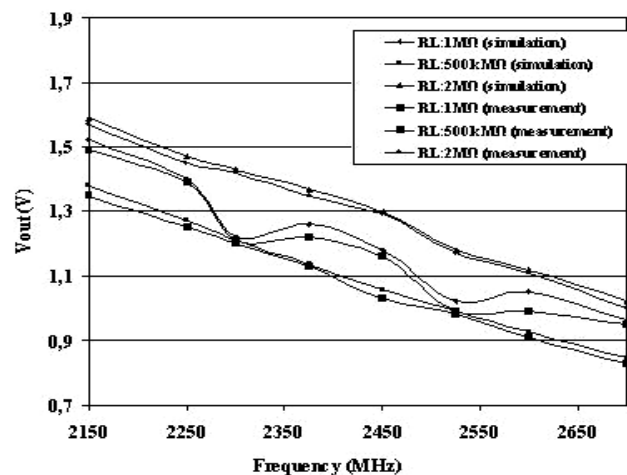


Εικόνα 7-11. Η DC τάση εξόδου του ανορθωτή V_{out} συναρτήσει της συχνότητας f , για διάφορες τιμές του φορτίου R_L , με βάση πειραματικές μετρήσεις και δεδομένα εξομοιώσεων

Έτσι όπως είναι έκδηλο από την Εικόνα 7-11, η μεγιστοποίηση της τάσης στην έξοδο του ανορθωτή, που υποδηλώνει μέγιστη τιμή του ολικού συντελεστή ποιότητας Q_t , γίνεται εφικτή σε συχνότητα $< 2.45\text{GHz}$.

Ακριβέστερα ο συντονισμός στο κύκλωμα υπέρτασης (Booster) συνέβαινε περί τα 1.6GHz (Εικόνα 7-11), δηλαδή σε μικρότερη από τη συχνότητα των 2.45GHz στην οποία σχεδιάστηκε η ορθή προσαρμογή, όπως άλλωστε και θεωρητικά εξηγήσαμε με βάση το μοντέλο που αναπτύχθηκε στην Παράγραφο 4.5. Παρόλα αυτά, έτσι πετύχαμε υψηλότερη τιμή $Q_t (= 2)$ σε σχέση με την επιτευχθείσα (< 2) για ακριβή συντονισμό στα 2.45GHz , όπως εξηγήσαμε και στην Παράγραφο 4.5 (Εικόνα 4-7). Η όλη βέβαια σχεδίαση δεν έγινε μόνο με τη χρήση της αναφερθείσας θεωρίας του Κεφαλαίου 4 αλλά έγινε τελική βελτιστοποίηση της με βάση τις παρασιτικές (κύρια χωρητικές) επιδράσεις που μετρήθηκαν κατά τις εξομοιώσεις και μοντελοποιήθηκαν στην Παράγρ. 4.5.

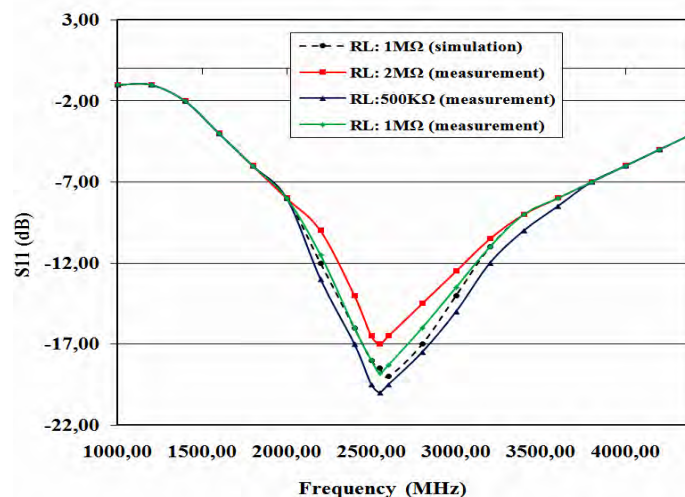
Στην Εικόνα 7-12 παρατηρούμε μια μεγέθυνση της ορισθείσας με την εστιγμένη καμπύλη περιοχής της Εικόνα 7-11, που αποτελεί και την περιοχή ενδιαφέροντός μας (ISM-RFID Frequency 2.45GHz), απ' όπου πιο εύκολα συνάγουμε τη μεγάλη ομοιότητα των πειραματικών μετρήσεων με αυτών από τις εξομοιώσεις.



Εικόνα 7-12. Η DC τάση εξόδου του ανορθωτή V_{out} συναρτήσει της συχνότητας f , για διάφορες τιμές του φορτίου R_L κοντά στην περιοχή ενδιαφέροντος, των 2.45GHz

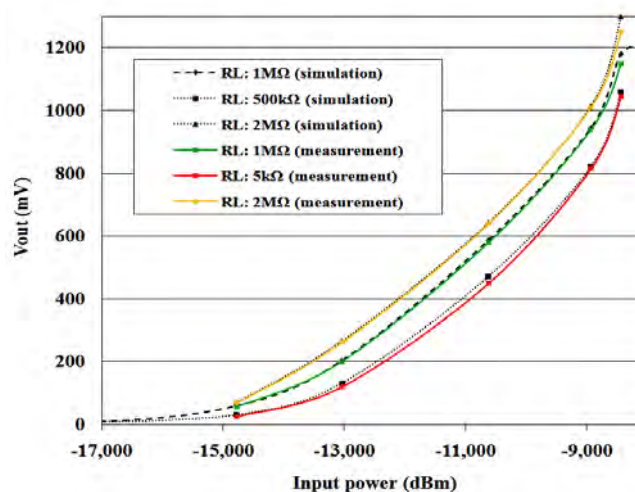
Επίσης, μετρήσαμε και τον συντελεστή ανάκλασης εισόδου S_{11} (input reflection coefficient), που είχε μια πολύ ικανοποιητική τιμή στα -18.8dB σε συχνότητα 2.55GHz για τιμή φορτίου $1\text{M}\Omega$ (Εικόνα 7-13). Η διαφορά μεταξύ αυτής της συχνότητας και της συχνότητας λειτουργίας των 2.45GHz (όπως άλλωστε και η διαφορά μεταξύ της συχνότητας των 1.6GHz της Εικόνας 7-10, όπου παρατηρείται η μέγιστη τάση εξόδου άρα το Q_{max} με τα 2.45GHz) οφείλεται όχι μόνο σε παρασιτικές

χωρητικές κυρίως επιδράσεις που μεταβάλλουν και τη συχνότητα συντονισμού αλλά και τη συμπεριφορά του κυκλώματος προσαρμογής, αλλά και στο ότι έγινε προσπάθεια να πετύχουμε ικανοποιητικό Q ($= 2$) ακόμα κι αν η προσαρμογή απείχε τελικά από την τελειότητα. Βέβαια υπήρχε περιθώριο και για μεγαλύτερη ανοχή στην απώλεια προσαρμογής, ώστε να πετύχουμε και υψηλότερη τιμή του Q (> 2) αλλά αυτή η ευελιξία ενώ υπήρχε σε επίπεδο εξομοίωσης όπως είναι φανερό δε θα μπορούσε να υπάρχει και σε επίπεδο πολλαπλής εργοστασιακής κατασκευής του chip.



Εικόνα 7-13. Ο συντελεστής S_{11} της μήτρας σκέδασης, ως συνάρτηση της συχνότητας για διάφορες τιμές του φορτίου

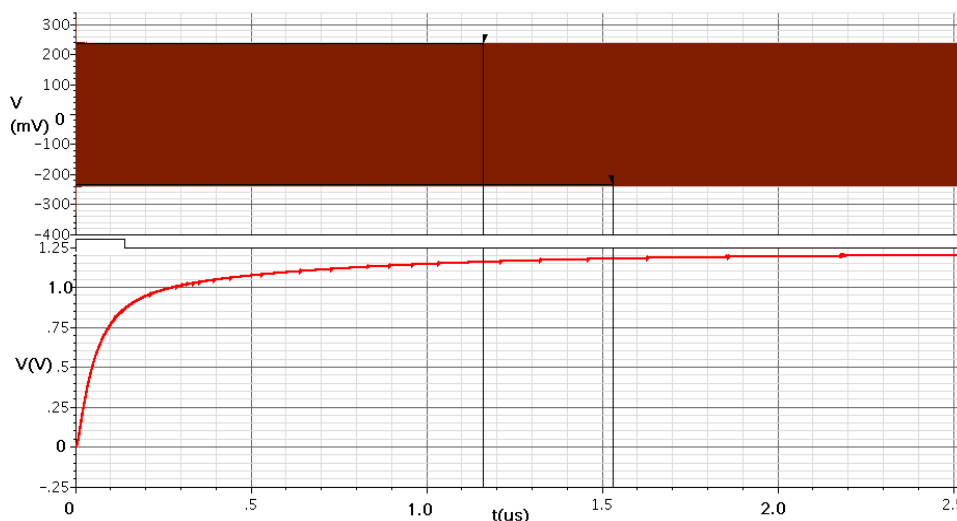
Από την ίδια εικόνα 7-13, συνάγουμε και το εύρος ζώνης συχνοτήτων του κυκλώματος που μετρήθηκε στα 1.2GHz, πράγμα λογικό αφού για $Q = 2$ και συχνότητα λειτουργίας την $f_o = 2.45\text{GHz}$, η εξίσωση 4-21 θα έδινε Bandwidth $B = 1.225\text{GHz}$, που και πειραματικά υπολογίσαμε για την περιοχή συχνοτήτων όπου ο $S_{11} < -10\text{dB}$, από την Εικόνα 7-13.



Εικόνα 7-14. Η εξάρτηση της DC τάσης εξόδου για διάφορες τιμές ισχύος εισόδου RF υπό διαφορετικά φορτία R_L

Η μικρή δε εξάρτηση του S11 από την τιμή του φορτίου, αναδεικνύεται στην ίδια Εικόνα 7-13 όπως μετρήθηκε πειραματικά, αν και στις εξομοιώσεις δε φάνηκε κάποια ανάλογη εξάρτηση αλλά η τιμή του S11 ήταν ανεξάρτητη του φορτίου, κι αυτός είναι ο λόγος που έχουμε το S11 μέσω εξομοίωσης για το φορτίο 1MΩ και μόνον.

Όσον αφορά, την εξάρτηση της DC τάσης εξόδου από την ισχύ εισόδου RF, από την Εικόνα 7-14 συνάγουμε ότι υπάρχει κι εδώ, μεγάλη συνάφεια μεταξύ πειραματικών μας μετρήσεων με τις αντίστοιχες από τις εξομοιώσεις. Οι αντίστοιχες μετρήσεις μας βρίσκονται στους Πίνακες 8 και 9. Με βάση τις μετρήσεις αυτές, στην Εικόνα 7-15 βλέπουμε την έξοδο των 1.2V DC τάσης που επιτυγχάνεται με την είσοδο 235mV στην είσοδο του ανορθωτή (ή λόγω του κέρδους υπέρτασης όπου $Q_i=2$, με τα 117.5mV από την κεραία στην είσοδο του Booster, ή με εισερχόμενη ισχύ ραδιοκυμάτων $P_{RF} = -8.6\text{dBm}$).



Εικόνα 7-15. Είσοδος (Διαφορική) πλάτους 235mV στον ανορθωτή, για την επίτευξη $V_{out} = 1.2\text{V}$

Επίσης στον Πίνακα 10 παρουσιάζεται και η πραγματική συμπεριφορά του σήματος V_{FG} απαραίτητου για τη λειτουργία του προταθέντος pseudo-FG ανορθωτή, παραγόμενου από ένα στάδιο ενός ανορθωτή ZVT-GCCR. Είναι έκδηλη η ομοιότητα μεταξύ των πειραματικών μετρήσεων με αυτές που λάβαμε από τις εξομοιώσεις και η ορθή επομένως συμπεριφορά του κατασκευασθέντος καιρίου κυκλώματος παραγωγής της τάσης V_{FG} που είναι υπεύθυνη για την ελάττωση της τάσης κατωφλίου V_{th} των MOS-diodes που περιέχει ο ανορθωτής [106].

Στην Εικόνα 7-16 απεικονίζεται και η συμπεριφορά με τη συχνότητα, της αντίστασης εισόδου του ανορθωτή, συνδεδεμένου με το κύκλωμα προσαρμογής-υπέρτασης, που για τη συχνότητα ενδιαφέροντος των 2.45GHz όπου άλλωστε έγινε όλη η σχεδίαση,

Πίνακας 8. Α. Οι τιμές μετρήσεων (εξομοίωσης και πειραματικές) για την Εικόνα 7-11, Β. Οι τιμές μετρήσεων για την Εικόνα 7-13.

A. Vout vs Frequency (at various loads) @ Pin \approx -9dBm or RF amplitude $V_{RF}=112.5mV$, with $Q_t=2$ (or 225mV balanced input or 450mV single ended (V_{pp}))						
Input Freq (MHZ)	Vout (V) 1M Ω	Vout (V) 500K Ω	Vout (V) 2M Ω	Vout meas (V) 1M Ω	Vout meas (V) 500K Ω	Vout meas (V) 2M Ω
900		1,06				
1300		1,64				
1400		1,73				
1500		1,78				
1600		1,79				
1700		1,78				
1800		1,73				
2000		1,56				
2150	1,52	1,38	1,59	1,49	1,35	1,57
2250	1,4	1,27	1,47	1,39	1,25	1,45
2300,00	1,220	1,21	1,43	1,21	1,20	1,42
2375,00	1,260	1,14	1,37	1,22	1,13	1,35
2450,00	1,180	1,06	1,30	1,16	1,03	1,29
2525,00	1,020	0,99	1,18	0,99	0,98	1,17
2600,00	1,050	0,93	1,12	0,99	0,91	1,11
2700,00	0,963	0,85	1,02	0,95	0,83	1,00
	<i>simulation</i>			<i>experiment</i>		
B. S11(dB) vs Frequency (at various loads)						
Input Frequency (MHZ)	1M sim.	1M meas.	500K meas.	2M meas.		
1000,00	-1,00	-1,00	-1,00	-1,00		
1200,00	-1,00	-1,00	-1,00	-1,00		
1400,00	-2,00	-2,00	-2,00	-2,00		
1600,00	-4,00	-4,00	-4,00	-4,00		
1800,00	-6,00	-6,00	-6,00	-6,00		
2000,00	-8,00	-8,00	-8,00	-8,00		
2200,00	-12,00	-11,50	-13,00	-10,00		
2400,00	-16,00	-16,00	-17,00	-14,00		
2500,00	-18,00	-18,00	-19,50	-16,50		
2550,00	-18,50	-18,80	-20,00	-17,00		
2600,00	-19,00	-18,30	-19,50	-16,50		
2800,00	-17,00	-16,00	-17,50	-14,50		
3000,00	-14,00	-13,50	-15,00	-12,50		
3200,00	-11,00	-11,00	-12,00	-10,50		
3400,00	-9,00	-9,00	-10,00	-9,00		
3600,00	-8,00	-8,00	-8,50	-8,00		
3800,00	-7,00	-7,00	-7,00	-7,00		
4000,00	-6,00	-6,00	-6,00	-6,00		
4200,00	-5,00	-5,00	-5,00	-5,00		
4400,00	-4,00	-4,00	-4,00	-4,00		

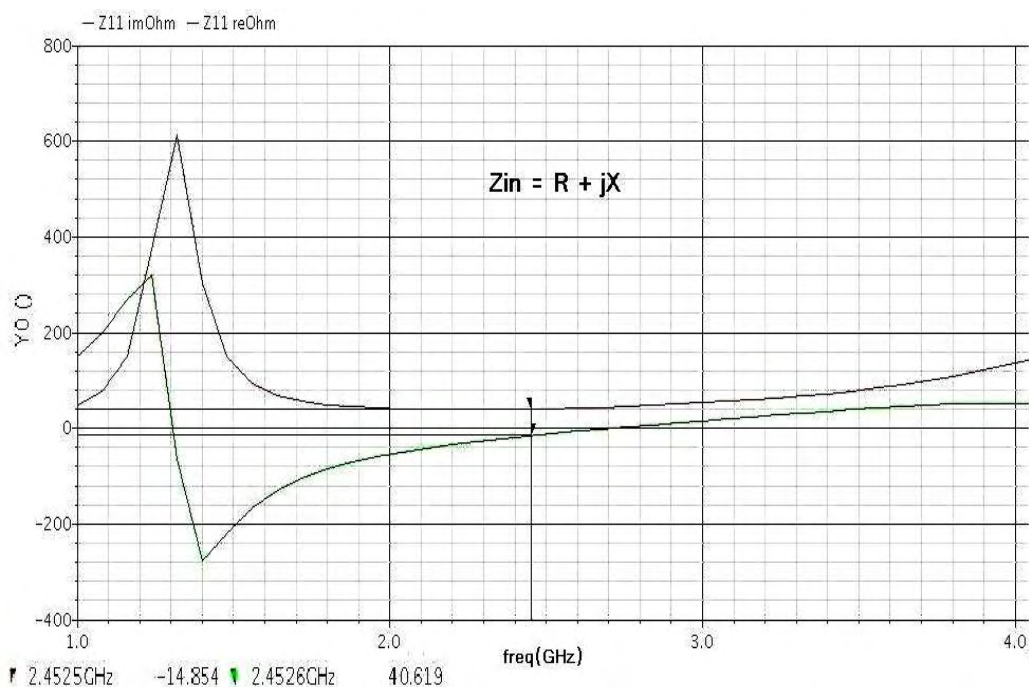
Πίνακας 9. Οι τιμές μετρήσεων (εξομοίωσης και πειραματικές) για τις Εικόνες 7-14 και 7-15

DC Vout vs Input Power (and Voltage) for various Loads (Simulations and Experiments) - $Q_t = 2$												
Input Power at: (dBm)		Input Voltage (V)			P_{RF} Input - μW $(V_o^2/2R_s, R_s=50\Omega)$	Vout DC – Sim. Measurements (mV) at Load			Vout DC– Exp. Measurements (mV) at Load			Range d (m)
Rectifier, $10\log(P_{RF}/1mW) + 6dB$ (due to $Q_t=2$)*	P_{RF} Input of Booster	RF input-Antenna, V_o	Balanced input at Rectifier $V_r = 2V_o$	Unbalanced Input at Rectifier ($2V_r$)		500K Ω	1M Ω	2M Ω	500K Ω	1M Ω	2M Ω	Εξίσωση 4-56
-16.580	-22.580	23.50	47	94	5.522		0.11					3.76
-11.905	-17.905	40.25	80.5	161	16.201	5.7	6.7					2.20
-9,312	-15.312	54.25	108.5	217	29.431	31	60	71	25	55	69	1.63
-7.576	-13.576	66.25	132.5	265	43.891	132	205	267	120	200	262	1.36
-5.116	-11.116	87.50	175	350	76.563	472	588	644	450	580	640	1.01
-3.473	-9.473	106.25	212.5	425	112.891	822	944.2	1015	815	940	1010	0.83
-2.977	-8.977	112.50	225	450	126.563	1060	1180	1300	1045	1150	1250	0.79
-2.600	-8.600	117.50	235	470	138.063		1210			1200		0.75

* Power in Rectifier (dBm) = $10\log(P_{rect}/1mW) = 10\log(P_{RF}/1mW) + 6db = 20\log(V_o(mV)) - 50$, due to $Q_t = 2$ ($P_{rect} = P_{RF} \times 4$ or +6dB) and $R_s = 50\Omega$.

Πίνακας 10. Οι τιμές μετρήσεων (εξομοίωσης και πειραματικές) για τη συμπεριφορά του σήματος V_{FG} απαιτούμενου για τη λειτουργία του προταθέντος pseudo-FG Ανορθωτή

The FG signal (from 1 stage ZVT-GCCR Rectifier) at various inputs			
V_o at Rectifier- mV (2 X RF input)	RF input - dBm	FG signal – Simulated (mV)	FG signal – Measured (mV)
50	-22.1	32	31
85.4	-17.3	76	74
115.4	-14.8	111	110
141.4	-13.1	141	140
186.2	-10.6	200	197
226	-8.9	254	252
252	-8.0	294	291
352.4	-5.1	411	408
402.2	-3.9	488	484



Εικόνα 7-16. Η αντίσταση εισόδου του ανορθωτή συνδεδεμένου στο όλο κύκλωμα

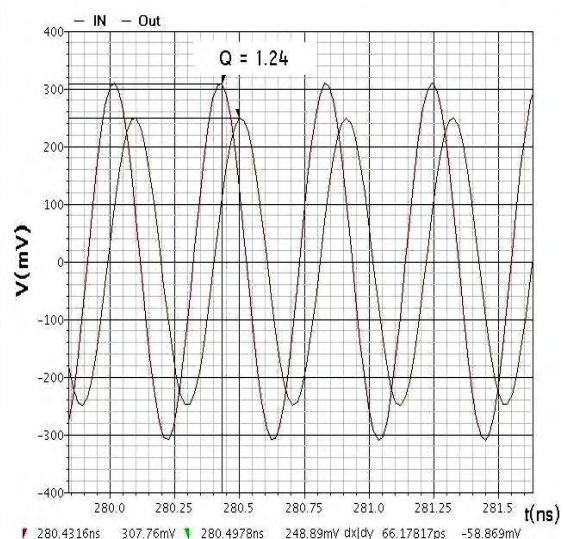
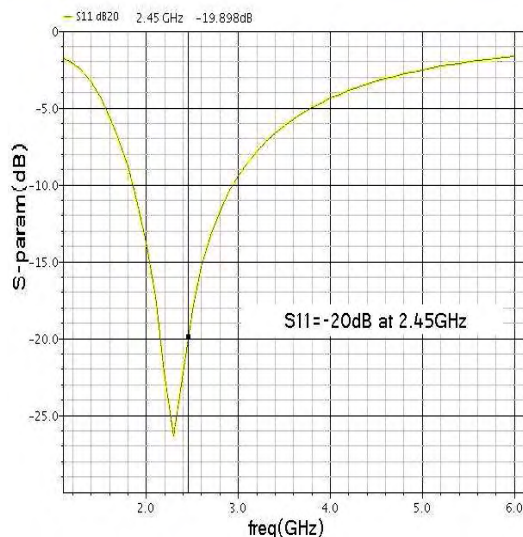
μετρήθηκε να είναι $Z_{in} = 40.619 - 14.854j$ ή $|Z_{in}| \approx 44.5\Omega$ που υποδηλώνει μια τιμή πολύ κοντά στα 50Ω της R_s (αντίστασης πηγής psin στο Cadence κατά τις εξομοιώσεις, με σκοπό την προσομοίωση της αντίστασης της κεραίας) μια ικανοποιητική δηλαδή προσαρμογή, της ωμικής τουλάχιστον συνιστώσας της

εμπέδησης εισόδου. Για τη συχνότητα των 2.45GHz, το φανταστικό μέρος αντιστοιχεί σε μια χωρητική συνιστώσα της τάξης των 4.37pF, τιμή λογική με βάση το σύνολο των χωρητικότητων που χρησιμοποιήθηκαν σε ανορθωτή και κύκλωμα προσαρμογής – υπέρτασης συν τις παρασιτικές χωρητικότητες (αναμενόμενα μικρές λόγω της χρήσης MIM Capacitors). Πρόκειται για 4 στάδια ανορθωτή με 2 πυκνωτές MIM των 200fF ανά στάδιο, συν τις 2 χωρητικότητες 200fF του κυκλώματος παραγωγής της τάσης V_{FG} συν τις 2 χωρητικότητες του κυκλώματος προσαρμογής (balanced feeding of chip) – υπέρτασης στα 1pF έκαστος εξ'αυτών (σχεδιασμένο βέβαια το κύκλωμα προσαρμογής, με έμφαση στην υπέρταση λόγω συντονισμού και όχι στην τέλεια προσαρμογή, που θα απαιτούσε μια άλλη τιμή χωρητικότητας αφού χρησιμοποιήθηκε η μέγιστη (προς επίτευξη μέγιστου Q) εφικτή από την τεχνολογία, σπειροειδής αυτεπαγωγή, τιμής 21.006nH) με αποτέλεσμα η παράλληλη σύνδεση όλων αυτών να δημιουργεί, μαζί και με τις παρασιτικές χωρητικότητες (~10%) μια εφάμιλλη χωρητικότητα (4.4pF) με αυτή που βρήκαμε από το φανταστικό μέρος της σύνθετης αντίστασης εισόδου Z_{in} .

Η χωρητικότητες των 200fF που χρησιμοποιήθηκαν σε κάθε ανορθωτή με χρήση τεχνολογίας MIM είχαν διαστάσεις, $L_c = 3\mu m$, $W_c = 29\mu m$ με $L_c < W_c$ ώστε να μειωθούν οι παρασιτικές επιδράσεις (σχεδίαση υψηλού Q_c). Αν χρησιμοποιούσαμε πυκνωτές pcap (αντί mimcap) της βιβλιοθήκης της τεχνολογίας τότε θα έπρεπε να είχαν μεγέθη, $L_c = 7\mu m$, $W_c = 69\mu m$ πράγμα που θα αύξανε κατά σημαντικό βαθμό τις παρασιτικές χωρητικότητες αλλά και το μέγεθος του chip. Άλλωστε το πλεονέκτημα των MIM Capacitors είναι ακριβώς ο μικρότερος χώρος που καταλαμβάνουν στο chip σε σχέση με πυκνωτές άλλου τύπου (Βλ. Παράγραφο 5.2.2).

Η τιμή δε των 21.006nH των απαιτούμενων ολοκληρώσιμων πηνίων του κυκλώματος προσαρμογής – υπέρτασης (δύο κυκλώματα προσαρμογής, ένα για την τροφοδότηση της εισόδου RF+ και ένα για την είσοδο RF- από το απαραίτητο balun, άρα δύο πηνία), επιτεύχθηκε (symind, from library) με τις ακόλουθες διαστάσεις on-chip: outer = 300um, W = 7.05um, n = 13 rotations, space = 3um, Metal Stack 5_01_00_01_LD, Ground plane M1 (όχι BFMoat, για υψηλό Q). Όσον αφορά τη χωρητικότητα του κυκλώματος προσαρμογής, αυτή καθορίστηκε να έχει τιμή 1pF (mimcap, $W_c = 24.945\mu m$, $L_c = 19.1\mu m$) όπως αναφέραμε, αν και ο ακριβής συντονισμός στη συχνότητα των 2.45GHz με βάση και την τιμή αυτεπαγωγής που θεωρήσαμε, θα έπρεπε να γίνει με χωρητικότητα 200fF. Μάλιστα ο συντονισμός

τώρα γίνεται στα 1.1GHz λόγω αύξησης της χωρητικότητας, ενώ η θεωρητική τιμή του $Q = (L\omega)/R = 2.9$, πολύ κοντά στην τιμή 2 που επιτεύχθηκε (βέβαια με τη χρήση πυκνωτού 200fF το θεωρητικό $Q = 6.4$ όπως θεωρήσαμε και στο μοντέλο ανάλυσης της Παραγράφου 4.5). Η αλλαγή σε μεγαλύτερη τιμή χωρητικότητας έγινε με βάση τις εξομοιώσεις, όπου ερευνήθηκε η συμπεριφορά του κυκλώματος προσαρμογής όταν πια συνδέοταν εμπρός από τον ανορθωτή, ώστε να ληφθούν υπόψιν κάθε είδους παρασιτικές επιδράσεις, που μετέβαλλαν τόσο τη συχνότητα συντονισμού αλλά και το λόγο στασίμων κυμάτων ή το συντελεστή ανάκλασης. Όπως αναφέρθηκε, κύρια στηρίχθηκε η όλη σχεδίαση εστιάζοντας σε καλή προσαρμογή αλλά και ταυτόχρονα πετυχαίνοντας ικανοποιητική τιμή του $Q_t (= 2)$ ώστε να εκμεταλλευτούμε από τη μία το μικρό ποσοστό ανάκλασης της ισχύος ($1-|\rho|^2$ προς το φορτίο) και από την άλλη, το κέρδος τάσης λόγω υπέρτασης κατά το συντονισμό. Έτσι το chip κατασκευάστηκε με βάση ακριβώς αυτή τη λογική σχεδίασης, ενώ ακολούθως μετρήθηκε και πειραματικά επιδεικνύοντας τη συμπεριφορά που ήδη αναλύσαμε. Βέβαια όπως αναλύθηκε, λόγω των παρασιτικών επιδράσεων αλλά και τη διαφορετική συμπεριφορά του κυκλώματος προσαρμογής – υπέρτασης όταν συνδέεται στο μη γραμμικό κύκλωμα του ανορθωτή, τελικά ο συντονισμός πάντοτε πραγματοποιείται σε μεγαλύτερη εκ της αρχικά υποθεθείσας τιμής (βλ. Εικόνα 7-13, στα 2.55GHz), οπότε αυτός ήταν και ο λόγος χρήσης μεγαλύτερης χωρητικότητας από τα αρχικά 200fF ενός ακριβούς (ιδανικά) συντονισμού.

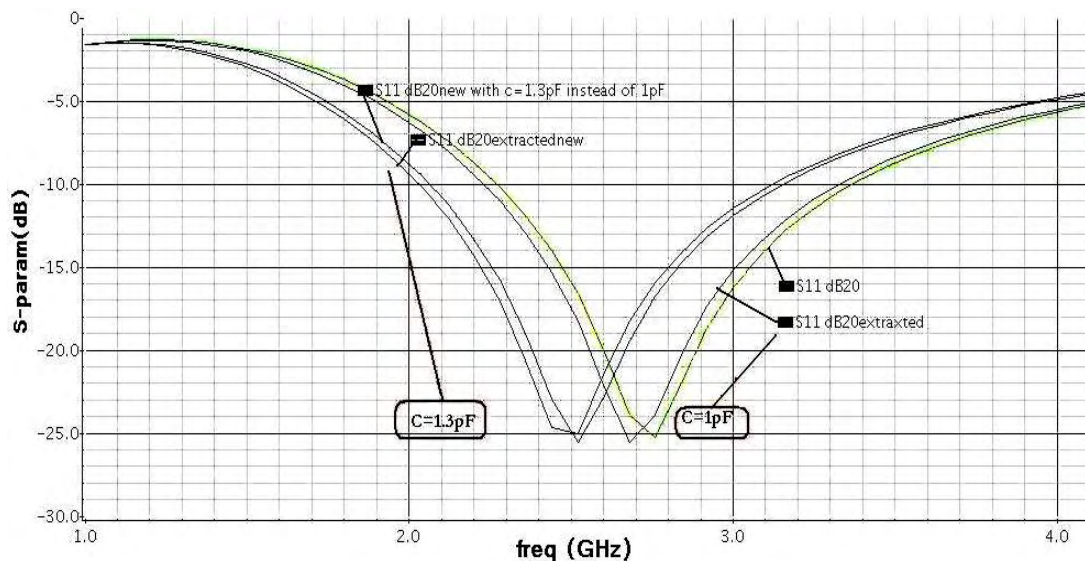


Εικόνα 7-17. Βελτίωση του S11 (= -20dB) αλλά και ελάττωση του $Q_t (= 1.24)$ για: $C=1.3pF$, $L=21nH$

Κάθε φορά βέβαια σε όλη τη διάρκεια της έρευνας, μετρήθηκε το ακριβές εφικτό Q_t σε συνδυασμό με την επιτευχθείσα τιμή της τάσης εξόδου, ενώ παράλληλα

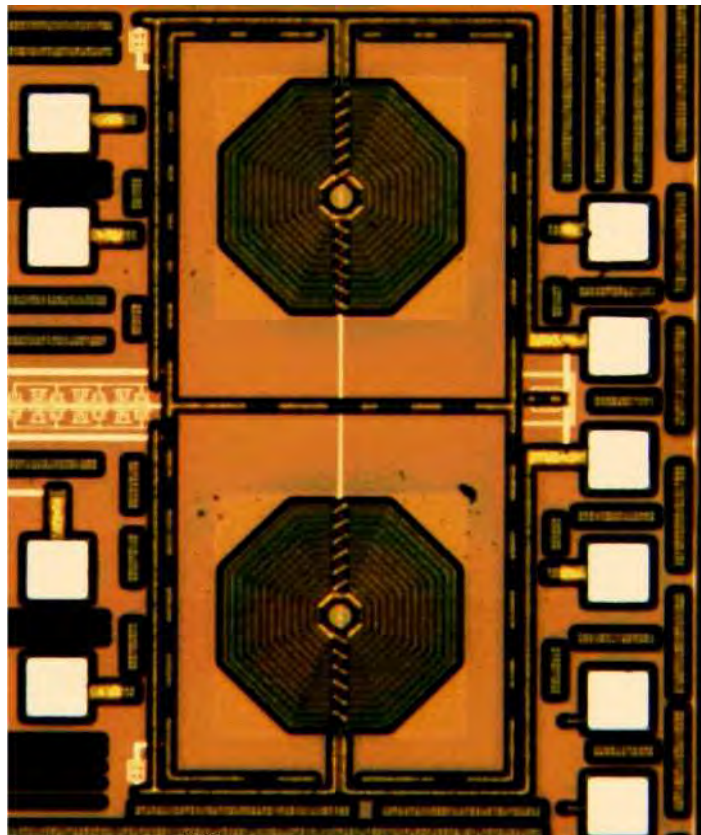
μετρήθηκε και ο συντελεστής ανάκλασης S_{11} (ταυτόχρονη παρακολούθηση της συμπεριφοράς ενός κυκλώματος διττού ρόλου, με μη γραμμική μεταβολή του καθενός εξ'αυτών, τόσο ως κυκλώματος συντονισμού για την επίτευξη της υπέρτασης όσο και ως κυκλώματος προσαρμογής για την εξάλειψη των ανακλάσεων ή τη μέγιστη μεταφορά ισχύος).

Για παράδειγμα, σε άλλη σχεδίαση (Εικόνα 7-17) με πυκνωτή στα 1.3pF, ενώ η προσαρμογή βελτιώθηκε, πράγμα που φανερώνει η νέα τιμή του S_{11} στα -20dB (αντί -18.8dB όταν $C = 1\text{pF}$, Εικόνα 7-13), ο ολικός (loaded) συντελεστής ποιότητας ελαττώθηκε αισθητά στην τιμή $Q_t = 1.24$. Να σημειωθεί, ότι μια ελάττωση στο συντελεστή υπέρτασης κατά ένα ποσοστό δε σημαίνει ότι η τάση στην έξοδο θα ελαττωθεί κατά το ίδιο ποσοστό, αλλά πρακτικά μειώνεται ακόμη περισσότερο και μάλιστα μη γραμμικά. Ο λόγος είναι ότι ελαττωθείσης της παρεχόμενης τάσης στον ανορθωτή, μικραίνει η τάση V_{eff} ($V_{\text{eff}} = V_{\text{GS}} - V_{\text{th}}$, overdrive V) που διατίθεται στα MOSFETs οπότε γίνεται ακόμη πιο υποκατωφλιακή η συμπεριφορά των τρανζίστορς. Στην περίπτωση αυτή ενώ ο συντονισμός θεωρητικά θα έπρεπε να πραγματοποιηθεί στα 960MHz, εντέλει γίνεται στα 2.3GHz, όπως άλλωστε συνέβη και με τον πυκνωτή των 1pF. Μια τελική σύγκριση των δύο προαναφερθέντων υλοποιήσεων, έχουμε στην Εικόνα 7-18, όπου εκτός από τη διαφορετική συμπεριφορά λόγω των διαφορετικών τιμών των πυκνωτών, όπως αναφέρθηκε, έχουμε και τη συμπεριφορά των extracted κυκλωμάτων, που πάντοτε έχουν peak της τιμής S_{11} πιο αριστερά, δηλαδή σε μικρότερη συχνότητα, λόγω των αυξημένων παρασιτικών επιπρόσθετων χωρητικοτήτων από τα pads και τις διασυνδέσεις.

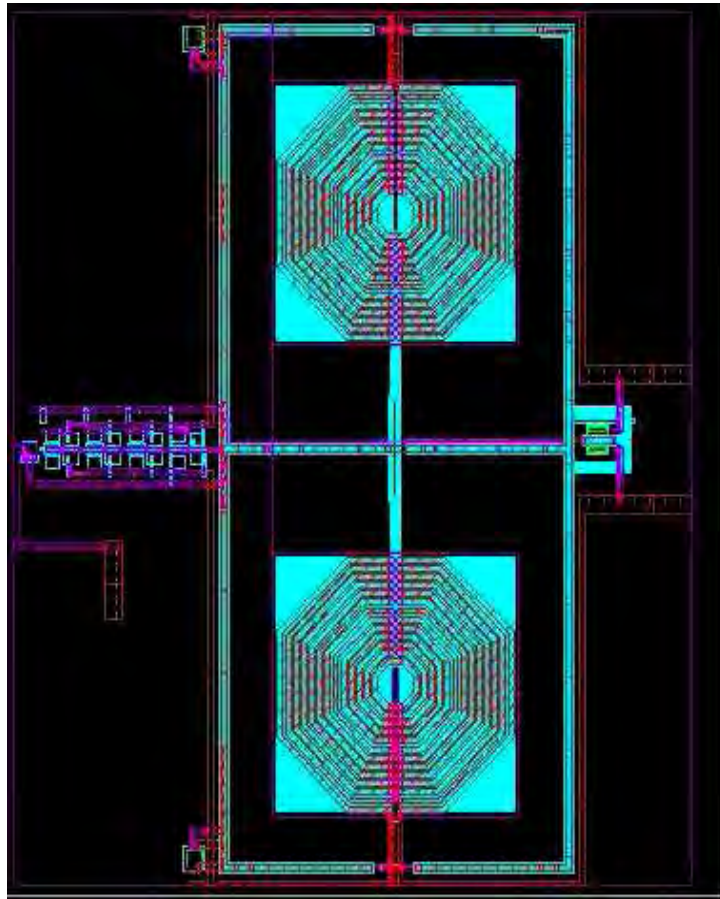


Εικόνα 7-18. Σύγκριση των S_{11} για δύο διαφορετικές τιμές πυκνωτών του κυκλώματος προσαρμογής – υπέρτασης: $C = 1\text{pF}$ (chip's design) & $C = 1.3\text{pF}$

Παρόλα αυτά, μετά και από την αποστολή του τελικού chip (Εικόνες 7-19 και 7-20 και Παράρτημα Β) προς παραγωγή, η συνέχιση των ερευνών, έδειξε τελικά ότι θα μπορούσαμε να πετύχουμε ακόμα μεγαλύτερη DC τάση στην έξοδο του ανορθωτή, αν δεν στηριζόμασταν τόσο στο θέμα της καλής προσαρμογής ($S_{11} < -12\text{dB}$) αλλά και ούτε στην απαίτηση για υψηλή τιμή του συντελεστή υπέρτασης (ποιότητας) Q_t .



Εικόνα 7-19. Μικροφωτογραφία του chip διαστάσεων 0.85mm X 1.05mm ή 0.89mm² (fabricated by IBM – MOSIS in 90nm)



Εικόνα 7-20. Layout of chip (Cadence® Virtuoso-XL) (βλ. Παράρτημα Β)

Αν και η προσπάθεια πάντοτε αποσκοπούσε σε μια χρυσή τομή μεταξύ matching και resonance overvoltage – boosting εντούτοις μια σχεδίαση με τιμές πυκνωτών στα 169fF (με $f_0 = 2.67\text{GHz}$ για $L = 21\text{nH}$) απέδωσε μια τάση εξόδου πολύ μεγαλύτερη από ότι οι προηγούμενες σχεδιάσεις. Έτσι λάβαμε 2.23V στην έξοδο του ανορθωτή 4 σταδίων όταν για την ίδια είσοδο (στα 2.45GHz) σε αυτόν λαμβάναμε μόλις 1V για τιμή των πυκνωτών $C = 1\text{pF}$. Επίσης η απαιτούμενη τάση V_{FG} έφτασε τα 521mV από τα 259mV που ήταν όταν $C = 1\text{pF}$. Βέβαια η τιμή του συντελεστή ανάκλασης έλαβε την τιμή $S_{11} = -2.2\text{dB}$ που υποδηλώνει πάρα πολλά στάσιμα. Ίσως η ανακλώμενη προς τα πίσω ενέργεια εισέρχεται ξανά στον ανορθωτή, αυξάνοντας την απόδοση του όλου συστήματος, οπότε η κακή τελικά προσαρμογή είναι πιο θεμιτή σε σχέση με την απαίτηση ενός βέλτιστου συντελεστή υπέρτασης λόγω ενός καλού κυκλώματος συντονισμού. Το μετρηθέν δε $Q = 1.51$ που αν και μικρότερο από το 2 που είχαμε σχεδιάσει on-chip, εντέλει απέδωσε καλύτερα στην παραγωγή DC τάσης εξόδου κατά τις εξομοιώσεις, πιθανώς για το λόγο που εξηγήσαμε (αν $C = 169\text{fF}$ το $Q_{\text{θεωρ.}} \approx 7$).

Πίνακας 11. Η συμπεριφορά του ανορθωτή μακριά από την συχνότητα λειτουργίας των 2.45GHz για 2 τιμές πυκνωτών του κυκλώματος προσαρμογής – υπέρτασης ($L = 21nH$)

C →	1pf	169fF	1pf	169fF
f (GHz)	V _{FG1} (mV)	V _{FG2} (mV)	V _{out1} (V)	V _{out2} (V)
1		631		1,33
1,3	785		2,53	
1,32	794			
1,36	785			
1,4	776		2,60	
1,44	758			
1,5	728	846	2,56	2,44
1,6	663	849	2,45	2,55
1,7		844		2,64
1,8		814		2,66
1,8125		812		2,715
1,825		807		2,716
1,85		800		2,718
1,875	470	791	1,90	2,72
1,9		786		2,68
1,95		763		2,67
2		742		2,65
2,1		694		2,6
2,2	309	641,4	1,26	2,51
2,45	259	521	0,96	2,23
2,7	253		0,78	
2,8		369		1,81
3		297		1,70
3,4		240		1,35
4		229		1,18

Ακριβέστερα, στον -τελευταίο- Πίνακα 11 οι τιμές μετρήσεων από εξομοίωση έγιναν με το σκεπτικό να ευρεθεί σε κάθε περίπτωση η συχνότητα μεγιστοποίησης, τόσο της τάσεως εξόδου όσο και του σήματος V_{FG}. Όσο βέβαια είναι μεγαλύτερο το σήμα V_{FG} τόσο μεγαλύτερη τάση λαμβάνουμε στην έξοδο, αφού μεγαλύτερο εύρος τάσης (V_{eff}) προς ανόρθωση περισεύει, λόγω μεγαλύτερης ελάττωσης της τάσης κατωφλίου V_{th}. Από τον Πίνακα 11 συμπεραίνουμε, ότι όσο η χωρητικότητα μικραίνει, τόσο μεγαλώνει η συχνότητα, στην οποία μεγιστοποιείται η τάση εξόδου, πράγμα αναμενόμενο λόγω του συντονισμού ($\omega_o = 1/\sqrt{LC}$). Η μετακίνηση όμως ακόμα σε μεγαλύτερη συχνότητα κοντά στα 2.45GHz με τη χρήση πολύ μικρής χωρητικότητας (σχεδίαση μέσω εξομοιώσεων και όχι θεωρητικά αναλυθείσα) δεν κατέστη εφικτή

ακόμα και με την ελάχιστη εφικτή υλοποιήσιμη χωρητικότητα από την τεχνολογία, δηλ. την $C = 36\text{fF}$ ($L = W = 4\mu\text{m}$) που μετακίνησε τη συχνότητα μεγιστοποίησης της τάσης στα 2.12GHz .

Όπως είναι φανερό από τον Πίνακα 11 η μεγιστοποίηση της τάσης εξόδου για την χωρητικότητα 1pF , γίνεται σε συχνότητα 1.4GHz ενώ του σήματος V_{FG} γίνεται στα 1.32GHz . Η νέα αυτή τιμή συχνότητας των 1.4GHz και για σταθερή την τιμή της $L=21\text{nH}$, αντιστοιχεί σε μια νέα ολική χωρητικότητα των 615fF , που μπορεί να προκύψει από μια σε σειρά σύνδεση της αρχικής χωρητικότητας του 1pF με μία χωρητικότητα των 1.6pF , που εύκολα προκύπτει από τον 4-σταδίων ανορθωτή, που περιέχει 2 πυκνωτές των 200fF ανά στάδιο, όπως είδαμε.

Βέβαια και με τη χρήση του μοντέλου από την Παράγραφο 4-5 μπορούμε να υπολογίσουμε για την περίπτωση, για $C = 1\text{pF}$ και με τη νέα συχνότητα συντονισμού που είδαμε ($f = 1.1\text{GHz}$) και για τον νέο συντελεστή ποιότητας $Q_t = 2.9$ ότι (με βάση τους ανάλογους υπολογισμούς) $R_{\text{eq}} = 566\Omega$ που αναγκάζει τον ολικό Q_t να γίνει:

$$Q_t = 2\pi f_{\text{eq}} R_{\text{eq}} C_{\text{eq}} = 1.393 \text{ όπου η νέα } C_{\text{eq}} = C + C_{rp} = C + C_r \left(\frac{Q_c^2}{1 + Q_c^2} \right), \text{ οπότε } C_{\text{eq}} =$$

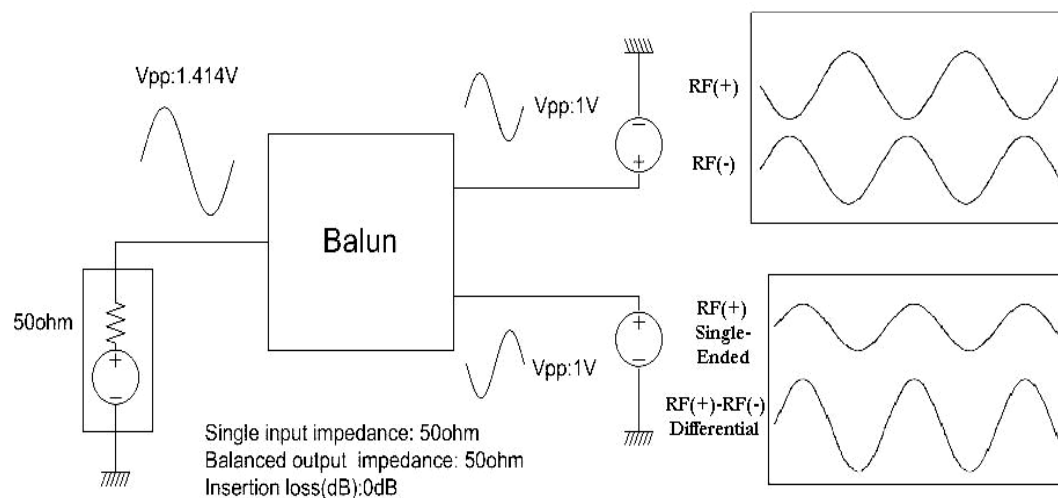
$1000(4/5)\text{fF} + 166\text{fF}$, (με βάση τυπική τιμή Z_{in} από τη βιβλιογραφία) οπότε $C_{\text{eq}} = 966\text{fF}$ και η νέα συχνότητα f_{eq} θα είναι $f_{\text{eq}} = 1.06\text{GHz}$ ($L_p = 23.5\text{nH}$). Η νέα τιμή του Q_t είναι πολύ κοντά στην ευρεθείσα (~ 1.5) από εξομοίωση, που καθιστά επομένως αρκετά ακριβές το μοντέλο της Παραγράφου 4-5.

Επίσης ακριβώς με την ανάλογη διαδικασία, για την σχεδίαση με $C = 169\text{fF}$ ($f_o = 2.67\text{GHz}$, $Q = 7.05$) θα είναι $f_{\text{eq}} = 1.89\text{GHz}$ (αν $C_{\text{eq}} = 166\text{fF} + 169(4/5)\text{fF} = 301.2\text{fF}$

και $f_{\text{eq}} = \frac{1}{2\pi\sqrt{L_p C_{\text{eq}}}}$ με $L_p = 21.4\text{nH}$) τιμή που είναι πολύ κοντά στην ευρεθείσα

συχνότητα μεγιστοποίησης της τάσης εξόδου (1.875GHz στον Πίνακα 11).

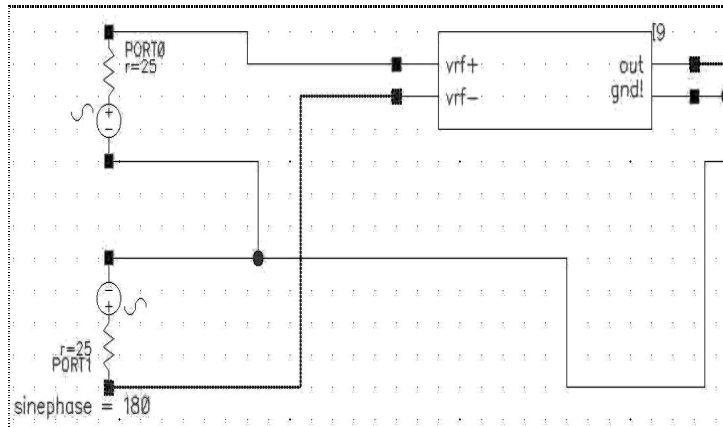
Όσον αφορά το ζήτημα της οδήγησης με το σήμα RF του tag-chip, κατά τις μετρήσεις χρησιμοποιήθηκε balun παρεχόμενο από την Cascade Microtech's και από το Manual probe system που μας παρείχε το εργαστήριο μετρήσεων. Κατά τις εξομοιώσεις έγινε χρήση του ιδανικού balun (AnalogRF Library) που η λειτουργία του γενικά είναι όπως στην Εικόνα 7-21.



Εικόνα 7-21. Ιδανικό Balun για μετατροπή από single ended σε balanced τροφοδότηση

Όπως είναι φανερό, ο διαμοιρασμός της ισχύος σε 2 δυνατές διαδρομές (από $P/2$) καθιστά την παραδιδόμενη τάση σε κάθε διαδρομή να είναι μικρότερη κατά 3dB ($1/\sqrt{2}$). Από τη μορφή των ημιτονικών σημάτων στην Εικόνα 7-21 μπορούμε να κατανοήσουμε την μετατροπή του σήματος διέγερσης από ένα σήμα RF+ ως προς τη γη, σε ένα σήμα με τιμές τάσης από RF- έως RF+.

Βέβαια, η διέγερση μπορεί να γίνει και με τη γεννήτρια σε κατάσταση floating (άνευ γείωσης, που έτσι κι αλλιώς δε μπορεί να υφίσταται σε ένα RFID tag chip), όπου συνδέονται οι δύο πόλοι της γεννήτριας στις εισόδους V_{RF+} , V_{RF-} του ανορθωτή. Βέβαια τότε κατά τις εξομοιώσεις το σήμα πλάτους που κάθε φορά ορίζεται, λαμβανόταν από το Spectre ως τάση peak-peak, ενώ πάντοτε απαιτούταν και ρύθμιση λόγω των ανακλάσεων και στασίμων, που παράλλαζαν και την τάση εισόδου από τη γεννήτρια. Όταν όμως ο αρνητικός ακροδέκτης της γεννήτριας (p_{sin} , $R_s = 50\Omega$) συνδεόταν στη γη, τότε είχαμε μια συμπεριφορά πανομοιότυπη με τη διέγερση του μέσω δυο αντιφασικών γεννητριών (με διαφορά φάσης, $\Delta\phi = 180^\circ$) όπως στην Εικόνα 7-22 (οι αντιστάσεις έγιναν 25Ω σε κάθε γεννήτρια ώστε τελικά να έχουμε 50Ω ισοδύναμη προσομοιασμένη αντίσταση ακτινοβολίας κεραίας).



Εικόνα 7-22. Οδήγηση του ανορθωτή, με δύο αντιφασικές γεννήτριες (Διαφορική Διέγερση)

Η λήψη πάντως μετρήσεων από τις εξομοιώσεις, κατέδειξε τη δυσκολία επίτευξης της απαιτούμενης κάθε φορά τάσης εισόδου στον ανορθωτή από τη γεννήτρια, κύρια λόγω των ανακλάσεων και των στασίμων που την ακολουθούν. Έτσι εκτός από την μεταβολή κατά έναν παράγοντα επί 0.707 λόγω του balun όπως ήδη εξηγήσαμε, έπρεπε να αυξήσουμε κατά έναν παράγοντα 12% την είσοδο στο balun λόγω της απωλεσθείσας ανακλώμενης τάσης, ενώ έπειτα πολλαπλασιάζοντας επί 2 λόγω της υπέρτασης μπορούσαμε να έχουμε την είσοδο στον ανορθωτή.

Ο ως άνω παράγοντας +12% λόγω στασίμων, είναι ουσιαστικά η αριθμητική τιμή των -18.8db που είχαμε υπολογίσει (πειραματικά και από εξομοιώσεις) για τον

συντελεστή ανάκλασης S11 (άρα $\rho = 10^{\frac{-18.8}{20}} = 0.115 = 11.5\%$, από την εξίσωση 3-11).

Τέλος, αν και τα τελευταία συμπεράσματα αποτελούν έρευνα που πραγματοποιήθηκε μετά την αποστολή του chip προς παραγωγή, έδειξαν ότι η επιτευχθείσα απόδοση μετατροπής ισχύος (PCE) θα μπορούσε να είναι μέχρι και πενταπλάσια της αρχικά μετρηθείσας (1.05%) ακόμη και σε συχνότητα την επιθυμητή των 2.45GHz. Ο λόγος είναι η μεγαλύτερη (X2.25) τελικά τάση (και το μεγαλύτερο (X2) βέβαια σήμα V_{FG}) που μπορεί να αναπτυχθεί στην έξοδο του ανορθωτή, παρόλο που τόσο η προσαρμογή, όσο και η υπέρταση λόγω συντονισμού είναι σε μια ενδιάμεση μη τέλεια κατάσταση (Βλ. Πίνακα 11 και εξίσωση 4-51).

8. Συμπεράσματα

Η προταθείσα εξέλιξη, στηρίχθηκε κύρια στις μεθόδους μείωσης του V_{th} μέσω της παροχής φορτίου, άρα τάσης στην πύλη, που καθιστά έτσι πιο εύκολο το άνοιγμα των transistors όπως αναφέραμε. Όμως η μέθοδος που εισάγουμε, δεν απαιτεί ούτε εξειδικευμένες κυκλωματώσεις αλλά ούτε πρόσθετα κόστη στην παραγωγή και είναι απολύτως συμβατή με την τεχνολογία CMOS. Αναλυτικότερα ονομάζουμε τη μέθοδο ως “pseudo-FG” αφού οι κλασικές μέθοδοι FG-MOS είδαμε ότι απαιτούν ειδική μέθοδο πανάκριβης παραγωγής αλλά και προγραμματισμό κι έλεγχο με απαιτήσεις και δυσκολία. Βέβαια στα μεγέθη των καναλιών λίγων nm που σήμερα υλοποιούνται, ανάλογες μέθοδοι μείωσης του V_{th} , τείνουν να εκλείψουν, αφού το λεπτότατο οξείδιο της πύλης (κάποια Å) αποτρέπει τη διατήρηση φορτίου στο GD path για πολύ, λόγω του υπολογίσιμου ρεύματος διαρροής από το λεπτό οξείδιο της πύλης.

Πρακτικά, προσθέσαμε δύο MOS-diode connected transistors και δύο πυκνωτές (MIM) στην αγωγή διαδρομή σύνδεσης μεταξύ Drain-Gate (Καταβόθρας-Πύλης) πετυχαίνοντας έτσι την εισαγωγή διαφοράς δυναμικού V_{FG} χωρίς δρόμο διαφυγής των φορτίων (λόγω των πυκνωτών) στη θέση αυτή. Η τάση V_{FG} παράγεται από ένα στάδιο ανορθωτή GCCR με τη χρήση ZVT (Zero V_{th}) MOSFETs που έχουν μηδενικό κατώφλι τάσης και άρα ανοίγουν με ελάχιστο RF σήμα εισόδου. Το μέγεθος της τάσης V_{FG} καθορίζει ουσιαστικά και τη μείωση στο κατώφλι τάσης V_{th} που μπορεί να επιτευχθεί. Η παραπάνω εξέλιξη αν και μπορεί να χρησιμοποιηθεί και στις 2 τοπολογίες όπως αναφέραμε, εντέλει έδωσε πολύ μεγαλύτερη βελτίωση στην περίπτωση του GCCR ανορθωτή τόσο σε αύξηση απόδοσης (PCE, VCE) και ταχύτητας (settling time) όσο και στην ελάττωση της κυμάτωσης (ripple) . Για το λόγο αυτό η υλοποίηση ενός πρότυπου chip ολοκληρωμένου ανορθωτή 4 σταδίων με τα απαραίτητα κυκλώματα προσαρμογής και προστασίας υπέρτασης (limiters) στηρίχθηκε σε GCCR Pseudo-FG τοπολογία κυκλώματος.

Ο στόχος μας πάντοτε ήταν η επίτευξη συνεχούς τάσης 1.2V στην έξοδο, ικανή να θέσει σε λειτουργία τόσο ψηφιακά (και <1V) όσο και αναλογικά κυκλώματα στα τμήματα που ακολουθούν. Οι προσπάθειες μας στόχευσαν κύρια στην επίτευξη μεγάλης απόδοσης μετατροπής τάσης (VCE) και όχι τόσο στην υψηλή απόδοση

μετατροπής ισχύος (PCE), που απαιτεί μικρά φορτία (loads) άρα μεγάλα ρεύματα και μεγάλες κατά συνέπεια διαστάσεις (W/L) transistors ώστε να χειριστούν τα ρεύματα αυτά.

Οι πειραματικές μας μετρήσεις βρέθηκαν σε πολύ καλή συμφωνία με τις μετρήσεις των εξομοιώσεων. Ο παράγοντας βελτίωσης της τάσης εξόδου με τη χρήση της καινοτόμου pseudo-FG κυκλωμάτωσης στον 4-σταδίων ανορθωτή, είναι 11.5% (για την τιμή εισόδου που καθιστά εφικτή την επίτευξη 1.2V στην έξοδο, αφού για μεγαλύτερες τάσεις εισόδου ο παράγοντας βελτίωσης μεγαλώνει, έως και 17%) και οφείλεται στη μείωση του V_{th} με αποτέλεσμα την αύξηση ενεργού περιοχής λειτουργίας του ανορθωτή (μικρότερη τάση ώστε να άγουν τα MOSFETs αλλά και μεγαλύτερη περίσσεια διαφοράς δυναμικού προς ανόρθωση, για δεδομένη τάση στην είσοδο του ανορθωτή).

Ο ανορθωτής 4 σταδίων που κατασκευάστηκε μετρήθηκε πειραματικά να έχει απόδοση μετατροπής τάσης και ισχύος $VCE = 63.83\%$ και $PCE = 1.05\%$ αντιστοίχως, για είσοδο ισχύος -8.6dBm (117.5mV RF είσοδος) με εμβέλεια 0.75m (EIRP = 825mV στην Ευρώπη).

Επίσης εξομοιώσαμε έναν ανορθωτή 20 σταδίων με χρήση μόνο ZVT MOSFETs σε τοπολογία GCCR που λειτούργησε ταχύτατα με ελάχιστη κυμάτωση χωρίς τα προβλήματα αυξημένων διαρροών ρεύματος που όλα τα άλλα δικτυώματα επέδειξαν με χρήση MOS μηδενικού V_{th} . Αυτό συμβαίνει κυρίως σε ανορθωτές με λογική λειτουργίας διακοπτόμενων πυκνωτών αφού ένα MOS με μηδενικό ή ελάχιστο V_{th} ποτέ δεν είναι απόλυτα ανοιχτό ή κλειστό (εναλλάξ) όπως θα έπρεπε στη λειτουργία του ως τέλειος διακόπτης. Έτσι για μια RF τάση εισόδου ίση με 53.5mV (-15.43dBm) και σε φορτίο $1\text{M}\Omega$ λάβαμε 1.25V DC τάση εξόδου ή μια ισχύ εξόδου $1.563\mu\text{W}$ ($I = 1.25\mu\text{A}$), με απόδοση $VCE = 29.21\%$ και $PCE = 5.46\%$ με εμβέλεια 1.65m . Με φορτίο $0.2\text{M}\Omega$ λάβαμε $VCE = 16.67\%$ και $PCE = 8.89\%$.

Εντέλει, με βάση τις μετρήσεις μας από πειράματα και εξομοιώσεις συμπεραίνουμε ότι οι προταθέντες ανορθωτές μπορούν με αυξημένη απόδοση να προσδώσουν την απαραίτητη συνεχή ισχύ σε αισθητήρες ή παθητικά RFIDs. Συγκριτικά δε με άλλες υλοποιήσεις από την ερευνητική βιβλιογραφία, οι ανορθωτές που εισήχθησαν υπερέρχουν, ειδικά αν λάβει κανείς υπόψιν (ένεκα της απουσίας ενός ευρέως αποδεκτού *figure of merit*) την εκπεμπόμενη ισχύ (EIRP μικρό στην Ευρώπη), τη συχνότητα λειτουργίας (2.45GHz , υψηλό FSPL), το κέρδος και την αντίσταση της

κεραίας (50Ω αντι π.χ. 300Ω) καθώς και το φορτίο, αλλά και το ότι προβήκαμε σε μια πλήρως ολοκληρώσιμη υλοποίηση με ότι αυτό συνεπάγεται στη χαμηλή τιμή του συντελεστή ποιότητας Q, λόγω των ολοκληρωμένων (on chip) σπειροειδών πηνίων.

8.1 Προτάσεις για περαιτέρω έρευνα

Όπως είναι βέβαιο η επιστημονική ερευνητική διαδικασία είναι αέναη και συνεχίζεται, είτε μέσω πρότασης καινοτόμων τοπολογιών και κυκλωματώσεων είτε μέσω της βελτίωσης και αύξησης της απόδοσης των ήδη υπαρχόντων προτάσεων.

Έτσι στο εν λόγω θέμα και με βάση την Εικόνα 6-33, είναι φανερό ότι μεγάλος αριθμός από τα εμφανιζόμενα blocks του διαγράμματος, εμπεριέχουν τη δυνατότητα περαιτέρω ερευνητικής ενασχόλησης, τόσο στον Αναλογικό όσο και στον Ψηφιακό τομέα λειτουργίας του RFID tag chip.

Το θέμα επίσης της κεραίας του tag αλλά και του Reader, είναι τεράστιας ερευνητικής σημασίας και αποτελεί καίριας σημασίας τμήμα της ορθής λειτουργίας κύρια του RF-FrontEnd του tag chip. Τα ολοκληρωμένα επίσης πηνία του κυκλώματος προσαρμογής, θα μπορούσαν να σχεδιαστούν ειδικά (π.χ. μέσω VeloceRF™) για το σκοπό, μη χρησιμοποιώντας τις έτοιμες αυτεπαγωγές που η βιβλιοθήκη της τεχνολογίας εμπεριείχε ή προσέφερε. Έτσι θα πετυχαίναμε υψηλότερο συντελεστή υπέρτασης – ποιότητας, την καθοριστική σημασία του οποίου, ιδιαίτερα τονίσαμε στη διάρκεια της διατριβής. Άμεσο και μεγάλης σπουδαιότητας αποτέλεσμα θα ήταν, η μικρότερη απαιτούμενη τάση ώστε να λειτουργήσει ο ανορθωτής, με άμεσο θετικό αντίκτυπο στην εμβέλεια και απόδοση αυτού.

Η αναζήτηση επίσης της ορθής λειτουργίας των κυκλωμάτων που προτάθηκαν, σε υψηλότερες συχνότητες (π.χ. 5.5GHz) αλλά και σε πιο υπονανομετρικές (<<100nm) τεχνολογίες (υψηλότερου f_T) όπου νέα μοντέλα παίρνουν τη θέση των παλαιών, στις ελάχιστες ποια αποστάσεις μέσα στο κανάλι, όπου κύρια, κβαντικά φαινόμενα λαμβάνουν κυρίαρχο ρόλο στη θέση άλλων διεξοδικά ήδη αναλυμένων φαινομένων, είναι χωρίς τέλος. Βέβαια αν και στη συχνότητα των 2.45GHz βρισκόμασταν στο όριο έναυσης μικροκυματικών αντιμετώπισεων και υλοποιήσεων των προβλημάτων που ενέσκηψαν, η μετάβαση σε μεγαλύτερες συχνότητες θα επιφέρει στροφή του ερευνητικού ενδιαφέροντος σε μικροκυματικές τεχνικές, τόσο για την κεραία όσο και για το κύκλωμα προσαρμογής αυτής στο chip.

Βιβλιογραφία

- 1) Joshua D. Griffin and Gregory D. Durgin, "Complete Link Budgets for Backscatter-Radio and RFID Systems", *IEEE Antennas and Propagation Magazine*, Vol. 51, No.2, April 2009
- 2) Klaus Finkenzeller, *RFID Handbook: Fundamentals and Applications in Contactless Smart Cards and Identification*, 2nd ed. New York: Wiley, 2003, ISBN 0-470-84402-7
- 3) B. Berland. Photovoltaic technologies beyond the horizon: Optical rectenna solar cell - Final report, 1 August 2001 – 30 September 2002. Technical Report NREL/SR-520-33263, National Renewable Energy Laboratory (NREL), Golden, Colorado, February 2003
- 4) K. D. Kotter, D. S. Novack, W. D. Slafer, P. Pinhero, Solar nantenna electromagnetic collectors, *Proc. Int'l Conf. Energy Sust. 2008*, no. 43208, pp. 409-415, 2008
- 5) M. Cheney, *Tesla: Man Out of Time*, A Laurel Book, Dell Publishing Co., New York, 1981, ISBN# 0-440-39077-X
- 6) A. Karalis, J. D. Joannopoulos, and M. Soljagic, "Efficient wireless non-radiative mid-range energy transfer," *Ann. Phys.*, vol. 323, no. 1, pp. 34–48, Jan. 2008
- 7) H. T. Friis, "A Note on a Simple Transmission Formula," *Proceedings of IRE*, vol. 34, no. 5, pp. 254-256, May 1946
- 8) ETSI EN 300 440-1 V1.3.1 (2001-09), European Standard (Telecommunications series). Electromagnetic compatibility and Radio spectrum Matters (ERM); Short range devices; Radio equipment to be used in the 1 GHz to 40 GHz frequency range; Part 1: Technical characteristics and test methods
- 9) W.C. Brown. The history of power transmission by radio waves. *IEEE Trans. Microwave Theory Tech., Special Centennial Historical Issue*, MTT-32(9):1230–1242, September 1984
- 10) J. P. Thomas, M. A. Qidwai, and J. C. Kellogg, "Energy scavenging for small-scale unmanned systems," *Journal of Power Sources*, vol. 159, pp. 1494-1509, 2006
- 11) Sara Qazi, "Energy Harvester for Smart Dust", Technical Document, Electronic Systems, Linkoping University, October 15, 2010
- 12) Costis Kompis and Simon Aliwell, "Energy Harvesting Technologies to Enable Remote and Wireless Sensing", *Sensors and Instrumentation KTN Report*, June 2008. (online, <http://server.quid5.net/~koumpis/pubs/pdf/energyharvesting08.pdf>)
- 13) P. V. Nikitin et al., "An Overview of Near Field UHF RFID," *Proc. IEEE Int'l. Conf. RFID*, Mar. 2007, pp. 167–74
- 14) V. Chawla and D. S. Ha, "An Overview of Passive RFID," *IEEE Applications Practice*, pp. 11 – 17, September 2007 (online, <http://www.cesca.centers.vt.edu/research/papers/Ha/07comm.pdf>)
- 15) EPCGlobal - Electronic Product Code (online, <http://www.gs1.org/epcglobal>)
- 16) "Energy-Harvesting Active Networked Tags (EnHANTs) Project, Columbia University," (online, <http://enhants.ee.columbia.edu>)
- 17) Justin R. Farmer, "A comparison of power harvesting techniques and related energy storage issues," in *Mechanical Engineering*. vol. Master of Science Blacksburg, Virginia: Virginia Polytechnic Institute and State University, 15 May 2007, p. 115
- 18) Steve Lewis, "A basic introduction to RFID technology and its use in the supply chain", Laran RFID Co.-France, White Paper, 2004, (Online, <http://www.idii.com/wp/LaranRFID.pdf>) ή (<http://www.printronix.com/library/assets/public/case-studies/rfid-laran-white-paper-english.pdf>)

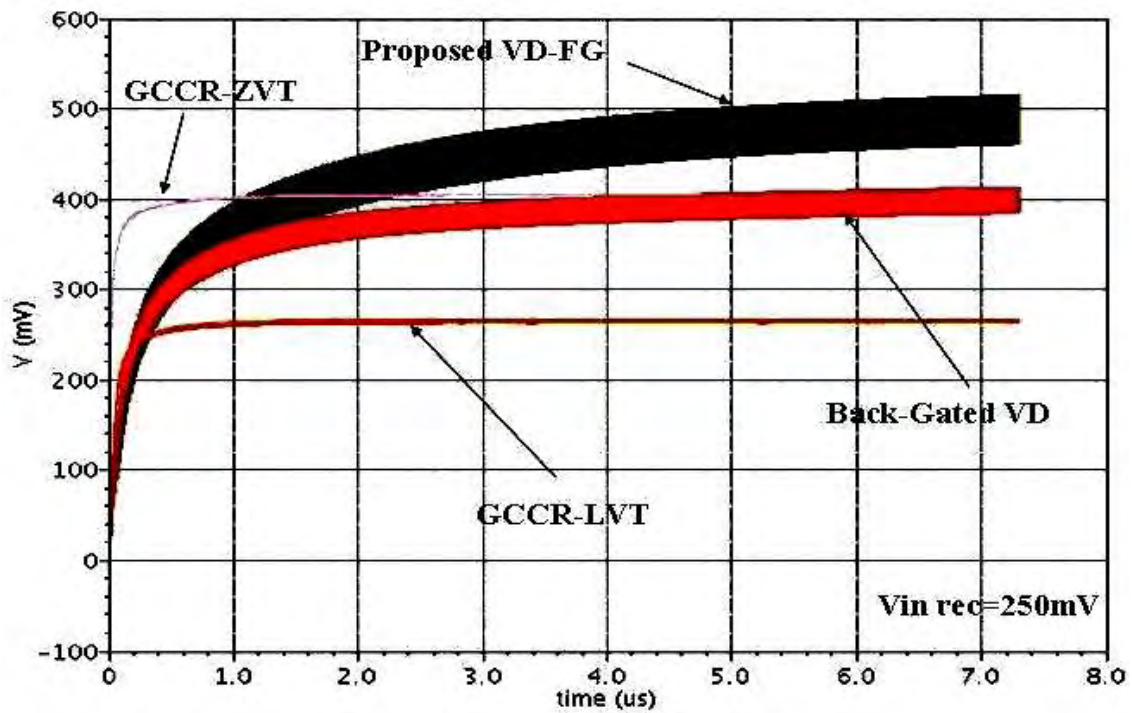
- 19) Harvey Lehpamer, *RFID Design Principles* (Artech House Microwave Library), Artech House Inc., 2008
- 20) Bergqvist U. et al. Mobile telecommunication base stations – exposure to electromagnetic fields, Report of a short term mission within COST-244bis, 2000.
- 21) Visser HJ, Reniers ACF, Theeuwes JAC. Ambient RF energy harvesting: GSM and WLAN power density measurements. In: European microwave conference, Amsterdam, The Netherlands; 2008.
- 22) R. J. M. Vullers, R. van Schaijk, I. Doms, C. Van Hoof, and R. Mertens, "Micropower energy harvesting," *Solid-State Electron.*, **53**, 684-693, 2009.
- 23) Lhermet H, Condemine C, Plissonnier M, Salot R, Audebert P, Rosset M. Efficient power management circuit: from thermal energy harvesting to above-IC microbattery energy storage. *IEEE J Solid-State Circ* 2008;43:243–6.
- 24) Yuen-Hui Chee, Mike Koplou, Michael Mark, Nathan Pletcher, Mike Seeman, Fred Burghardt, Dan Steingart, Jan Rabaey, Paul Wright, and Seth Sanders. Picocube: a 1 cm³ sensor node powered by harvested energy. In DAC '08: Proceedings of the 45th annual conference on Design automation, pages 114-119, New York, NY, USA, 2008. ACM. ISBN 978-1-60558-115-6. doi: <http://doi.acm.org/10.1145/1391469.1391499>.
- 25) S. Mandal, L. Turicchia, R. Sarpeshkar, "A low-power, battery-free tag for body sensor networks," in *IEEE Pervasive Computing*, vol. 9, no. 1, pp. 71-77, Jan.-March 2010.
- 26) R. Barnett, J. kiu, S. Lazar, "A RF to DC Voltage Conversion model for Multi-Stage Rectifiers in UHF RFID Transponders," *IEEE J. of solid-state circuits*, vol. 44, no.2, pp. 354-370, Febr. 2009
- 27) S. Roy, V. Jandhyala, J. Smith, D. Wetherall, B. Otis, R. Chakraborty, M. Buettner, D. Yeager, Y. Ko, and A. Sample, "RFID: From supply chains to sensor nets," *Proceedings of the IEEE*, vol. 98, no. 9, pp. 1583–1592, Sept. 2010.
- 28) J.-P. Curty, N.Joehl, C. Dehollain, M. J. Declercq, "Remotely Powered Addressable UHF RFID Integrated System," *IEEE J. of solid-state circuits*, vol.40, no. 11, pp. 2193-2202, Nov. 2005
- 29) Yi Huang, Kevin Boyle, *Antennas : from theory to practice*, John Wiley & Sons Ltd, UK, 2008
- 30) T. Starner and J. A. Paradiso, "Human generated power for mobile electronics," in *Low Power Electronics Design*, C. Piquet, Ed. Boca Raton, FL: CRC, 2004.
- 31) U. Karthaus, M. Fischer, "Fully integrated passive UHF RFID transponder IC with 16.7- μ W minimum RF input power," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1602-1608, Oct. 2003
- 32) J. Johnson, "Thermal Agitation of Electricity in Conductors", *Phys. Rev.* 32, 97, 1928
- 33) H. Nyquist, "Thermal Agitation of Electric Charge in Conductors", *Phys. Rev.* 32, 110,1928
- 34) K.V. Cartwright, "Non-Calculus Derivation of the Maximum Power Transfer Theorem," *Technology Interface*, vol. 8, no. 2, 2008.
- 35) C. A. Balanis, *Antenna Theory, Analysis and Design*, John Wiley & Sons, USA, 1997
- 36) F. R. L e Silva and M. T. De Melo, Design of RFID Coplanar Antenna with Stubs over Dipoles, *Universidade Federal de Pernambuco, Brasil* (online, http://www.intechopen.com/source/pdfs/14419/InTech_Design_of_rfid_coplanar_antenna_with_stubs_over_dipoles.pdf)
- 37) R. M. Fano, "Theoretical limitations on the broadband matching of arbitrary impedances," *Journal of the Franklin Institute*, Vol. 249, Nos. 1,2, 57–83 and 139–154, 1950.
- 38) H.Carlin and B.Yarman, The Double Matching Problem: Analytic and Real frequency Solutions, *IEEE journal on Circuits and Systems*, 30(1), 15-28, Jan. 1983
- 39) S. Mandal, "Far Field RF Power Extraction Circuits and Systems," Master's thesis, Dep. of Elect. Eng. Comp. Sci., Massachusetts Inst. of Technol., Cambridge, Jun. 2004.
- 40) http://www.highfrequencyelectronics.com/Archives/Sep10/HFE0910_DesNotes.pdf, http://ieeeps.org/aps_trans/docs/ReturnLossAPMag_09.pdf
- 41) Z. Zhu, B. Jamali, P.Cole: Brief Comparison of Different Rectifier structures for HF and UHF RFID, University of Adelaide, 2004 (online, <http://ihome.ust.hk/~xjimmylee/paper/download.pdf>)
- 42) T. Le, K. Mayaram, T.S. Fiez, "Efficient Far-Field Radio Frequency Energy Harvesting for Passively Powered Sensor Networks," *IEEE journal of solid state circuits*, vol. 43, no. 5, pp. 1287-1302, May 2008

- 43) S. Atluri, M. Ghovanloo, "Incorporating Back Telemetry in a Full-Wave CMOS Rectifier for RFID and Biomedical Applications," IEEE International Symposium on Circuits and Systems ISCAS, pp. 801-804, ISBN: 1-4244-0920-9, 27-30 May 2007
- 44) S. Mandal, R. Sapreshkar, "Low Power CMOS Rectifier Design for RFID Applications," IEEE Transactions in Circuits and Systems, I: Regular papers, vol. 54, no. 6, pp. 1177-1188, June 2007
- 45) B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, International Edition, 2001.
- 46) IBM Foundry and Manufacturing Services Education, Design Kit and Technology CMOS 9FLP/9RF, IBM Microelectronics, 10 Sept. 2007, (online, <http://www.mosis.com/ibm/9lprf/>, ftp://ftp.mosis.com/pub/mosis/vendors/ibm-90/t71k_9rf-params.txt, <http://www.mosis.com/pages/Technical/Testdata/ibm-90-prm>)
- 47) Jonas Fritzin, *Power Amplifier Circuits in CMOS Technologies*, Department of Electrical Engineering, Linkopings Universitet, Linkoping, Sweden 2009
- 48) Y. Tsvividis, *Operation and Modeling of the MOS Transistor*, 2nd Edition, New York, Oxford University Press Inc., 1999
- 49) S. M. Sze, "Physics of Semiconductor Devices, Second Edition", John Wiley & Sons, 1981.
- 50) D. Johns, K. Martin, *Analog Integrated circuit design*, John Wiley & Sons, 1997, ISBN 0-471-14448-7
- 51) T. Halvorsen, H. Hjortland, T.S. Lande, "Power Harvesting in 90 nm CMOS, I: Proceedings of 26th IEEE Norchip Conference 2008, ISBN 978-1-4244-2493-1, pp. 154-157, 2008
- 52) C. Huang, S. Chakrabartty, "Low-threshold Voltage Multipliers based on Floating-gate Charge-Pumps," IEEE Biomedical Circuits and Systems Conference, BioCAS 2008, ISBN 978-1-4244-2878-6, 2008
- 53) Kent D. Layton, *Low-Voltage Analog CMOS Architectures and Design Methods*, Department of Electrical and Computer Engineering, Brigham Young University, December 2007
- 54) J. Yi, W-H. Ki, C-Y. Tsui, "Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications," IEEE Transactions on circuits and systems – I:Regular papers, vol. 54, no 1, January 2007
- 55) C. De Roover, M. Steyaert, "A Fully Integrated Wireless Power Supply for Pinless Active RFID-devices in 130nm CMOS," IEEE Asian Solid-State Circuits Conference, November 12-14, 2007
- 56) C. Peters, J. Handwerker, F. Henrici, M. Ortmanms, Y. Manoli, "Experimental results on Power Efficient Single-Poly Floating Gate Rectifiers," Circuits and Systems, 2009, ISCAS 2009, IEEE International Symposium, pp. 1097 – 1100, May 24-27, 2009
- 57) C.-L. Chen, K.-H. Chen, S.-I., Liu, "Efficiency-enhanced CMOS rectifier for wireless telemetry," Electronic Letters, vol. 43, no. 18, 31st August 2007
- 58) M. Ghovanloo, K. Najafi, "Fully Integrated Wideband High-Current Rectifiers for Inductively Powered Devices," IEEE Journal of solid-state circuits, vol. 39, no. 11, pp.1976-1984, November 2004
- 59) J. Yoo, L. Yan, S. Lee, Y. Kim, H.-J. Yoo, "A 5.2mW Self-Configured Wearable Body Sensor Network Controller and a 12 μ W Wirelessly Powered Sensor for a continuous health monitoring system," IEEE Journal of solid-state circuits, vol 45, no. 1, January 2010
- 60) T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, S. Otaka, "A 950MHz rectifier Circuit for Sensor Network Tags With 10-m Distance," IEEE Journal of solid-state circuits, vol. 41, no. 1, January 2006
- 61) J. D. Arnould, P. H. Bench, S. Cremer, J. Torres and A. Farcy, "RF MIM Capacitors Using Si₃N₄ Dielectric in Standard Industrial BiCMOS Technology", *IEEE Int. Symposium* vol. 1, pp. 27- 30, May 2004.
- 62) S. Hashemi, M. Sawan, Y. Savaria, "Fully-Integrated Low-Voltage High- Efficiency CMOS Rectifier for Wirelessly Powered Devices," Circuits and Systems and TAISA Conference, NEWCAS-TAISA, IEEE N-E Workshop , pp. 1 – 4, June 28-July 1, 2009
- 63) F. Mazzilli, P. Thoppay, N. Johl, C. Dehollain, "Design Methodolgy and Comparison of Rectifiers for UHF-band RFIDs," IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp.505 – 508, May 23-25, 2010 , ISBN: 978-1-4244-6240-7
- 64) J. Dickson, "On Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE J. of solid-state circuits, vol. sc-11, no. 3, pp. 374-378, June 1976

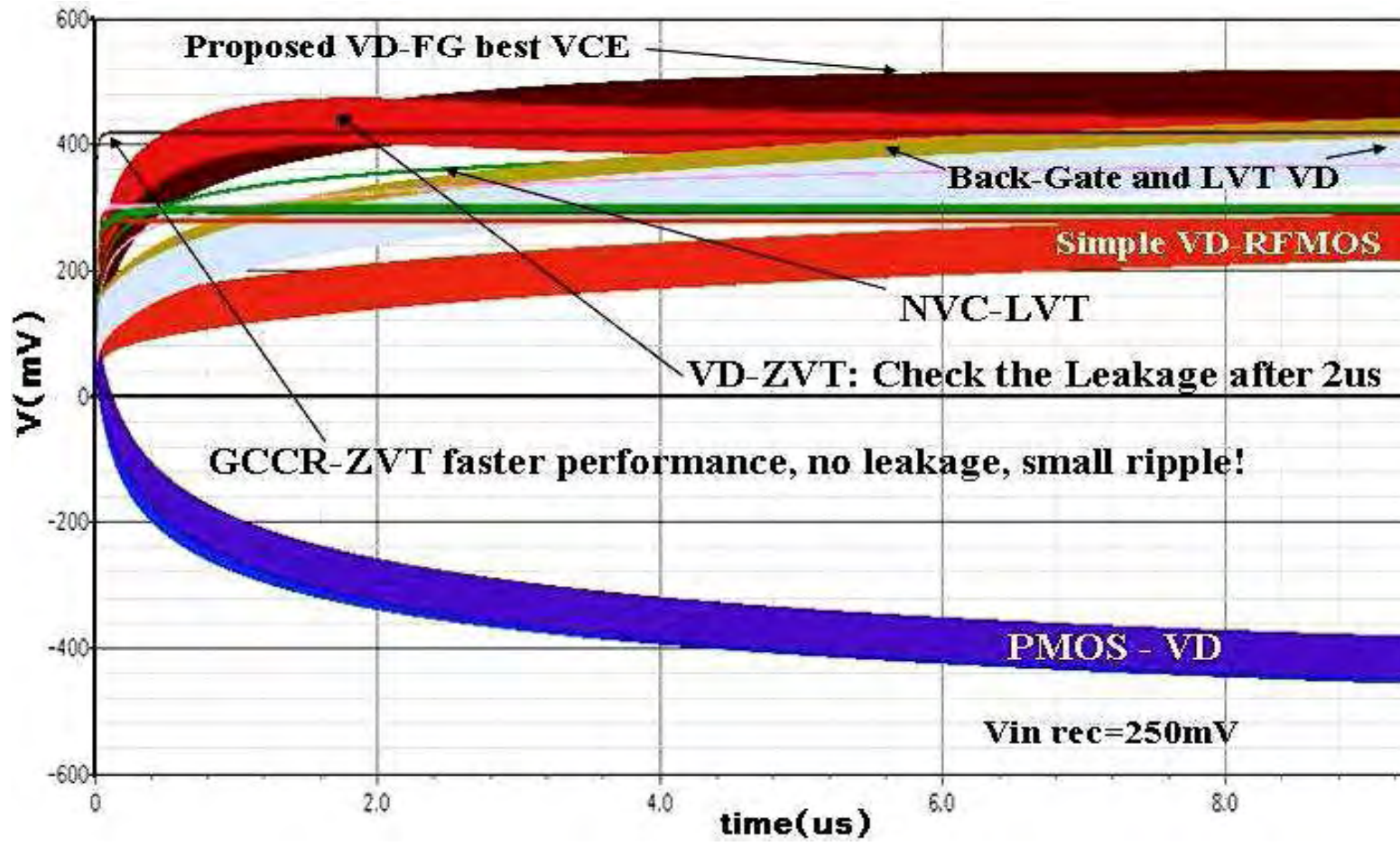
- 65) A. Shamel, A. Safarian, A. Rofougaran, M. Rofougaran, F. D. Flaviis, "Power Harvester Design for Passive UHF RFID Tag using a Voltage Boosting Technique," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 6, pp.1089-1097, June 2007
- 66) Y. Yao, J. Wu, Y. Shi, F. F. Dai, "A fully Integrated 900-MHz Passive RFID Transponder Front End With Novel Zero-Threshold RF-DC Rectifier", *IEEE Transactions on industrial electronics*, vol.56, no.7, pp. 2317-2325, July 2009
- 67) C. Ma, C. Zhang, Z. Wang, "A Low-Power AC/DC Rectifier for Passive UHF RFID Transponders," *IEEE International Symposium in Microwave, Antenna, Propagation, and EMC Technologies For Wireless Communications*, pp. 309-314, August 16-17 2007, ISBN: 978-1-4244-1045-3
- 68) C. Ma, X. Wu, C. Zhang, Z. Wang, "A Low Power RF Front End of Passive UHF RFID Transponders," *Circuits and Systems, APCCAS IEEE Asia Pacific Conference*, pp.73-76, Nov. 30- Dec. 3 2008, ISBN: 978-1-4244-2341-5
- 69) P. Favrat, P. Deval, M. J. Declercq, "A high efficiency CMOS Voltage Doubler," *IEEE solid-state circuits*, vol.33, no. 3, pp. 410-416, Mar 1998
- 70) S. Hashemi, M. Sawan, Y. Savaria, "A Novel Fully-Integrated Dropleless Voltage CMOS Rectifier for Wirelessly Powered Devices," *IEEE ICM Microelectronics International Conference*, pp. 333 – 336, 29-31 Dec. 2007, ISBN: 978-1-4244-1846-6
- 71) C. Peters, D. Spreemann, M. Ortmanns, Y. Manoli, "A CMOS integrated voltage and power efficient AC/DC converter for energy harvesting applications," *J. of Micromechanics and Microengineering*, vol.18, no. 10, 104005, 9 pp., 2008
- 72) C. Peters, O. Kessling, F. Henrici, M. Ortmanns, Y. Manoli, "CMOS Integrated Highly Efficient Full wave Rectifier," *IEEE Circuits and Systems ISCAS, IEEE International Symposium*, pp.2415-2418, 27-30 May 2007, ISBN: 1-4244-0920-9
- 73) F. Jiang, D. Guo, L. L. Cheng, "Analysis and Design of Power Generator on Passive RFID Transponders," *Progress in electromagnetics research Symposium, PIERS Proceedings, Hangzhou, China*, pp.1357-136, 2 March 24-28, 2008
- 74) R. Pelliconi, D. Lezzi, A. Boni, M. Passoti, P. L. Rolandi, "Power Efficient Charge Pump in Deep Submicron Standard CMOS Technology," *IEEE J. of solid-state circuits*, vol. 38, no .6, pp.1068-1071, June 2003
- 75) Bawa, M. Ghovanloo, "Analysis, design, and implementation of a high-efficiency full-wave rectifier in standard CMOS technology," *Analog Integr. Circ. Sig. Processing*, vol. 60, no. 1-2, pp.71-81, Springer Netherlands, August 2009
- 76) F. Peng, L. Yunlong, W. Nanjian, "A high efficiency charge pump circuit for low power applications," *Journal of Semiconductors*, vol. 31, no. 1, pp. 015009/1-5, January 2010
- 77) Toru Tanzawa, Tomoharu Tanaka, "A dynamic analysis of the Dickson charge pump circuit," *IEEE journal of solid state circuits*, vol. 32, no. 8, pp.1237-1240, August 1997
- 78) G. Palumbo, D. Pappalardo, M. Gaibotti, "Charge-Pump Circuits: Power-Consumption Optimization," *IEEE Transactions on circuit and systems, I: Fundamental Theory and Applications*, vol. 49, no. 11, pp. 1535-1542, Nov. 2002
- 79) G. Papotto, F. Carrara, G. Palmisano, "A 90-nm CMOS Threshold-Compensated RF Energy Harvester," *IEEE Journal Of Solid State Circuits*, vol. 46, no, 9, pp. 1985-1997, Sept. 2011
- 80) Bergeret E, Gaubert J, Pannier P, et al. "Modeling and design of CMOS UHF voltage multipliers for RFID in an EEPROM compatible process." *IEEE Trans Circuits Syst II: Express Briefs*, vol. 54, no.10 pp. 833-837, Oct. 2007
- 81) A. Ashry, K. Sharaf, and M. Ibrahim, "A simple and accurate model for RFID rectifier," *IEEE Syst. Journal*, vol. 2, no. 4, pp. 520–524, Dec. 2008
- 82) A. Facen, "Design of a Low-Cost Passive UHF RFID Tag in 0.18um CMOS Technology," *Phd Thesis, Dep. of Information Engineering, University of Parma*, Jan. 2008
- 83) M. S. Makowski, "On Topological Synthesis of PWM DCDC Power Converters, Ph.D. Thesis, Technical University of Gdarisk, Poland, November 1994
- 84) J. A. Starzyk and Y.-W. Jan, and F. Qiu, "A DC-DC Charge Pump Based on Voltage Doublers", *IEEE Trans. Circuits and Systems, Part I*, vol. 48, no. 3, pp. 350-359, March 2001
- 85) J. Wu and K. Chang, "MOS Charge Pumps for Low-Voltage Operation," *IEEE J. Solid-State Circuits*, vol. 33, no. 4, pp. 592-597, April 1998.
- 86) J. Shin, I. Chung, Y. J. Park, and H. S. Min, "A new charge pump without degradation in threshold voltage due to body effect," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1227–1230, Aug. 2000.

- 87) Kim, S., Cho, J. H. and Hong, S., "A Full Wave Voltage Multiplier for RFID Transponders," IEICE Transactions on Communications, E91-B, no. 1, p.388-391, Jan. 2008
- 88) Mingliang Liu, *Demystifying Switched - Capacitor Circuits*, Newnes, 2006, ISBN 978-0-7506-7907-07
- 89) Hans Camenzind, *Designing Analog Chips*, Virtualbookworm.com Publishing, Apr.2005, ISBN 978-1-58939-718-7, (online, <http://www.designinganalogchips.com/count/designinganalogchips.pdf>)
- 90) M. Sperling, *RF to DC Converter in SiGe Process, Technical Report*, Carnegie Mellon University, Pittsburgh, PA, Department of Electrical and Computer Engineering August 2003, (online, http://www.ece.cmu.edu/~mems/pubs/pdfs/ece/technical_report/0181_sperling-2003.pdf)
- 91) Giannakas G., Plessas F., Nassopoulos G., Stamoulis G., "A 2.45GHz power Harvesting circuit in 90nm CMOS", Proceedings of 17th IEEE ICECS Conference, pp. 835-838, Dec.12-15, 2010
- 92) Zheng Zhu, *RFID Analog front end design tutorial*, (Version 0.0), Auto-ID Laboratory at University of Adelaide, Aug.2004, (online, http://www.autoidlabs.org/uploads/tx_chcforum/regulateur_shunt.pdf)
- 93) Hironori Banba, Hitoshi Shiga, Akira Umezawa, Takeshi Miyaba, Toru Tanzawa Shigeru Atsumi, and Koji Sakui, "A CMOS Bandgap Reference Circuit with Sub-1V Operation," IEEE J. Solid-state Circuit, vol. 34, pp. 670-674, May 1999.
- 94) Impinj Inc., *ESD and the RFID tag*, Impinj Whitepaper, (2005), (online, http://www.impinj.cn/applications/IPJ_ESDandRFIDtag_20050901.pdf)
- 95) Chen Jia, Wenhan Hao, Hong Chen, Chun Zhang, Zhihua Wang, "A Low Power Bandgap Reference with buffer working in subthreshold region for Energy Harvesting Systems," Journal of Semiconductors, pages:075014(1-5), Vol.30, No.7, July 2009.
- 96) K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "A 300 nW, 15 ppm/C, 20 ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs," IEEE J. Solid-State Circuits, vol. 44, no. 7, pp. 2047-2054, Jul. 2009.
- 97) Andrea Boni and Alessio Facen, "Ultra low-voltage analog circuits for UHF RFID devices in 180 nm CMOS technology," Analog Integr. Circ. Sig. Process, Springer, vol. 63, pp. 359-367, 2010, DOI 10.1007/s10470-009-9414-7
- 98) Y. Yao, Y. Shi, and F. Dai, "A novel low-power input-independent mos AC/DC charge pump," in Circuits and Systems, ISCAS 2005, IEEE International Symposium on 23-26 2005, pp. 380 - 383 Vol. 1, 2005
- 99) Y.-H. Kao, C.-C. Liu, and H.-C. Kuo, "Study of front end of cmos rfid tag with inductively-coupled broadband antenna," in Asia-Pacific Microwave Conference, pp. 1-4, Dec. 2007
- 100) C. Sauer, M. Stanacevic et al., "Power harvesting and telemetry in CMOS for implanted devices," IEEE Transactions on Circuits and Systems, ol. 52, no. 12, pp. 2605 - 2613, Dec. 2005
- 101) Yueming Jiang and Edward K. F. Lee, "Design of low-voltage bandgap reference using transimpedance amplifier," IEEE Trans. Circuits Syst. II, vol. 47, pp. 552-555, June 2000
- 102) Walt Kester, "Practical Analog Design techniques," Analog Devices, ISBN 0-916550-16-8, 1995, (online: http://www.analog.com/static/importedfiles/seminars_webcasts/36900313320057Section7.pdf)
- 103) D. Bouchouicha, F. Dupont, M. Latrach, "Ambient RF Energy Harvesting," International Conference on Renewable Energies and Power Quality (ICRE PQ'10), Granada (Spain), 23-25 March 2010, (online: <http://www.icrepq.com/icrepq%2710/652-Bouchouicha.pdf>)
- 104) G. Gonzalez, *Microwave Transistor Amplifiers: Analysis and Design*, Second Ed., Prentice Hall, 1997
- 105) Qian Ma, "A Broadband and High Sensitivity FrontEnd Design for UHF RFID tag," Department of Electrical Engineering of the Eindhoven University of Technology, 30 August 2010, (online: <http://alexandria.tue.nl/repository/books/709090.pdf>)
- 106) Giannakas G., Plessas F., Stamoulis G., "A pseudo-FG Technique for efficient Energy Harvesting," Electronics Letters, (submitted and under review - ELL-2011-3576.R2 / ID of manuscript)
- 107) Cui J., Akita J., Kitagawa A., "A rectifier structure for UHF RFID transponder with high efficiency," IEICE Electronics Express, Vol. 7, No. 14, pp. 1086-1090, Jul. 2010.

ΠΑΡΑΡΤΗΜΑ Α



- Τα δύο καλύτερα ζεύγη ανορθωτών 1 σταδίου, τύπου VD (Pseudo-FG , Backgated) και GCCR (ZVT, LVT MOSFETs) υπό φορτίο 1M Ω (βλ. και Εικόνα 7-1)

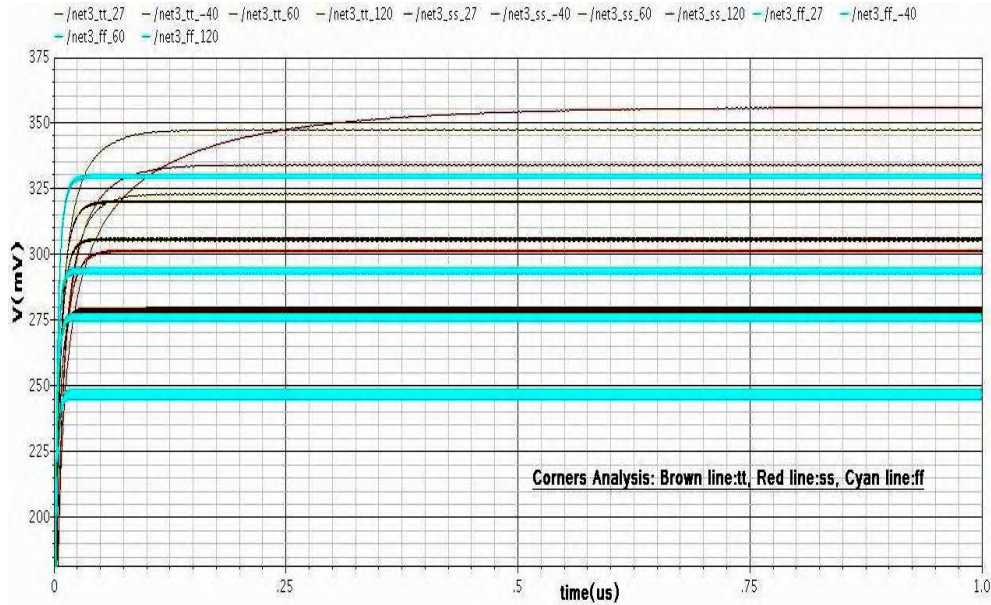


- Η συμπεριφορά ανορθωτών 1 σταδίου σε όλες τις εφικτές τοπολογίες και εναλλακτικές επιλογές σύνδεσης ή τύπου τρανζίστορ (βλ. και Εικόνα 7-2)

➤ Corner Analysis of a ZVT-GCCR Rectifier

Από τις μετρήσεις και τον ακόλουθο πίνακα είναι φανερό ότι το κύκλωμα παρουσιάζει παρόμοια συμπεριφορά (VCE) στις ακόλουθες συνθήκες:

tt & 27°C / ff & -40°C / ss & 60°

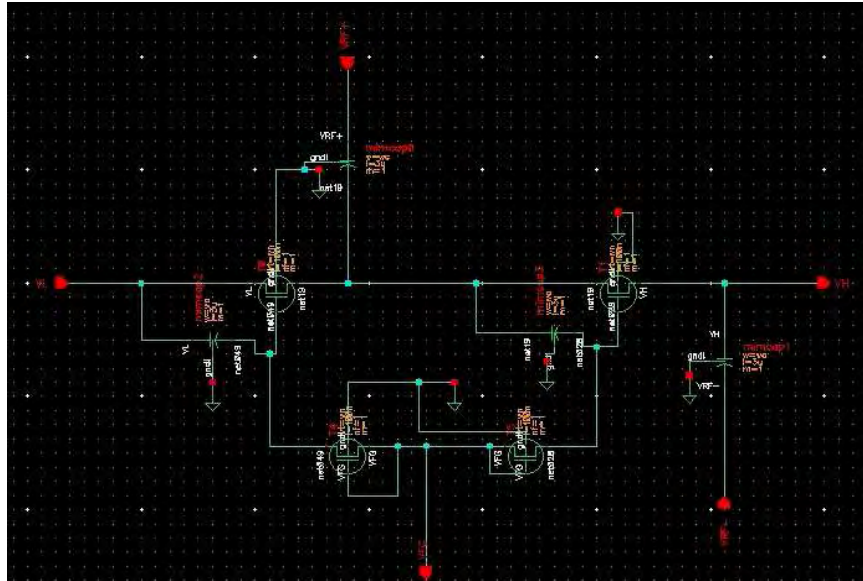


➤ Η τάση εξόδου του ανορθωτή ενός σταδίου ZVT-GCCR σε διάφορες ακραίες συνθήκες λειτουργίας για είσοδο 250mV (Βλ. πίνακα).

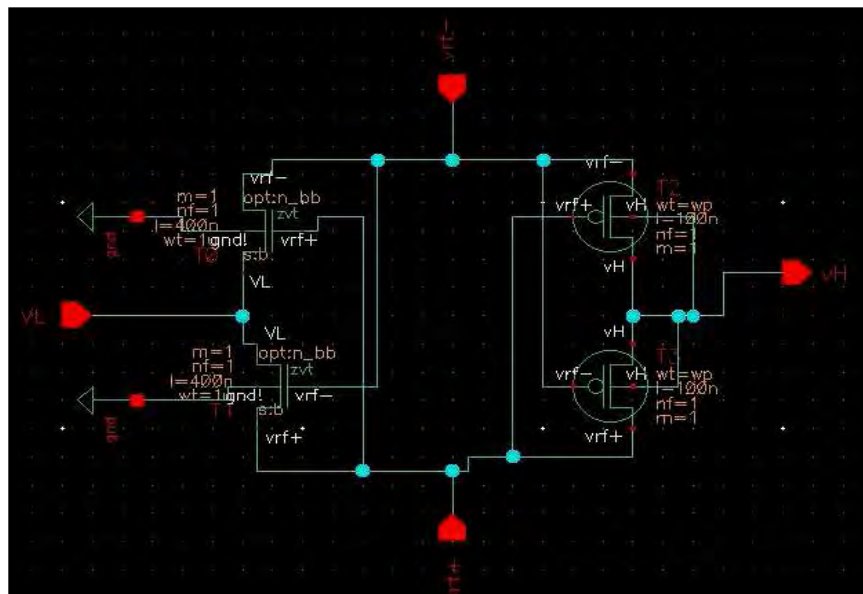
• CORNERS ANALYSIS – 1-STAGE ZVT/ GCCR				
$V_{rec}=125mV$	V_{out} & Delay	V_{out} & Delay	V_{out} & Delay	V_{out} & Delay
$\theta^{\circ}C$ / corner	-40	27	60	120
tt	158,07mV/ 260ns	138,45mV/ 76ns	128mV/ 65ns	110mV/ 25ns
ss	167,5mV/ 712ns	151,27mV/ 162ns	142,8mV/ 156ns	126,3mV/ 82ns
ff	141,75mV/ 65,8ns	117,6mV/ 29ns	106,8mV/ 18,1ns	90,05mV/ 15,8ns
$V_{rec}=250mV$	V_{out} & Delay	V_{out} & Delay	V_{out} & Delay	V_{out} & Delay
$\theta^{\circ}C$ / corner	-40	27	60	120
tt	346,9mV/ 209,5ns	319,9mV/ 72,3ns	305,4mV/ 44,3ns	278,56mV/ 28,8ns
ss	355,2mV/ 830ns	333,53mV/ 165ns	322,56mV/ 141ns	301,5mV/ 87,7ns
ff	329,2mV/ 45,12ns	293,4mV/ 26,8ns	275,9mV/ 22,8ns	246,56mV/ 17,75ns

ΠΑΡΑΡΤΗΜΑ Β

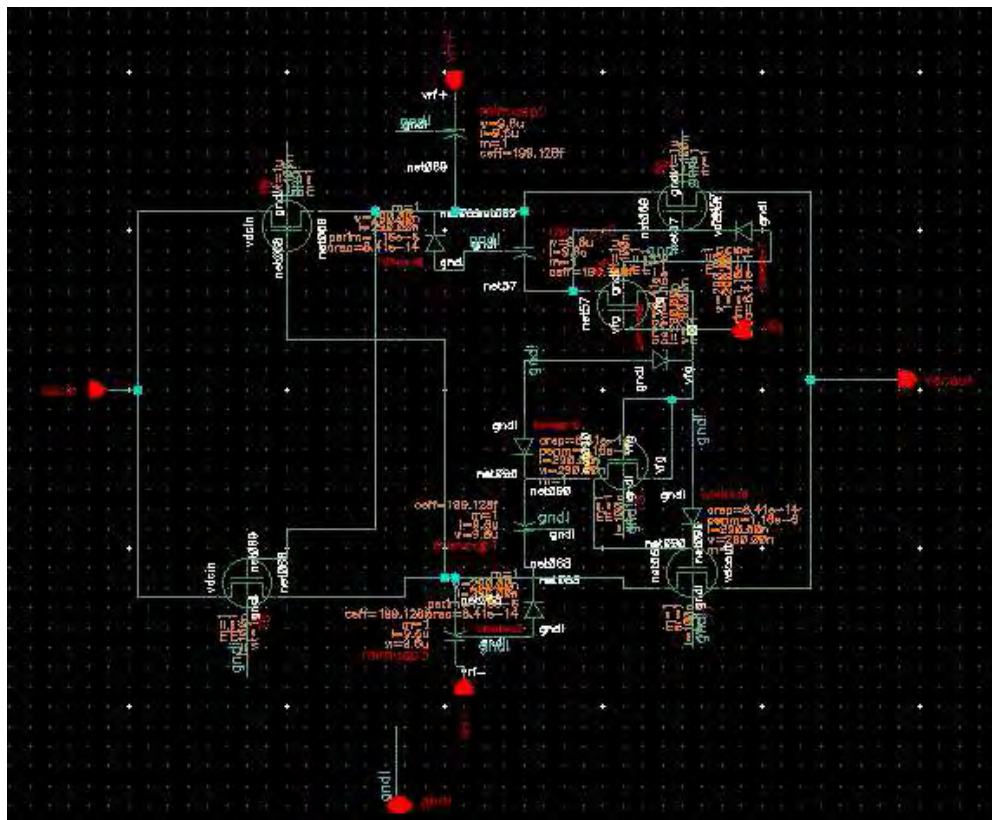
- Κυκλώματα που σχεδιάστηκαν με το Cadence® τόσο κατά τις εξομοιώσεις όσο και για την παραγωγή του chip.



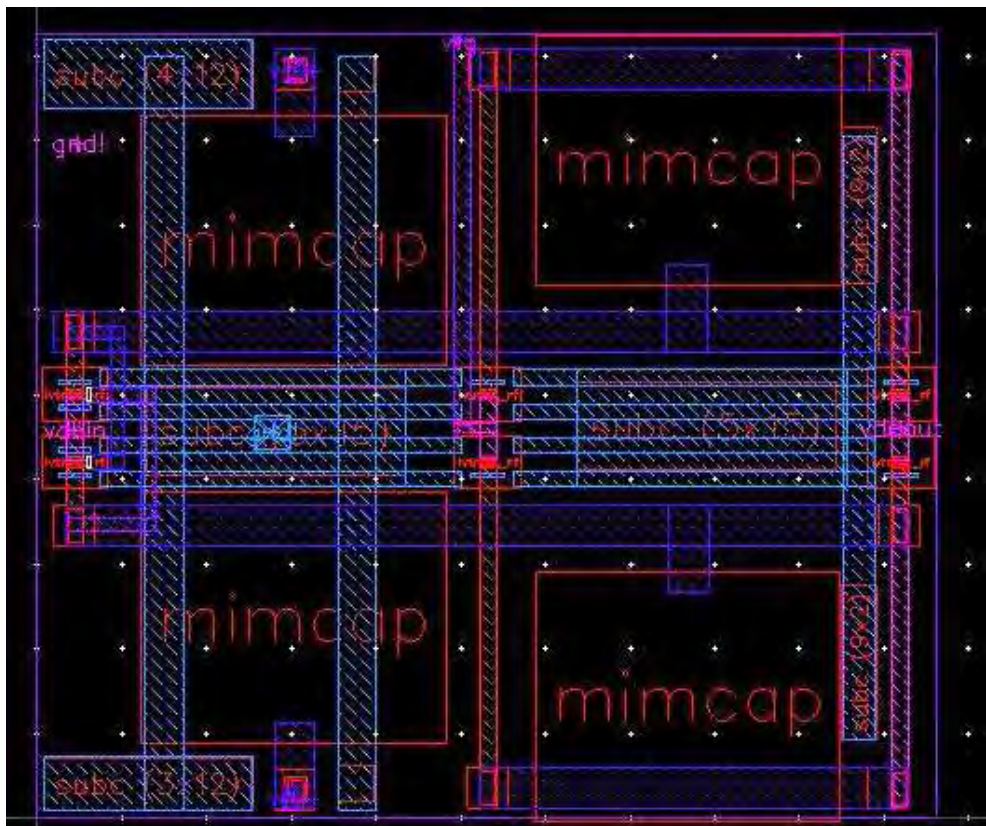
➤ Pseudo-FG Dickson VD



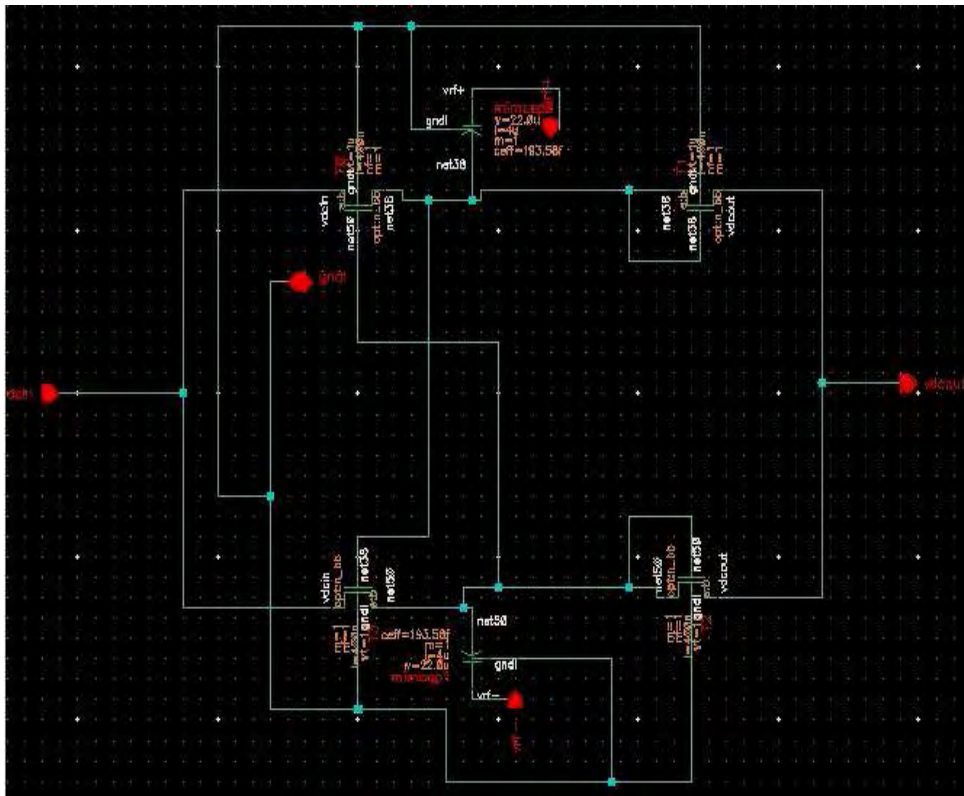
➤ NVC Topology



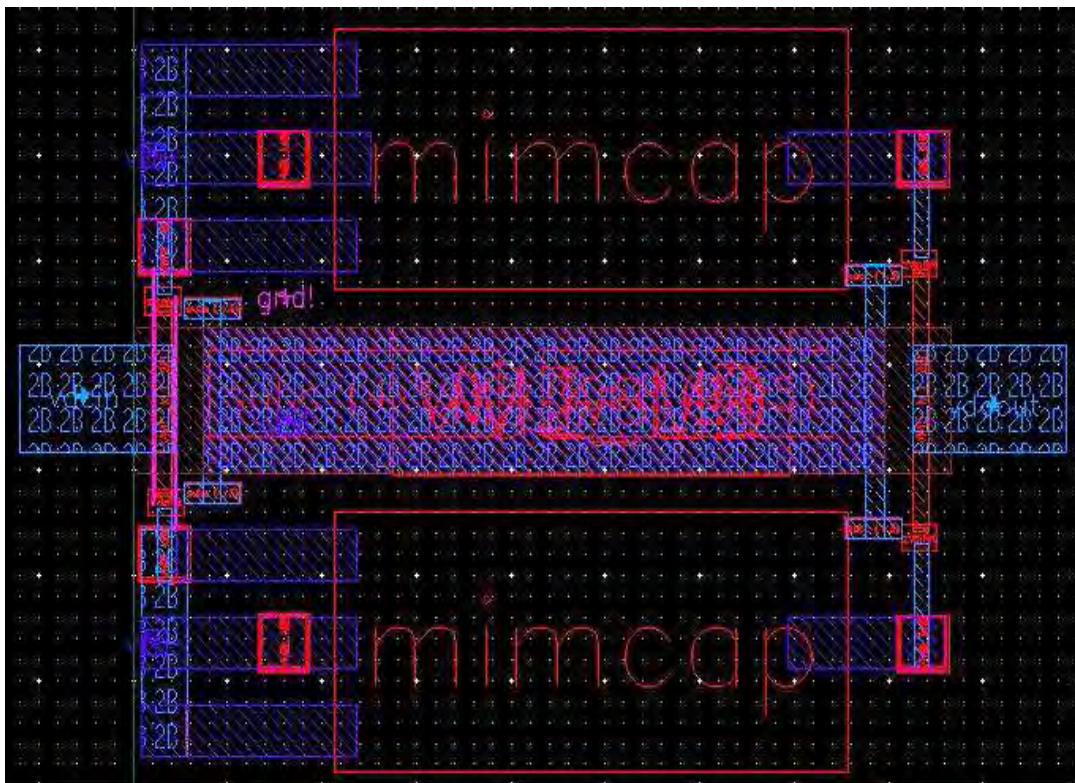
➤ Pseudo-FG GCCR - Schematic



➤ Pseudo-FG GCCR - layout

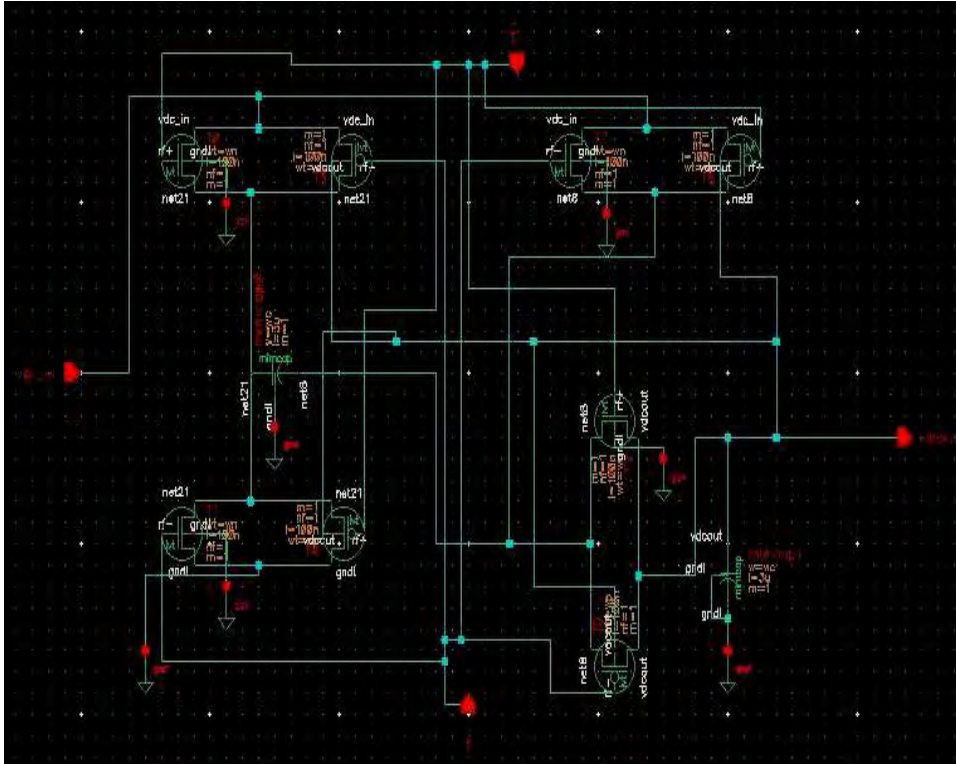


➤ ZVT-GCCR –Schematic

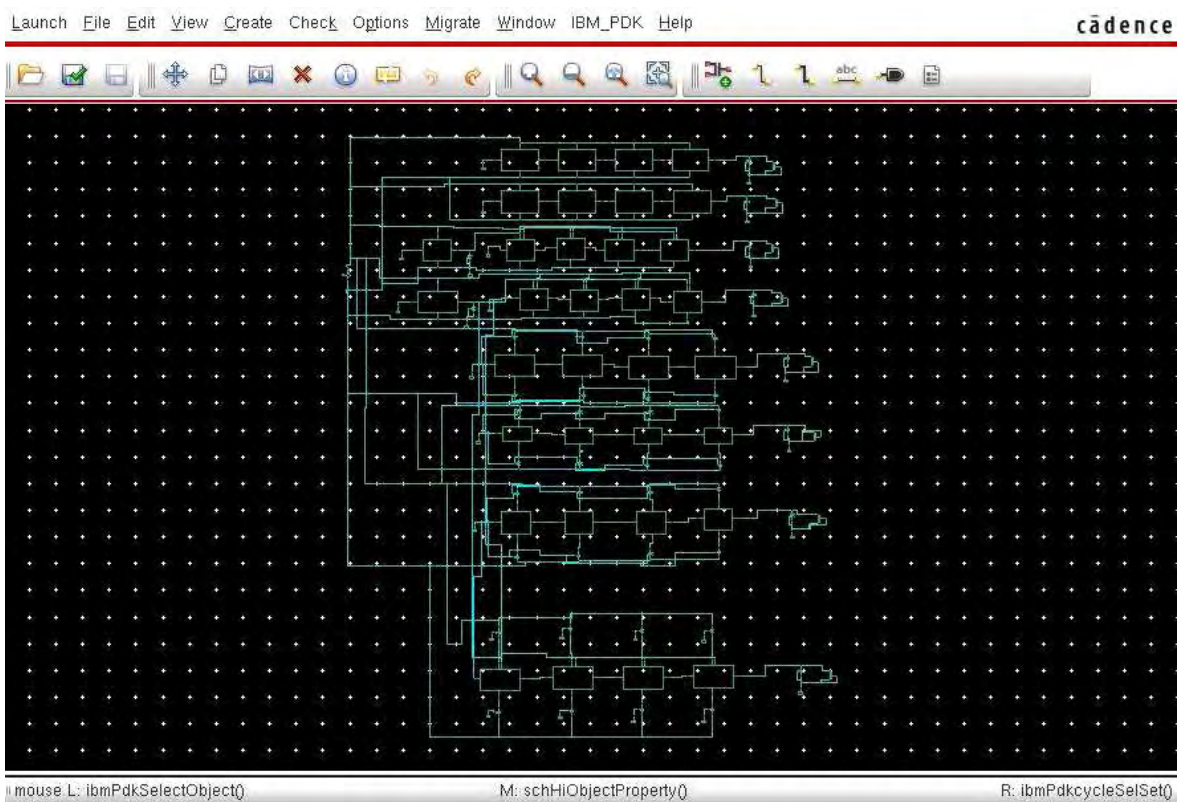


➤ ZVT-GCCR – layout

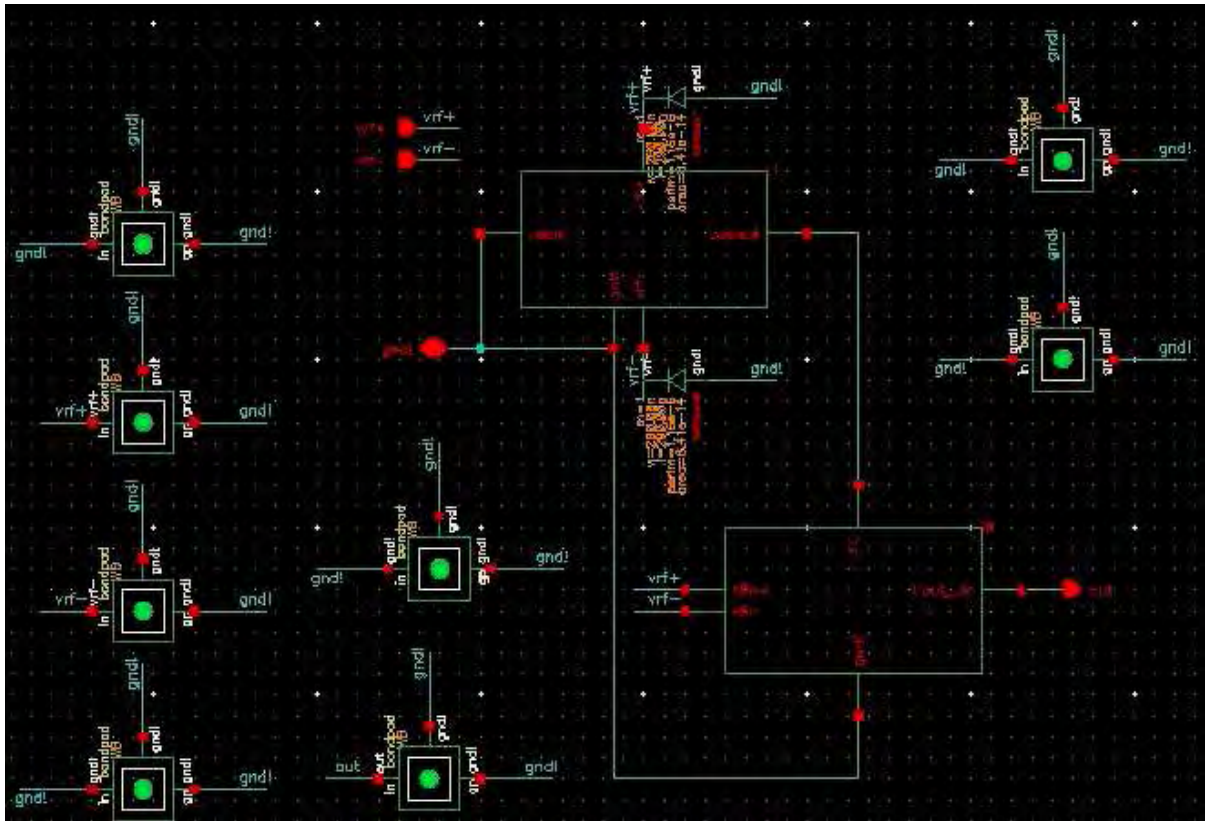
\



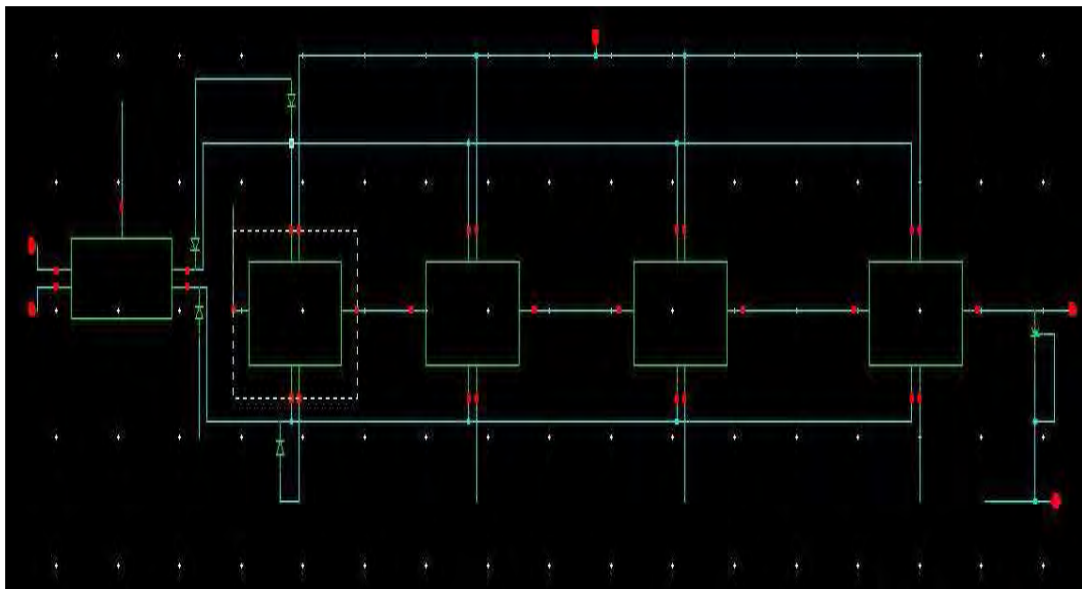
➤ **Topology NVC with TG (CMOS switches) – Failed! (Bλ. σελ. 97)**



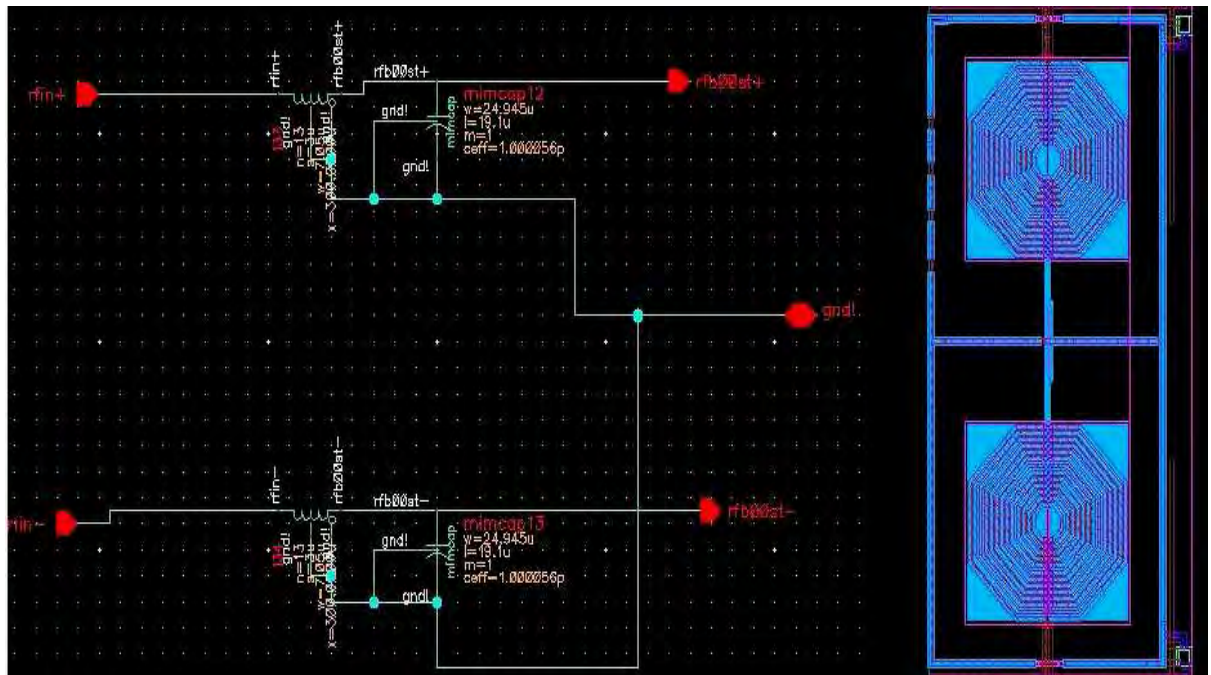
➤ **Comparison of different topologies of 4-stages rectifiers**



- Η ανώτερη ιεραρχικά δομή του ανορθωτή 4 σταδίων που κατασκευάστηκε, με το κύκλωμα παραγωγής του FG-signal και τα pads.



- Η αμέσως επόμενη ιεραρχικά δομή, του ανορθωτή 4 σταδίων GCCR pseudo-FG, με το κύκλωμα προσαρμογής – υπέρτασης (που ιεραρχικά ακολουθεί στις επόμενες εικόνες).



➤ Το διαφορικό κύκλωμα προσαρμογής – υπέρτασης και το layout αυτού._

➤ **Λόγια και Έργα μεγάλων ανδρών:**

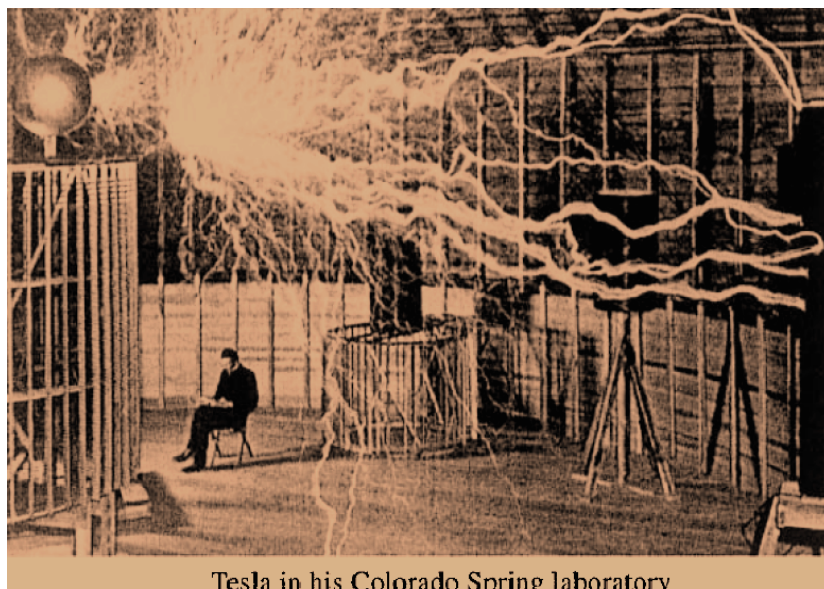
I

«Η ακαδημαϊκή καριέρα θέτει ένα νέο άνθρωπο σ'ένα είδος δυσάρεστης θέσης, ζητώντας του να παράγει επιστημονικές δημοσιεύσεις σ'εντυπωσιακή ποσότητα – μια σαγήνη στην επιπολαιότητα στην οποία μόνο δυνατοί χαρακτήρες μπορούν ν'αντισταθούν»

II

«Στη Φυσική έμαθα γρήγορα να αντιλαμβάνομαι τις διαδρομές που οδηγούν στα βάθη και να περιφρονώ κάθε τι άλλο, όλα εκείνα τα πράγματα που σωριάζονται στο μυαλό, και να τα διαχωρίζω από το ουσιώδες. Το εμπόδιο σ'όλα αυτά ήταν, βέβαια, το γεγονός ότι έπρεπε κανείς να γεμίσει το κεφάλι του μ'όλο αυτό το υλικό για τις εξετάσεις είτε του άρεσε είτε όχι»

Αλβέρτος Αϊνστάιν



Tesla in his Colorado Spring laboratory

“In theory, there is no difference between theory and practice. But, in practice, there is”
Jan L. A. van de Snepscheut

*What is matter? - Never mind.
What is mind? - It doesn't matter.*
Ανώνομου

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

ΓΙΑΝΝΑΚΑΣ Τ. ΓΕΩΡΓΙΟΣ

ΛΑΜΙΑ

Σκοπός λευκή σελίδα