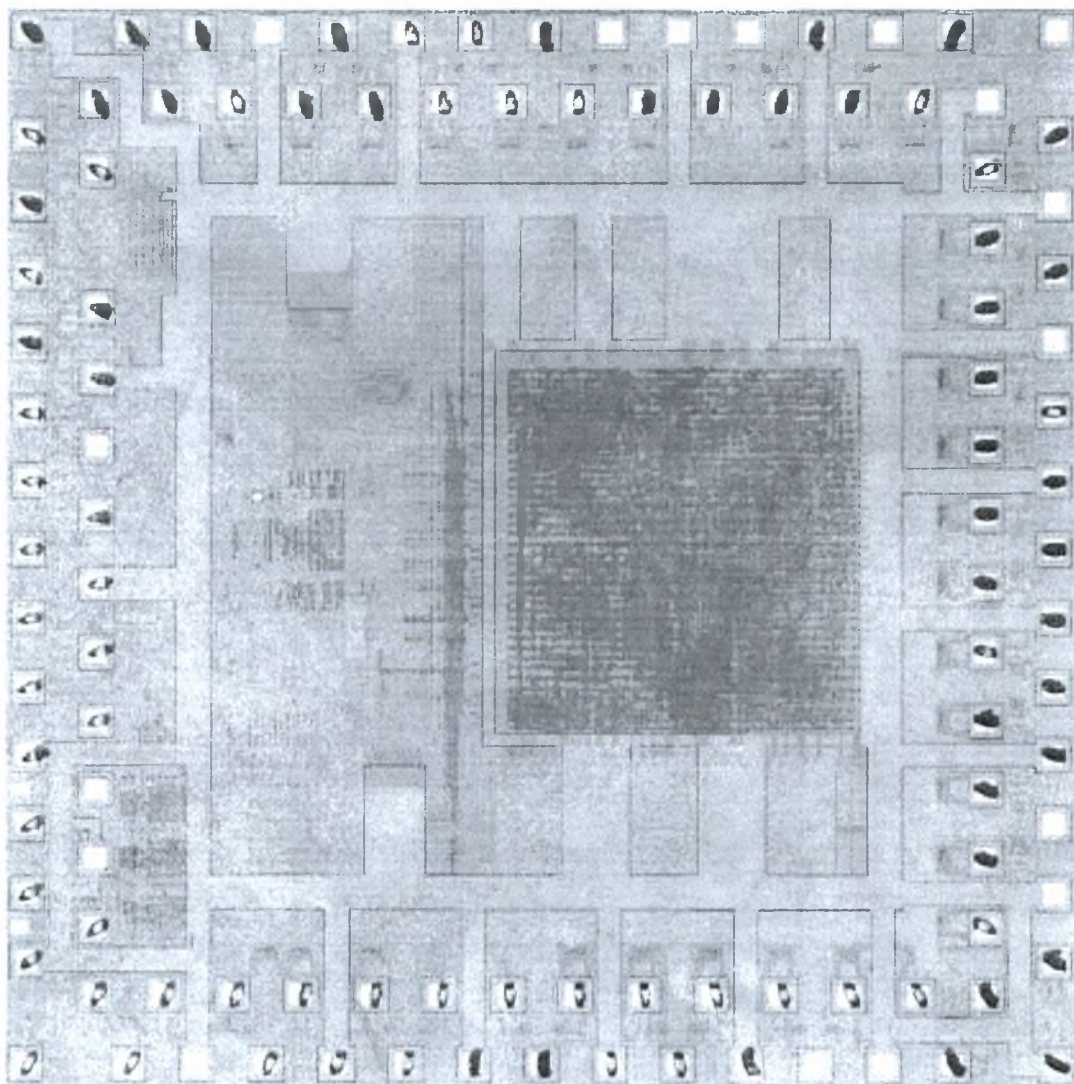


Στατιστική Ανάλυση Χρονισμού με ενσωμάτωση των Διακυμάνσεων της Τάσης Τροφοδοσίας



Τσιαμπάς Μιχάλης

Επιβλέπων Καθηγητής: κ. Σταμούλης Γεώργιος



**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΒΙΒΛΙΟΘΗΚΗ & ΚΕΝΤΡΟ ΠΛΗΡΟΦΟΡΗΣΗΣ
ΕΙΔΙΚΗ ΣΥΛΛΟΓΗ «ΓΚΡΙΖΑ ΒΙΒΛΙΟΓΡΑΦΙΑ»**

Αριθ. Εισ.: 6721/1
Ημερ. Εισ.: 22-12-2008
Δωρεά: Συγγραφέα
Ταξιθετικός Κωδικός: Δ
621.381
ΤΣΙ

**Και αυτή η εργασία είναι
αφιερωμένη στους γονείς μου.**

Ευχαριστίες

Για τη συνεχή υποστήριξη που μου παρείχε κατά τη διάρκεια των δύομισι τελευταίων χρόνων, στα οποία καταπιάστηκα με τη διπλωματική αυτή εργασία, θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Γεώργιο Σταμούλη. Οι συμβουλές και οι κατευθύνσεις που μου έδωσε, σε κρίσιμα σημεία της εργασίας, οδήγησαν τόσο στη πληρέστερη ανάλυση του περιεχομένου της όσο και στη ταχύτερη ολοκλήρωση αυτής. Επιπλέον τον ευχαριστώ για τη βοήθεια που μου προσέφερε στην επίλυση των ζητημάτων που προέκυπταν κατά τη διάρκεια της εργασίας. Τέλος τον ευχαριστώ για την εμπιστοσύνη που έδειξε στο πρόσωπο μου.

Θα ήθελα πραγματικά να ευχαριστήσω τον κ. Ν.Ευμορφόπουλο, του οποίου οι εύστοχες επισημάνσεις, τόσο πάνω στο θεωρητικό μέρος όσο και πάνω στην υλοποίηση της διπλωματικής εργασίας, με βοήθησαν στη ποιοτική βελτίωση της ανάλυσης του θέματος της διπλωματικής εργασίας. Τον ευχαριστώ ακόμη για τις κατευθύνσεις που μου παρείχε πάνω στην εύρεση των απαραίτητων πηγών πληροφορίας που με βοήθησαν στην υλοποίηση της εργασίας.

Ένα μεγάλο ευχαριστώ στον πολύ καλό φίλο και συνάδελφο Δημήτρη Καραμπατζάκη για τη συνεχή βοήθεια, υποστήριξη και την αμέριστη συμπαράσταση του κατά τη διάρκεια της εργασίας. Επίσης, τον ευχαριστώ διότι με ενέπνευσε να ασχοληθώ με το συγκεκριμένο θέμα με το οποίο καταπιάνεται η διπλωματική εργασία αλλά και διότι μου μεταλαμπαδέυσε τις απαραίτητες γνώσεις πάνω στο θέμα αυτό.

Επιθυμώ, επίσης να ευχαριστήσω τους φίλους και συμφοιτητές μου για την υποστήριξη και τη συμπαράστασή τους όλο αυτό τον καιρό που κάνουμε παρέα.

Τέλος, θέλω να ευχαριστήσω την οικογένεια μου για τη συμπαράσταση αλλά και τη πλήρη και πολυεπίπεδη υποστήριξη που μου παρείχε καθ' όλη τη διάρκεια των μεταπτυχιακών σπουδών μου.

Περιεχόμενα

Εισαγωγή.....	5
<u>Τι είναι η πτώση τάσης πάνω στο δίκτυο διανομής ισχύος του ολοκληρωμένου.....</u>	5
<u>Τα Λίτια της πτώση τάσης στο δίκτυο διανομής ισχύος.....</u>	6
<u>Επιπτώσεις του φαινομένου της πτώσης τάσης στα ολοκληρωμένα κυκλώματα.....</u>	8
Στατική Ανάλυση Χρονισμού (STA).....	10
<u>Σκοπός της Στατικής Ανάλυσης Χρονισμού.....</u>	11
<u>Ορισμοί.....</u>	11
<u>Corner models και STA.....</u>	12
<u>Οι σημαντικότερες τεχνικές για STA.....</u>	13
<u>Σύνδεση των αναλύσεων χρονισμού.....</u>	14
<u>Γιατί η STA είναι δημοφιλής.....</u>	15
<u>Όρια του συμβατικού STA.....</u>	15
<u>Μέθοδοι SSTA.....</u>	16
<u>Κριτική SSTA.....</u>	16
Μοντελοποίηση του Προβλήματος.....	17
Η Ροή Σχεδίασης.....	25
Αποτελέσματα Προσομοιώσεων.....	35

Εισαγωγή

Κατά την αναφορά μας στη τεχνολογία στην οποία έχει υλοποιηθεί η σχεδίαση ενός Ολοκληρωμένου Κυκλώματος (ΟΚ) ουσιαστικά αναφερόμαστε τόσο στο μέγεθος των τρανζίστορ όσο και στα χαρακτηριστικά των μετάλλων που χρησιμοποιούνται αλλά και την χημική επεξεργασία που αυτά έχουν υποστεί. Με την ανάπτυξη της τεχνολογίας και τη μετάβαση από μια γενιά τρανζίστορ στην επόμενη το μέγεθός τους μικραίνει. Επίπλέον η αυξημένη πολυπλοκότητα που παρουσιάζουν στις μέρες μας τα Ολοκληρωμένα Κυκλώματα αλλά και οι υψηλές συχνότητες που αυτά λειτουργούν έχουν σαν αποτέλεσμα τη δημιουργία πλήθους προβλημάτων αξιοπιστίας στα Ολοκληρωμένα. Τα βασικότερα από τα προβλήματα αυτά είναι η πτώση τάσης (IR drop) στο δίκτυο των μη ιδανικών αγωγών τροφοδοσίας (Power grid) και γείωσης, η ηλεκτρομετανάστευση (electromigration) και η αναπήδηση της τάσης.

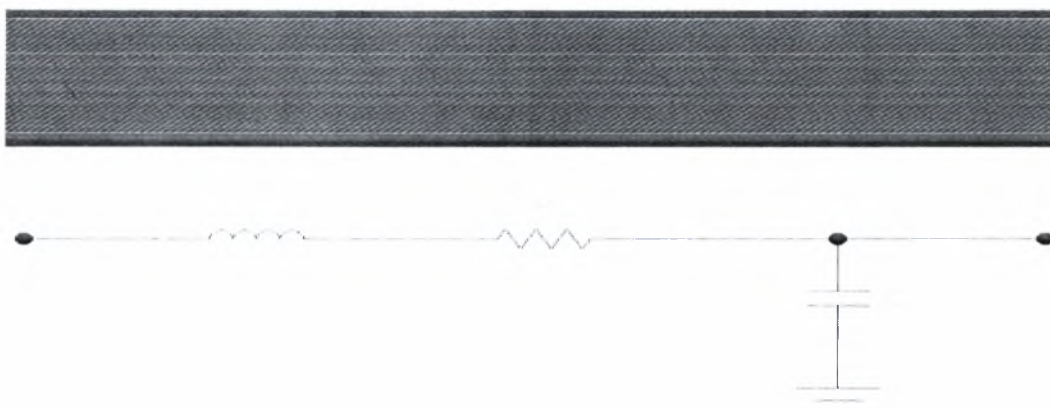
Προκειμένου να εντοπιστούν τα προβλήματα αυτά, να υπολογιστεί η έκτασή τους αλλά και η έντασή τους στην επιφάνεια του Ολοκληρωμένου καθώς και για την καλύτερη δυνατή επίλυσή τους γίνεται πλέον πλέον εκτενής χρήση των εργαλείων CAD.

Η παρούσα διπλωματική εργασία καταπιάνεται με τη μελέτη και την ανάλυση των επιπτώσεων σε επίπεδο χρονισμού στα ολοκληρωμένα κυκλώματα του μεγαλύτερου από τα προβλήματα αυτά, αλλά και ταυτόχρονα δυσκολότερου στην επίλυσή του, του φαινομένου της πτώσης τάσης στο δίκτυο διανομής ισχύος του των ΟΚ.

Τι είναι η πτώση τάσης πάνω στο δίκτυο διανομής ισχύος του ολοκληρωμένου.

Κατά τη προσομοίωση του ΟΚ σε επίπεδο τρανζίστορ θεωρείται, λανθασμένα πάντα, ότι το επίπεδο της τάσης που παρέχεται από την εξωτερική πηγή που τροφοδοτεί το chip φτάνει πάνω από κάθε τρανζίστορ αμείωτο. Κάτι τέτοιο δεν συμβαίνει στην πραγματικότητα εξαιτίας του φαινομένου της μείωσης της τάσης τροφοδοσίας από το σημείο που εφαρμόζεται η εξωτερική πηγή πάνω στο δίκτυο διανομής μέχρι το μέταλλο-καλώδιο που φτάνει πάνω από κάθε υποκύκλωμα ή ακόμη και πάνω από κάθε τρανζίστορ και τα τροφοδοτεί με ρεύμα-ισχύ. Το φαινόμενο αυτό χαρακτηρίζει τη πτώση του πραγματικού επιπέδου τάσης που παρέχεται στις ενεργές συσκευές (υποκυκλώματα – blocks) του κυκλώματος λόγω της πεπερασμένης αντίστασης των καλωδίων τροφοδοσίας και γείωσης. Η πτώση τάσης όμως δεν εξαρτάται αποκλειστικά από την αντίσταση των μετάλλων του δικτύου διανομής ισχύος αλλά όπως μαρτυρά και η διεθνής ορολογία IR-drop του φαινομένου, όπου εμφανώς το γινόμενο $I \cdot R$ αντιπροσωπεύει τη τάση, εξαρτάται και από το ρεύμα το οποίο περνά από τους μεταλλικούς αγωγούς του δικτύου. Η ανάλυση και επαλήθευση ενός δικτύου διανομής ισχύος ανάγεται σε

ένα ιδιαίτερα σημαντικό ζήτημα στα ΟΚ τεχνολογικής σχεδίασης κλίμακας νανομέτρου. Σε μία τέτοια προσπάθεια, το δίκτυο διανομής ισχύος μοντελοποιείται σε μεγάλη λεπτομέρεια ως ένα γραμμικό δίκτυο επαγωγής - αντίστασης - χωρητικότητας (RLC) και αυτό διότι κάθε ένας από τους αγωγούς από τους οποίους αποτελείται το δίκτυο εμφανίζει μια σύνθετη εμπέδηση που αποτελείται από τους παραπάνω όρους και ο αγωγός μοντελοποιείται από τα αντίστοιχα ηλεκτρικά στοιχεία.



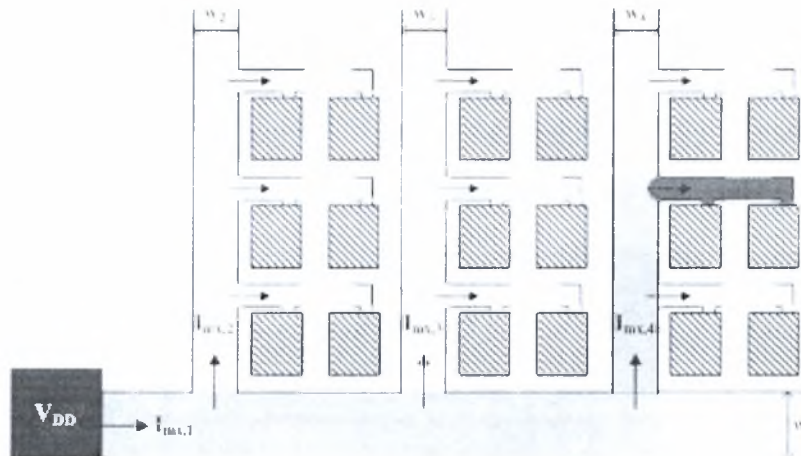
Εικόνα 1. Μοντελοποίηση των αγωγών μετάλλου των δικτύων τροφοδοσίας και γείωσης.

Τα Λίτια της πτώση τάσης στο δίκτυο διανομής ισχύος.

Όπως ήδη αναφέρθηκε στην προηγούμενη παράγραφο οι δύο κύριες αιτίες που προκαλούν τη πτώση της τάσης στο δίκτυο τροφοδοσίας των ολοκληρωμένων κυκλωμάτων είναι η πεπερασμένη αντίσταση που παρουσιάζουν οι μεταλλικοί αγωγοί που συνιστούν το δίκτυο τροφοδοσίας του κυκλώματος αλλά και το ρεύμα που τους διαπερνά. Η πεπερασμένη αντίσταση του καλωδίου είναι ανάλογη των χαρακτηριστικών της τεχνολογίας, του μήκους του και αντιστρόφως ανάλογη του πλάτους του ενώ η σχέση που τα συνδέει δίνεται από τον τύπο: $R = (\rho/t) * (L/W)$, όπου ρ η ειδική αντίσταση του μετάλλου, t το πάχος του, που αποτελούν και τα χαρακτηριστικά της τεχνολογίας, L το μήκος του και W το πλάτος του. Το πηλίκο ρ/t μπορεί να αντικατασταθεί από το σύμβολο R_{sh} που ονομάζεται ειδική αντίσταση φύλλου μετάλλου και ο τύπος της αντίστασης να ξαναγραφεί ως εξής: $R = R_{sh} * (L/W)$. Με την ανάπτυξη της τεχνολογίας, το πλάτος των μετάλλων μικραίνει, ενώ τα σύγχρονα ΟΚ, τεχνολογίας βαθέως υπομικρού (submicron: 90nm, 65nm) περιέχουν τεράστια δίκτυα διανομής ισχύος με αποτέλεσμα το μήκος τους να αυξάνεται. Φυσικό επακόλουθο της μείωσης του πλάτους και της ταυτόχρονης αύξησης του μήκους όπως μαρτυρά και ο τύπος που την υπολογίζει είναι η αντίσταση που παρουσιάζουν τα μέταλλα αυτά να αυξάνεται. Η αντίσταση αυτή που

παρουσιάζουν οι γραμμές τροφοδοσίας, είναι που ευθύνεται και για τον όρο R κατά τη μοντελοποίηση του δικτύου ως ένα γραμμικό δίκτυο RLC όπως αναφέρθηκε προηγουμένως.

Το IR-drop (πτώση τάσης) μπορεί να εμφανιστεί σε οποιοδήποτε επίπεδο της ιεραρχίας του δικτύου τροφοδοσίας.

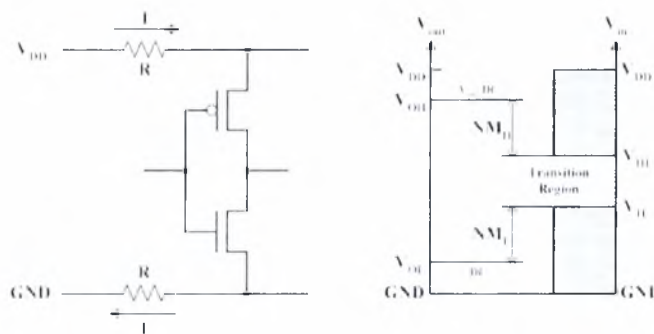


Εικόνα 2. Ιεραρχία του δικτύου τροφοδοσίας (μείωση του πλάτους των μετάλλων καθώς πηγαίνουμε σε χαμηλότερα επίπεδα μετάλλου).

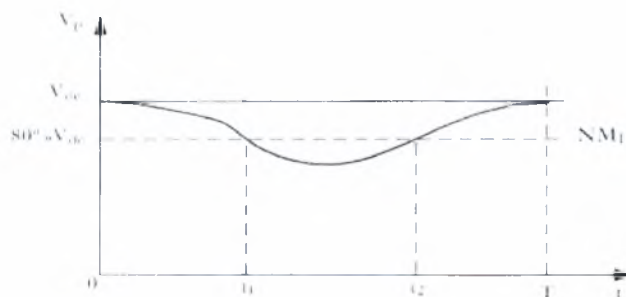
Αν παρουσιαστεί σε χαμηλό επίπεδο (πιο κοντά σε transistor level) το φαινόμενο θεωρείται τοπικό. Η αιτία που το προκαλεί σε αυτή την περίπτωση είναι η ταυτόχρονη αλλαγή κατάστασης σημαντικού αριθμού πυλών εξαιτίας κάποιου συγκεκριμένου συνδυασμού διανυσμάτων εισόδου που δόθηκαν στο ολοκληρωμένο. Αποτέλεσμα της ταυτόχρονης αλλαγής κατάστασης είναι να τραβάνε περισσότερο ρεύμα τα τρανζίστορ των πυλών τη συγκεκριμένη χρονική στιγμή (για το συγκεκριμένο διάνυσμα εισόδου). Λόγω του τύπου που μας δίνει τη τάση $V = I \cdot R$ (θεωρώντας το R σταθερό) υπάρχει αύξηση της πτώσης της τάσης στο επίπεδο μετάλλου (που μοντελοποιείται ως αντίσταση) της τροφοδοσίας που παρέχει το ρεύμα στο σύνολο των πυλών που υπέστησαν αλλαγή της κατάστασης τους. Αν το IR-drop παρουσιαστεί σε σχετικά υψηλό επίπεδο της ιεραρχίας του δικτύου τροφοδοσίας το φαινόμενο θεωρείται εκτεταμένο, το πρόβλημα στο ολοκληρωμένο είναι ιδιαίτερα σημαντικό και χρήζει άμεσης επίλυσης. Η αιτία που μπορεί να προκάλεσε το φαινόμενο σε μεγάλη έκταση είναι η μη ισορροπημένη κατανομή ισχύος στο δίκτυο τροφοδοσίας. Αποτέλεσμα αυτού είναι μεγάλα blocks πυλών να τραβάνε μεγάλη ποσότητα ρεύματος και να εμφανίζεται μεγάλη πτώση τάσης στον αγωγό που τα τροφοδοτεί με ρεύμα. Λογικό είναι ο αγωγός αυτός είναι να βρίσκεται σε υψηλά ιεραρχικό επίπεδο εφόσον τροφοδοτεί μεγάλα blocks πυλών. Το εκτεταμένο φαινόμενο μπορεί να θεωρηθεί μια κλιμάκωση του τοπικού. Ένα ποσοστό IR-drop είναι αναπόφευκτο εξαιτίας της αναγκαιότητας ύπαρξης κυκλωμάτων που να αλλάζουν ταυτόχρονα κατάσταση εντός του ολοκληρωμένου όπως αυτά του ρολογιού και των latches.

Επιπτώσεις του φαινομένου της πτώσης τάσης στα ολοκληρωμένα κυκλώματα.

Η αδυναμία ορθού προσδιορισμού της πτώσης τάσης μπορεί να προκαλέσει προβλήματα στο χρονοισμό του κυκλώματος και να αυξήσει τα επίπεδα θορύβου προκαλώντας λανθασμένα λογικά σήματα. Επιπλέον μπορεί να έχει δυσμενή επίπτωση στην ταχύτητα του κυκλώματος και τα περιθώρια θορύβου, υποβιβάζοντας την απόδοση ή προκαλώντας λανθασμένα λογικά σήματα και δυσλειτουργία του κυκλώματος.



Εικόνα 3. Η πτώση τάσης IR κατά μήκος των αγωγών τροφοδοσίας και η επίδραση του στα επίπεδα θορύβου.



Εικόνα 4. Το φαινόμενο της πτώσης τάσης που παρατηρείται σε μια καταβόθρα τροφοδοσίας ισχύος στο δίκτυο διανομής της ισχύος στα σύγχρονα Ολοκληρωμένα Κυκλώματα.

Η πτώση τάσης έχει δύο πιθανές εκφάνσεις στη λειτουργία και κατά επέκταση στην απόδοση του ολοκληρωμένου. Οι επιπτώσεις ανάλογα με το μέγεθος της πτώσης της τάσης μπορεί να οδηγήσουν σε πρόβλημα που αφορούν το χρονοισμό του ολοκληρωμένου ή ακόμη και σε

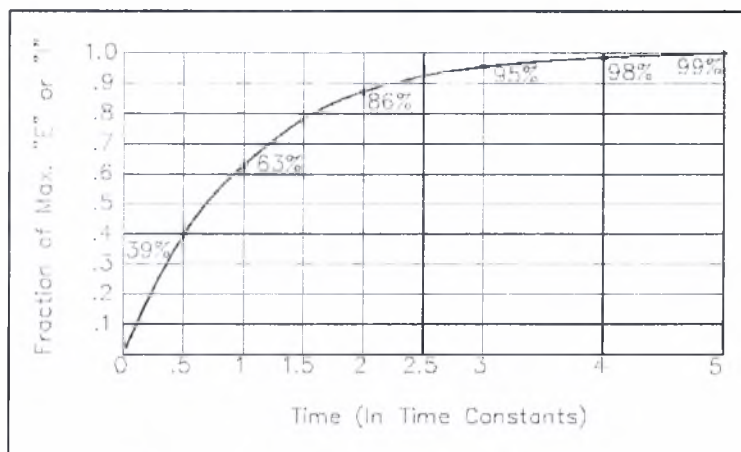
λογικά σφάλματα, τα οποία δεν θα μπορούσαν να είναι ανιχνεύσιμα κατά τη διάρκεια της προσομοίωσης.

Αν η πτώση τάσης στο δίκτυο διανομής ισχύος του ολοκληρωμένου είναι μεγάλη, είναι πιθανό να εμφανιστούν λογικά λάθη στο ολοκληρωμένο. Κάτι τέτοιο όπως έχει αναφερθεί μπορεί να είναι απόρροια, είτε εκτεταμένης πτώσης τάσης στην έκταση του ολοκληρωμένου ως ένα εγγενές πρόβλημα της σχεδίασης που αφορά τη πολυπλοκότητα αλλά και το μέγεθος της, επομένως και του δικτύου διανομής ισχύος, είτε της ταυτόχρονα υψηλής κατανάλωσης ρεύματος από μεγάλο πλήθος πυλών εξαιτίας κάποιου ζεύγους διανυσμάτων εισόδου στο ολοκληρωμένο που οδηγεί σε ταυτόχρονη αλλαγή κατάστασης των πυλών αυτών, με αποτέλεσμα η πτώση τάσης να κλιμακώνει. Σε αυτή τη περίπτωση στην είσοδο τροφοδοσίας των λογικών πυλών του κυκλώματος δεν φτάνει ικανοποιητικά υψηλό επίπεδο τάσης. Αποτέλεσμα αυτού είναι κάποια ή ορισμένες από τις εξόδους κάποιου υποκυκλώματος να μην καταφέρνει να δώσει «καθαρό» '1', ή '0', στα σήματα που θα έπρεπε, με αποτέλεσμα να παρουσιάζονται στο ολοκληρωμένο λογικά σφάλματα. Τα σφάλματα αυτά είναι αδύνατο να ανιχνευτούν στη λογική προσομοίωση του κυκλώματος αφού κατά τη διάρκεια αυτής τα επίπεδα τάσης που εφαρμόζονται στην είσοδο τροφοδοσίας των πυλών θεωρούνται ως τα ιδανικά. Για να αποφανθούμε ότι η πραγματική αιτία της λογικής αστοχίας του υλικού είναι όντως η πτώση τάσης στο δίκτυο διανομής ισχύος, μπορούμε να αυξήσουμε την τάση τροφοδοσίας του κυκλώματος και να ελέγξουμε ξανά αν το κύκλωμα παρουσιάζει λογικές αστοχίες.

Ακόμη και αν η πτώση τάσης είναι σχετικά μικρή σε μέγεθος, είναι πιθανό να προκύψουν προβλήματα που αφορούν το χρονισμό του κυκλώματος. Πτώσεις τάσης μικρότερης κλίμακας στο δίκτυο διανομής ισχύος είναι απόρροια των προβλημάτων που αναφέρθηκαν και στη προηγούμενη παράγραφο, όπου η πτώση τάσης καταλήγει σε λογικά σφάλματα, με τη διαφορά ότι τα προβλήματα έχουν μικρότερη έκταση χωρίς να κλιμακώνουν και να οδηγούν σε υψηλή πτώση τάσης. Τα προβλήματα αυτά είναι λογικό να προκύψουν από τη στιγμή που η τάση η οποία φτάνει στην είσοδο τροφοδοσίας των πυλών είναι σχετικά χαμηλή οδηγώντας σε καθυστέρηση φόρτισης-αποφόρτισης των χωρητικοτήτων εξόδου της κάθε πύλης. Η καθυστέρηση αυτή όταν είναι εκτεταμένη, αναφορικά με το μέγεθος της σχεδίασης και επηρεάζει μεγάλο πλήθος πυλών ως προς τη ταχύτητα φόρτισης και αποφόρτισης των χωρητικοτήτων που οδηγούν, καταλήγουν σε κλιμάκωση του προβλήματος και επομένως σε μείωση της ταχύτητας λειτουργίας του ολοκληρωμένου.

Παρατηρώντας το κλασικό γράφημα φόρτισης ενός πυκνωτή Εικόνα 5 που περιγράφεται από την εξίσωση $V_{0(t)} = V_0 * [1 - e^{-t/RC}]$ παρατηρούμε ότι εφόσον το RC των εισόδων κάθε πύλης θεωρείται δεδομένο και σταθερό αν το V_0 μειωθεί και γίνει έστω $V_1 < V_0$, και η συνάρτηση που

μας δίνει τη στιγμιαία τάση στον πυκνωτή είναι η $V_{1(t)} = V_1 * [1 - e^{-t/RC}]$ για το ίδιο t έστω t_1 θα ισχύει $V_{1(t_1)} < V_{0(t_1)}$ μπορούμε λοιπόν εύκολα να συμπεράνουμε ότι η ίδια χωρητικότητα θα χρειαστεί περισσότερο χρόνο προκειμένου να φορτίσει αν στα άκρα της εφαρμοστεί μικρότερη τάση.



Εικόνα 5. Λιάγραμμα φόρτισης πυκνωτή.

Στατική Ανάλυση Χρονισμού (STA)

Η Στατική Ανάλυση Χρονισμού (STA) είναι μια μέθοδος υπολογισμού του αναμενόμενου χρονισμού ενός ψηφιακού κυκλώματος χωρίς την απαίτηση της προσομοίωσης.

Τα υψηλής απόδοσης ολοκληρωμένα κυκλώματα έχουν χαρακτηριστεί παραδοσιακά από τη συχνότητα των ρολογιών τους στην οποία λειτουργούν. Για τον ακριβή υπολογισμό της δυνατότητας που έχει ένα κύκλωμα να λειτουργήσει με τη διευκρινισμένη ταχύτητα απαιτείται η δυνατότητα μέτρησής, κατά τη διάρκεια της διαδικασίας σχεδιασμού του, των καθυστερήσεων που εμφανίζει στα πολυάριθμα επίπεδά του. Επιπλέον, ο υπολογισμός της καθυστέρησης πρέπει να ενσωματωθεί στον εσωτερικό βρόχο βελτιστοποίησης του χρονισμού, στις διάφορες φάσεις της σχεδίασης του ΟΚ, όπως είναι η λογική σύνθεση, η φυσική σχεδίαση (routing and placement), και στις επιμέρους βελτιστοποιήσεις που πραγματοποιούνται αργότερα στον κύκλο σχεδίασης του ολοκληρωμένου. Ενώ τέτοιες μετρήσεις χρονισμού μπορούν θεωρητικά να πραγματοποιηθούν χρησιμοποιώντας μια σχολαστική προσομοίωση του κυκλώματος, μια τέτοια προσέγγιση είναι κατανοητό ότι θα είναι πάρα πολύ αργή και καθόλου πρακτική. Η στατική

ανάλυση χρονισμού διαδραματίζει έναν ζωτικής σημασίας ρόλο στη διευκόλυνση της γρήγορης και ακριβούς μέτρησης του χρονισμού των κυκλωμάτων. Το speedup που εμφανίζεται οφείλεται στη χρήση των απλουστευμένων μοντέλων-προτύπων καθυστέρησης, και εξ αιτίας της περιορισμένης δυνατότητά της Ανάλυσης να εξετάσει τα αποτελέσματα των λογικών αλληλεπιδράσεων μεταξύ των σημάτων. Εντούτοις, έχουν γίνει ορισμένα βασικά βήματα προόδου της σχεδίασης σε σχέση με το χρονισμό κατά τη διάρκεια των τελευταίων δεκαετιών. Μια από τις πιο πρόωρες περιγραφές μιας στατικής προσέγγισης χρονισμού δημοσιεύθηκε στη δεκαετία του 1970.

Σκοπός της Στατικής Ανάλυσης Χρονισμού

Σε ένα συγχρονο ψηφιακό σύστημα, τα δεδομένα υποτίθεται ότι κινούνται σε lockstep-pipeline, προωθώντας ένα στάδιο σε κάθε χτύπο του σήματος ρολογιών. Αυτό επιβάλλεται με το συγχρονισμό των στοιχείων όπως Pip-Pops ή latches, οι οποίοι μεταφέρουν-αντιγράφουν τα δεδομένα εισόδου τους στην έξοδο τους, όταν το ρολόι τα ενεργοποιήσει. Κατά βάση, μόνο δύο είδη λαθών χρονισμού είναι δυνατά σε ένα τέτοιο σύστημα:

Παραβίαση του **hold time**, όταν φθάνει δηλαδή ένα σήμα πάρα πολύ νωρίς, και προωθείται έναν κύκλο ρολογιού νωρίτερα από ότι θα έπρεπε.

Παραβίαση του **setup time**, όταν φθάνει δηλαδή ένα σήμα πάρα πολύ αργά, και χάνει τη χρονική στιγμή που θα έπρεπε να προωθηθεί.

Η χρονική στιγμή που φθάνει ένα σήμα μπορεί να ποικίλει και οι αιτίες μπορούν να είναι πολλές - τα δεδομένα εισόδου μπορεί να ποικίλουν, το κύκλωμα μπορεί να εκτελέσει διαφορετικές διαδικασίες, η θερμοκρασία και η τάση τροφοδοσίας μπορεί να αλλάξουν, και τέλος μπορεί να υπάρχουν κατασκευαστικές διαφορές σε σχέση με την ακριβή σχεδίαση κάθε μέρους και του παραγόμενου προϊόντος. Ο κύριος στόχος της στατικής ανάλυσης χρονισμού είναι να ελεγχθεί ότι παρ'όλες αυτές τις πιθανές διαφοροποιήσεις, όλα τα σήματα δεν θα φθάσουν ούτε πάρα πολύ νωρίς ούτε πάρα πολύ αργά, και ως εκ τούτου η κατάλληλη λειτουργία των κυκλωμάτων μπορεί να επιβεβαιωθεί.

Επίσης, δεδομένου ότι η στατική ανάλυση χρονισμού είναι σε θέση να επαληθεύσει κάθε μονοπάτι πυλών (**data path**), εκτός από τη βοήθεια της έυρεσης των setup time και hold time παραβιάσεων, μπορεί να ανιχνεύσει άλλα σοβαρά προβλήματα όπως τα glitches, τα slow paths και το clock skew.

Ορισμοί

Ως Critical Path ορίζεται το μονοπάτι, μεταξύ μιας εισόδου δεδομένων και μιας εξόδου η οποία παρίχθηκε από τα συγκεκριμένα δεδομένα, με τη μέγιστη καθυστέρηση. Μόλις υπολογιστεί ο χρονισμός των κυκλωμάτων με μια από τις τεχνικές που ακολουθούν, το critical path μπορεί εύκολα να βρεθεί με τη χρησιμοποίηση μιας μεθόδου traceback.

Ο χρόνος άφιξης(**arrival time**) ενός σήματος είναι ο χρόνος που παρήλθε για ένα σήμα προκειμένου να φθάσει σε ένα ορισμένο σημείο. Η αναφορά, ή ο χρόνος 0.0, λαμβάνεται συχνά ως χρόνος άφιξης ενός σήματος ρολογιού. Για να υπολογιστεί ο χρόνος άφιξης, απαιτείται ο υπολογισμός της καθυστέρησης όλων των υποκυκλωμάτων που βρίσκονται στο εκάστοτε μονοπάτι. Οι χρόνοι άφιξης, αλλά και σχεδόν όλοι οι χρόνοι στην ανάλυση χρονισμού, κρατιούνται κανονικά ως ζευγάρι τιμών - του νωρίτερου(ταχύτερου) δυνατού χρόνου στον οποίο ένα σήμα μπορεί να αλλάξει, και του πιο αργού.

Μια ακόμη χρήσιμη έννοια είναι ο απαραίτητος χρόνος(**required time**). Αυτός είναι ο μικρότερος χρόνος στον οποίο ένα σήμα μπορεί να φθάσει χωρίς να καταστήσει τον κύκλο ρολογιού πιο μακροχρόνιο από τον επιθυμητό. Ο υπολογισμός του απαραίτητου χρόνου συνεχίζει ως ακολούθως. Σε κάθε βασική έξοδο, οι απαραίτητοι χρόνοι για την άνοδο/πτώση(rise/fall) τίθενται σύμφωνα με τις προδιαγραφές που παρέχονται στο κύκλωμα. Έπειτα, πραγματοποιείται μία ανάποδη τοπολογική διαπεράσει του κυκλώματος στην οποία, επεξεργάζεται κάθε πύλη εφόσον είναι γνωστοί οι απαραίτητοι χρόνοι σε όλα τα fan outs του.

Το **slack** που σχετίζεται με κάθε σήμα, είναι η διαφορά μεταξύ του απαραίτητου χρόνου και του χρόνου άφιξης. Το *θετικό slack* s σε έναν κόμβο υπονοεί ότι ο χρόνος άφιξης σε εκείνο τον κόμβο μπορεί να αυξηθεί κατά s χωρίς να επηρεάσει τη γενική καθυστέρηση του κυκλώματος. Αντιθέτως, ένα *αρνητικό slack* υπονοεί ότι ένα μονοπάτι είναι πάρα πολύ αργό, και το μονοπάτι θα πρέπει να επιταχυνθεί (ή ότι το σήμα αναφοράς καθυστερεί) εάν θέλουμε ολόκληρο το κύκλωμα να λειτουργεί στην επιθυμητή ταχύτητα.

Corner models και STA

Αρκετά συχνά, οι σχεδιαστές επιθυμούν η σχεδίασή τους να είναι κατάλληλη (να πληρεί της απαιτούμενες προδιαγραφές) κάτω από πολλές και διαφορετικές συνθήκες. Η συμπεριφορά ενός ηλεκτρονικού κυκλώματος εξαρτάται συχνά από διάφορους παράγοντες του περιβάλλοντος όπως η θερμοκρασία ή οι τοπικές μεταβολές(αυξομειώσεις) της τάσης. Σε αυτή την περίπτωση είτε η στατική ανάλυση χρονισμού θα πρέπει να εκτελεσθεί για περισσότερα από ένα τέτοια σύνολα (set) συνθηκών, ή θα πρέπει να είναι προετοιμασμένη για να λειτουργεί με μια σειρά πιθανών τιμών καθυστερήσεων για κάθε υποκύκλωμα (στοιχείο του κυκλώματος), σε αντιδιαστολή με τη λειτουργία με μια ενιαία τιμή των εκάστοτε καθυστερήσεων. Εάν η σχεδίαση λειτουργεί σε κάθε μια από τις ακραίες συνθήκες, τότε υπό την θεώρηση μονοτονικής

συμπεριφοράς, η σχεδίαση θα πρέπει να είναι επίσης κατάλληλη (να λειτουργεί σωστά) για όλα τα ενδιάμεσα σημεία.

Η χρήση των corner models στη στατική ανάλυση χρονισμού έχει διάφορους περιορισμούς. Μπορεί να είναι υπερβολικά αισιόδοξη, δεδομένου ότι υποθέτει το τέλειο tracking - εάν μια πύλη είναι γρήγορη, όλες οι πύλες θεωρούνται γρήγορες, ή εάν η τάση είναι χαμηλή για μια πύλη, είναι επίσης χαμηλή για όλες τις άλλες. Τα corner models μπορούν επίσης να είναι υπερβολικά απαισιόδοξα, διότι το corner model για τη χειρότερη περίπτωση μπορεί να προκύπτει-εμφανίζεται σπάνια. Σε ένα ολοκληρωμένο κύκλωμα, παραδείγματος χάριν, μπορεί να μην είναι σπάνιο να υπάρξει ένα στρώμα μετάλλων στο λεπτό ή παχύ τέλος του επιτρεπόμενου εύρους-ορίου τιμών του, αλλά θα ήταν πολύ σπάνιο και για τα 10 στρώματα να είναι στο ίδιο όριο, δεδομένου ότι κατασκευάζονται ανεξάρτητα. Η Στατιστική Ανάλυση Χρονισμού, που αντικαθιστά τις καθυστερήσεις με τις κατανομές, και το tracking με τον συσχετισμό, είναι μια πιο περίπλοκη προσέγγιση στο ίδιο πρόβλημα.

Οι σημαντικότερες τεχνικές για STA

Στη στατική ανάλυση χρονισμού, η λέξη *στατική* αφήνει να εννοηθεί το γεγονός ότι αυτή η ανάλυση χρονισμού πραγματοποιείται κατά τρόπο ανεξάρτητο από τις εισόδους του ολοκληρωμένου, και ισχυρίζεται ότι μπορεί να βρει τη χειρότερη περίπτωση καθυστέρησης του κυκλώματος για όλους τους πιθανούς συνδυασμούς εισόδων. Η υπολογιστική αποδοτικότητα (γραμμική ως προς τον αριθμό των ακμών του γραφήματος) μιας τέτοιας προσέγγισης έχει οδηγήσει στη διαδεδομένη χρήση της, παρότι έχει ορισμένους περιορισμούς. Μια μέθοδος που αναφέρεται συνήθως ως PERT χρησιμοποιείται γενικά στη στατική ανάλυση χρονισμού. Η αποκαλούμενη μέθοδος PERT που συζητείται στο μεγαλύτερο μέρος της βιβλιογραφίας που αφορά την ανάλυση χρονισμού αναφέρεται ως critical path method(CPM) που χρησιμοποιείται ευρέως και στο project management.

Ενώ από τις χρησιμοποιούμενες μεθόδους στατικής ανάλυσης χρονισμού κυρίαρχες σήμερα είναι αυτές οι οποίες είναι βασισμένες στην CPM, υπάρχουν και άλλες μέθοδοι για τη διαπέραση γραφημάτων που αναπαριστούν κυκλώματα, όπως η αναζήτηση σε βάθος(depth-first search), έχουν χρησιμοποιηθεί από τις διάφορες μηχανές ανάλυσης χρονισμού.

Σύνδεση των αναλύσεων χρονισμού

Πολλά από τα κοινά προβλήματα στη σχεδίαση ολοκληρωμένων σχετίζονται με το χρονισμό μεταξύ των διαφορετικών στοιχείων της σχεδίασης (υποκυκλωμάτων). Αυτά μπορούν να

προκύψουν λόγω πολλών παραγόντων, συμπεριλαμβανομένων των ελλιπών προτύπων προσομοίωσης (simulation models), της έλλειψης δοκιμαστικών περιπτώσεων (test cases) για να ελέγξουν κατάλληλα το χρονισμό, των απαιτήσεων για το χρονισμό, των ανακριβών προδιαγραφών για το χρονισμό των υποκυκλωμάτων, και της έλλειψης κατανόησης από πλευράς σχεδιαστών κάποιου στοιχείου (υποκυκλώματος) που παρέχεται σε αυτούς ως black box. Υπάρχουν εξειδικευμένα εργαλεία CAD με σκοπό να αναλύσουν το χρονισμό των υποκυκλωμάτων, όπως επίσης υπάρχουν συγκεκριμένα εργαλεία CAD τα οποία επαληθεύουν ότι μια υλοποίηση ενός χρονισμού προσαρμόζεται στις λειτουργικές προδιαγραφές (χρησιμοποιώντας τεχνικές όπως model checking).

Η Στατιστική Ανάλυση Χρονισμού (SSTA) είναι μια διαδικασία που γίνεται όλο και περισσότερο απαραίτητη για να χειριστεί την περιπλοκότητα της διαδικασίας χρονισμού αλλά και των περιβαλλοντικών παραλλαγών στα ολοκληρωμένα κυκλώματα.

Η συμβατική στατική ανάλυση χρονισμού (STA) υπήρξε ο βασικότερος αλγόριθμος ανάλυσης χρονισμού για τη σχεδίαση των ψηφιακών κυκλωμάτων τα τελευταία 30 χρόνια. Εντούτοις, τα τελευταία χρόνια η αυξανόμενη παραλλαγή των ολοκληρωμένων κυκλωμάτων έχει εισαγάγει διάφορα ζητήματα που δεν μπορούν να αντιμετωπιστούν με τον παραδοσιακό (ντετερμινιστικό) αλγόριθμο στατικής ανάλυσης. Αυτό έχει οδηγήσει στην ιδιαίτερη έρευνα που αφορά τη στατιστική στατική ανάλυση χρονισμού (statistical static timing analysis), η οποία αντικαθιστά τον κανονικό ντετερμινιστικό χρονισμό των πυλών με τις κατανομές πιθανοτήτων, και δίνει μια κατανομή των πιθανών καταστάσεων των κυκλωμάτων παρά μια ενιαία κατάσταση.

Γιατί η STA είναι δημοφιλής

Ο παλιός ντετερμινιστικός STA είναι δημοφιλής για καλούς λόγους:

- 1) Δεν απαιτεί κανένα διάνυσμα, έτσι δεν χάνει μονοπάτια.
- 2) Ο χρόνος εκτέλεσης είναι γραμμικός στο μέγεθος των κυκλωμάτων (για το βασικό αλγόριθμο).
- 3) Το αποτέλεσμα είναι πάντα συντηρητικό.
- 4) Χρησιμοποιεί τυπικά, αρκετά απλές βιβλιοθήκες (τυπικές τιμές της καθυστέρησης και output slope ως συνάρτηση του input slope και του φορτίου εξόδου).
- 5) Είναι εύκολο να επεκταθεί για χρήση στη διαδικασία βελτιστοποίησης.

Όρια του συμβατικού STA

Η STA, ενώ είναι πολύ επιτυχής, έχει διάφορους περιορισμούς:

- 1) Χρειάζεται πολλά corner models προκειμένου για να «πιάσει» όλες τις πιθανές περιπτώσεις.
- 2) Εάν υπάρχουν σημαντικές παραλλαγές στη τυχαιότητα, προκειμένου να είναι συντηρητικό σε κάθε περίπτωση, γίνεται πάρα πολύ απαισιόδοξο στους υπολογισμούς του και δεν είναι εύκολο να ανταγωνιστεί άλλα προϊόντα-αλγόριθμους.
- 3) Αλλαγές με σκοπό την εύρεση λύσης στα διάφορα προβλήματα που εμφανίζονται και απαιτούν επέκταση του αλγορίθμου, όπως το CPPR (Common Path Pessimism Removal) κάνουν το βασικό αλγόριθμο ανάλυσης χρονισμού πιο αργό από το γραμμικό με το μέγεθος του κυκλώματος.

Ο SSTA ξεπερνά αυτούς τους περιορισμούς έμμεσα ή άμεσα. Κατ' αρχάς, ο SSTA βρίσκει τους συσχετισμούς μεταξύ των καθυστερήσεων των υποκυκλωμάτων. Κατόπιν χρησιμοποιεί αυτούς τους συσχετισμούς κατά τον υπολογισμό της προσθήκης των στατιστικών κατανομών που αφορούν τις καθυστερήσεις.

Μέθοδοι SSTA

Υπάρχουν δύο κύριες κατηγορίες αλγορίθμων SSTA – αυτοί που βασίζονται στα μονοπάτια (**path based**) και αυτοί που βασίζονται στα υποκυκλώματα (**blocks based**).

Ένας αλγόριθμος **path based** αθροίζει τις καθυστερήσεις των πυλών και των καλωδίων (διασυνδέσεις). Ο στατιστικός υπολογισμός είναι απλός, αλλά τα μονοπάτια που ενδιαφέρουν τον αλγόριθμο πρέπει να προσδιοριστούν πριν από το «τρέξιμο» της ανάλυσης. Υπάρχει η πιθανότητα μερικά άλλα μονοπάτια να είναι σχετικά αλλά να μην αναλύονται, επομένως η επιλογή μονοπατιών είναι σημαντική.

Ένας αλγόριθμος **block based** παράγει τους χρόνους άφιξης-arrival time(και τους required time) για κάθε κόμβο. Το πλεονέκτημα είναι η πληρότητα, και η έλλειψη ανάγκης για την επιλογή μονοπατιών. Το μεγαλύτερο πρόβλημα είναι η εύρεση μιας διεργασία που θα παρέχει το στατιστικό max (ή min) των καθυστερήσεων, το οποίο αποτελεί και ένα δύσκολο τεχνικά πρόβλημα.

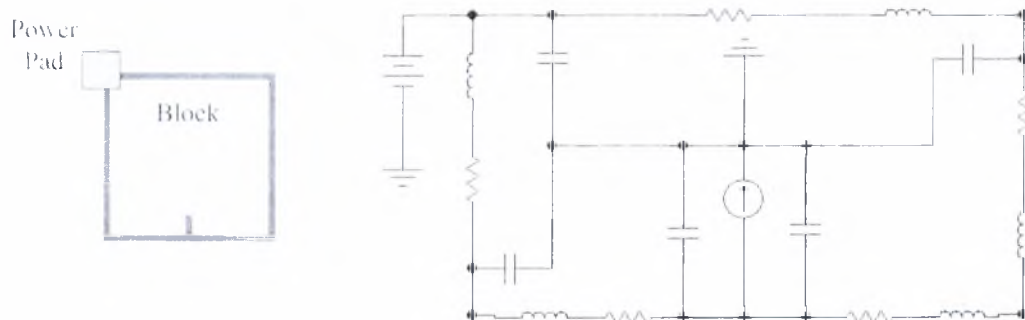
Κριτική SSTA

Διάφορες κριτικές έχουν αποδοθεί στην SSTA:

- 1) Είναι ιδιαίτερα πολύπλοκη, ειδικά με πιο ρεαλιστικές (μη-Γκαουσιανες) κατανομές.
- 2) Είναι δύσκολο να συνδεθεί με μια ροή ή έναν αλγόριθμο βελτιστοποίησης.
- 3) Είναι δύσκολο να αποκτηθούν τα δεδομένα που απαιτεί ο αλγόριθμος για να τρέξει. Ακόμα κι αν μπορούν να βρεθούν αυτά τα δεδομένα, είναι πιθανό να ποικίλουν αναφορικά με το χρόνο και ως εκ τούτου να είναι αναξιόπιστα.
- 4) Εάν χρησιμοποιείται σοβαρά από τους πελάτες ενός fab, περιορίζει τις αλλαγές που το fab μπορεί να κάνει, εάν αλλάζουν τις στατιστικές ιδιότητες της διεργασίας.
- 5) Το όφελος είναι σχετικά μικρό, σε σύγκριση με έναν ενισχυμένο ντετερμινιστικό STA.

Μοντελοποίηση του Προβλήματος

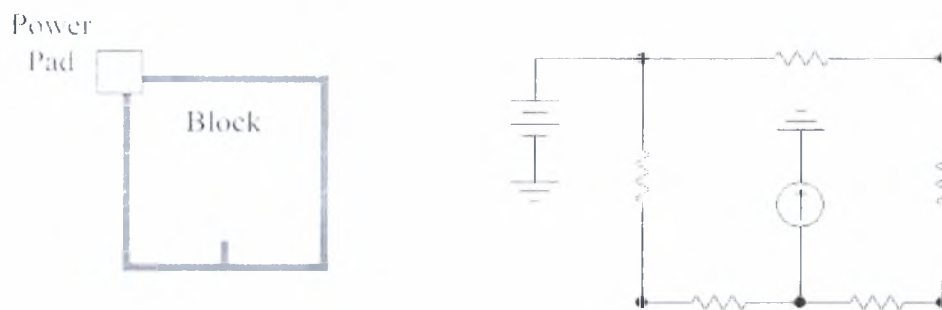
Στη πραγματικότητα ένα δίκτυο(πλέγμα) αγωγών τροφοδοσίας παρουσιάζει μια σύνθετη εμπέδηση που είναι απόρροια της ωμικής αντίστασης, της επαγωγής και της χωρητικότητας που παρουσιάζουν οι μεταλλικοί αγωγοί που το συνθέτουν. Τα υποκυκλώματα(blocks) του ολοκληρωμένου κατά τη διάρκεια της λειτουργίας τους καταναλώνουν ρεύμα, μέσω των ακροδεκτών τροφοδοσίας τους οι οποίοι συνδέονται σε κάποιο κόμβο του δικτύου διανομής ισχύος. Το ρεύμα που καταναλώνουν τα blocks, όπως έχουμε ήδη αναφέρει είναι αποτέλεσμα των συνεχόμενων αλλαγών κατάστασης των πυλών από τις οποίες αποτελούνται. Είναι λοιπόν προφανές πως η κατάλληλη ηλεκτρική αναπαράσταση των υποκυκλωμάτων του ολοκληρωμένου, είναι πηγές ρεύματος(καταβόθρες ρεύματος). Στη συνέχεια ακολουθεί ένα απλό παράδειγμα μοντελοποίησης μιας σχηματικής αναπαράστασης ενός block συνδεδεμένου με ένα στοιχειώδες τμήμα δικτύου διανομής ισχύος:



Εικόνα 6. Ένα απλό δίκτυο διανομής ισχύος συνδεδεμένο στον ακροδέκτη ενός block και η πλήρης ηλεκτρική τους αναπαράσταση.

Επειδή η πτώση τάσης στο πλέγμα τροφοδοσίας προκαλείται κατά κύριο λόγο εξαιτίας της ωμικής αντίστασης που παρουσιάζουν οι αγωγοί τροφοδοσίας κάνουμε την παρακάτω θεώρηση. Υποθέτουμε ότι το πλέγμα των αγωγών τροφοδοσίας έχει εξαχθεί ως ένα γραμμικό δίκτυο από κλάδους αντιστάσεων που συνδέονται σε $p+q$ κόμβους από τους οποίους p κόμβοι

είναι συνδεδεμένοι στην εξωτερική τροφοδοσία τάσης μέσω ακροδεκτών τάσης (οι οποίοι είτε είναι τοποθετημένοι στην περιφέρεια του πλέγματος στην περίπτωση υλοποίησης με τεχνολογία wire bond είτε είναι διασκορπισμένες σε ολόκληρη την περιοχή του πλέγματος με την τεχνολογία C4 Flip-chip) και οι εναπομείναντες q κόμβοι διαιρούνται σε n κόμβους-καταβόθρες (με πηγές ρεύματος) και $q-n$ εσωτερικούς κόμβους (για τους οποίους συνήθως ισχύει $q \gg n$).



Εικόνα 7. Ένα απλό δίκτυο διανομής ισχύος συνδεδεμένο στον ακροδέκτη ενός block και η απλοποιημένη ηλεκτρική τους αναπαράσταση.

Σύμφωνα με τη τροποποιημένη ανάλυση κόμβων (MNA) [8] το διάνυσμα $q \times 1$ της στιγμιαίας τάσης $\underline{U}(t)$ (αναφορικά με την γείωση) σε όλους τους εσωτερικούς κόμβους-καταβόθρες καθορίζεται από το στιγμιαίο ρεύμα που καταναλώνεται από τις καταβόθρες καθώς και από τη δομή του εκάστοτε δικτύου και δίνεται από την ακόλουθη εξίσωση:

$$\underline{G} \cdot \underline{U}(t) = -\underline{I}(t) + \underline{G} \cdot V_{DD} \quad (1)$$

όπου \underline{G} είναι ο πίνακας $q \times q$ αγωγιμοτήτων του δικτύου (διαμορφωμένος από τις αγωγιμότητες των κλάδων του δικτύου), $\underline{I}(t)$ είναι ένα διάνυσμα $q \times 1$ διέγερσης ρευμάτων στους κόμβους και V_{DD} ένα άλλο διάνυσμα $q \times 1$ με όλες τις εισόδους ίσες με την παροχή τάσης V_{DD} .

Ο πίνακας \underline{G} μορφοποιείται από τις αγωγιμότητες g_j των κλάδων του δικτύου.

$$g_j = \frac{1}{r_j} = \frac{t_j \cdot w_j}{\rho \cdot l_j} = \frac{1}{r_{w,j}} = \frac{1}{l_j} \quad (2)$$

όπου l_j , w_j , t_j , και ρ είναι το μήκος, το πλάτος, το πάχος, και η ειδική αντίσταση του κλάδου j αντιστοίχως, ενώ το $r_{w,j} = \rho / t_j$ αποτελεί την αντίσταση φύλλου του επιπέδου του μετάλλου.

Παραδείγματος χάρι, ο πίνακας αγωγιμοτήτων και το διάνυσμα ρευμάτων στην τοπολογία του απλού γράφου της Εικόνας 3 είναι:

$$\underline{G} = \begin{bmatrix} g_1 + g_2 & -g_2 & -g_1 & 0 \\ -g_2 & g_2 + g_4 & 0 & -g_4 \\ -g_1 & 0 & g_1 + g_3 & 0 \\ 0 & -g_4 & 0 & g_4 + g_3 \end{bmatrix}, \underline{I}(t) = \begin{bmatrix} -i_1(t) \\ 0 \\ g_3 V_{DD} \\ g_3 V_{DD} \end{bmatrix} \quad (3)$$

Ορίζοντας το $\underline{V}(t) = \underline{V}_{DD} - \underline{U}(t)$ ως την πτώση τάσης σε όλους τους κόμβους, μπορούμε να ξαναγράψουμε την εξίσωση (1) του δικτύου σε μια μορφή που μπορεί να επιλυθεί απευθείας για τις τιμές της πτώσης τάσης:

$$\underline{G} \cdot \underline{V}(t) = \underline{I}(t). \quad (4)$$

Απαριθμώντας πρώτα τους κόμβους φύλλα του δικτύου έτσι ώστε η εξίσωση πινάκων να μπορεί να ξαναγραφεί στη μορφή

$$(5) \quad \begin{bmatrix} \underline{G}_{11} & \underline{G}_{12} \\ \underline{G}_{21} & \underline{G}_{22} \end{bmatrix} \cdot \begin{bmatrix} \underline{V}_1 \\ \underline{V}_2 \end{bmatrix} = \begin{bmatrix} \underline{I}_1 \\ 0 \end{bmatrix}$$

\underline{G}_{11} , \underline{G}_{12} , \underline{G}_{21} , και \underline{G}_{22} είναι υποπίνακες του \underline{G} (όλοι συναρτήσει του \underline{w}) με μεγέθη $q_1 \times q_1$, $q_1 \times (q - q_1)$, $(q - q_1) \times q_1$, και $(q - q_1) \times (q - q_1)$ αντίστοιχα, ενώ τα \underline{V}_1 και \underline{I}_1 είναι διανύσματα μεγέθους $q_1 \times 1$ (το πρώτο αποτελεί το επιθυμητό διάνυσμα τάσεων στους κόμβους-φύλλα) και τα \underline{V}_2 και \underline{I}_2 είναι διανύσματα μεγέθους $(q - q_1) \times 1$. Η τελευταία εξίσωση μπορεί να λυθεί ως προς \underline{V}_1 παράγοντας στη συνέχεια ορισμένους υπολογισμούς:

$$(6) \quad \underline{V}_1(\underline{w}) = (\underline{G}_{11} - \underline{G}_{12} \underline{G}_{22}^{-1} \underline{G}_{21})^{-1} \cdot \underline{I}_1$$

Είναι μια γραμμική συνάρτηση των πτώσεων τάσης ως προς το διάνυσμα ρευμάτων I_1 των υποκυκλωμάτων η οποία στο χώρο των n διαστάσεων που ανήκει το διάνυσμα αυτό αποδεικνύεται $|I|$ ότι μεγιστοποιείται στα επονομαζόμενα «μεγιστικά» (maximal) σημεία.

Ορισμός1: Ένα σημείο \underline{I} καλείται «μεγιστικό» (maximal) σημείο του μερικώς διατεταγμένου συνόλου $\mathbf{D} \subset \mathbf{R}^n$ [4] εάν για κάθε $\underline{I}' \in \mathbf{D}$ η σχέση $\underline{I}' > \underline{I}$ συνεπάγεται $\underline{I}' = \underline{I}$, ή ισοδύναμα εάν δεν υπάρχει $\underline{I}' \in \mathbf{D}$ τέτοιο ώστε $\underline{I}' > \underline{I}$ συνιστώσα προς συνιστώσα (component-wise) με τουλάχιστον μια συνιστώσα $1 \leq k \leq n$ να είναι $I_k' > I_k$.

Επειδή τα δίκτυα παροχής είναι δυνατό να περιέχουν δεκάδες ή εκατοντάδες χιλιάδες κόμβων η ανάλυση ενός τέτοιου δικτύου είναι υπολογιστικά ακριβή αλλά και αργή. Πρόσφατες προσεγγίσεις προτείνουν μεθόδους για την ανάλυση και επαλήθευση τεραστίων και πολύπλοκων πλεγμάτων (δικτύων διανομής ισχύος) χρησιμοποιώντας ιεραρχικές μεθόδους [3].

Η επαλήθευση του πλέγματος τάσης πρέπει να βασιστεί σε κατάλληλες τιμές των μεγίστων ρευμάτων που εμφανίζονται κατά την λειτουργία του κυκλώματος και των υποσυστημάτων του, τα οποία σε όλες τις προηγούμενες περιπτώσεις θεωρούνταν ως δεδομένα. Παρά όλα αυτά, τέτοιες τιμές ή εκτιμήσεις, είναι δύσκολο να ληφθούν εφόσον το στιγμιαίο ρεύμα είναι συνάρτηση των διανυσματικών ζευγών εισόδου, τα οποία επιβάλλουν μια μετάβαση λογικής κατάστασης του κυκλώματος, ο αριθμός των οποίων (μεταβάσεων) είναι εκθετικός ως προς τον αριθμό των «βασικών εισόδων» και απαγορευτικά μεγάλος για πλήρη έλεγχο. Αυτή η έλλειψη αξιόπιστων εκτιμήσεων των μεγίστων ρευμάτων έχει ως αποτέλεσμα όλες οι προηγούμενες μέθοδοι να μην μπορούν να εφαρμοστούν σε πραγματικά ολοκληρωμένα κυκλώματα παρά μόνο σε ορισμένα μικρής πολυπλοκότητας κυκλώματα που διαθέτουν σχετικά μικρό αριθμό διακλαδώσεων και στοιχείων. Οι ανεξάρτητες προσεγγίσεις για την εκτίμηση των μεγίστων ρευμάτων που εμφανίσθηκαν με το πέρασμα των χρόνων ήταν κατά κύριο λόγο ευρηστικές ή υπεραπλουστευμένες και δεν μπορούσαν να παρέχουν την ακρίβεια που απαιτούνταν για τη σχεδίαση ολοκληρωμένων κυκλωμάτων βαθύως υπομικρού.

Για τελευταία χρόνια η έρευνα έχει επικεντρωθεί στην ακριβή προσομοίωση του κυκλώματος για ένα επαρκές δείγμα διανυσμάτων εισόδου, το οποίο είναι διαδοχικά ακολουθούμενο από στατιστική επεξεργασία προκειμένου να εξάγει τα αποτελέσματα για ολόκληρο το πληθυσμό διανυσμάτων. Οι τελευταίες εξελίξεις στην επιστημονική έρευνα, όσον αφορά τη στατιστική προσέγγιση των μεγίστων ρευμάτων προκύπτουν από την ασυμπτωτική θεωρία ακραίων τιμών (EVT - Extreme Value Theory) που αποτελεί το σχετικό πεδίο της στατιστικής για τον υπολογισμό του αγνώστου μεγίστου ενός σχετικού πληθυσμού με χρήση ενός (ή περισσότερα) από τα δείγματά του [5].

Η μέθοδος που χρησιμοποιείται στην παρούσα διπλωματική εργασία, ως ένα τμήμα της σχεδιαστικής ροής που θα παρουσιαστεί σε επόμενα κεφάλαια αυτής, εκμεταλλεύεται τις τελευταίες έρευνες στον τομέα [6], οι οποίες υποσκελίζουν κάποιες προηγούμενες προσπάθειες βασισμένες στη στατιστική για βιομηχανική εκμετάλλευση των δεδομένων προσομοίωσης τα οποία όμως είτε δεν ήταν βασισμένα στην θεωρία EVT είτε δεν έκαναν αποτελεσματική χρήση της θεωρίας όπως παρουσιάζεται διαδοχικά στην αναφορά [6]. Η προσαρμογή της EVT προσέγγισης στο συγκεκριμένο πρόβλημα, σε συνδυασμό με την κυκλωματική διατύπωση η

οποία παρουσιάστηκε προηγουμένως και τη σύνθετη προσέγγιση είναι άμεσα και εύκολα εφαρμοζόμενη σε οποιοδήποτε ολοκληρωμένο κύκλωμα.

Εκτενής αναφορά για τον τρόπο με τον οποίο πραγματοποιείται η στατιστική εκτίμηση των μεγίστων ρευμάτων στις ροές σχεδίασης που θα αναλυθούν στα επόμενα κεφάλαια υπάρχει στην αναφορά [1]. Στη συνέχεια θα γίνει μια περισσότερο ποιοτική περιγραφή σχετικά με στατιστική εκτίμηση των μεγίστων ρευμάτων (βασιζόμενοι πάντα στη κυκλωματική διατύπωση όπως αυτή έγινε στην αρχή του κεφαλαίου για τα δίκτυο τροφοδοσίας και τα blocks του ολοκληρωμένου κυκλώματος) προσομοιώνουμε το κύκλωμα που μας ενδιαφέρει με έναν αριθμό τυχαία παραγόμενων διανυσμάτων εισόδου. Έστω n τα υποκύκλωμα(πηγές ρεύματος κατά τη μοντελοποίηση τους) του ολοκληρωμένου και 5000 τα διανύσματα εισόδου. Η μέθοδος από το σημείο αυτό και μετά χωρίζεται σε δύο φάσεις.

Στη πρώτη φάση της μεθόδου, τοποθετούμε τις τιμές των ρευμάτων, οι οποίες προέκυψαν από τη προσομοίωση του κυκλώματος με τα 5000 τυχαία διανύσματα εισόδου, για κάθε ένα από τα n blocks σε n αντίστοιχες γραμμές ενός πίνακα διαστάσεων $n \times 5000$.

$$I = \begin{bmatrix} value_1.1, value_1.2, value_1.3, \dots, value_1.4999, value_1.5000 \\ value_2.1, value_2.2, value_2.3, \dots, value_2.4999, value_2.5000 \\ \vdots \\ \vdots \\ value_n.1, value_n.2, value_n.3, \dots, value_n.4999, value_n.5000 \end{bmatrix}$$

Κάθε γραμμή του πίνακα χωρίζεται σε δείγματα(samples) μεγέθους 50 τιμών το κάθε ένα. δημιουργούνται κατά αυτό το τρόπο 100 samples σε κάθε γραμμή.

$$I = \begin{bmatrix} \overbrace{1.1Sample(50values), 1.2Sample(50values), \dots, 1.50Sample50(values)}^{100\ sample(5000values)} \\ 2.1Sample(50values), 2.2Sample(50values), \dots, 2.50Sample50(values) \\ \vdots \\ \vdots \\ n.1Sample(50values), n.2Sample(50values), \dots, n.50Sample50(values) \end{bmatrix}$$

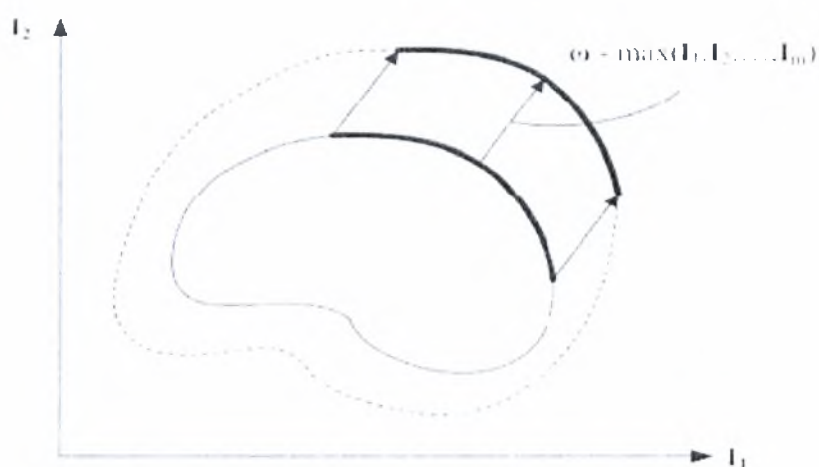
Για κάθε γραμμή κάνουμε την εξής διαδικασία, από κάθε sample τιμών παίρνουμε τη μέγιστη τιμή(max), δημιουργώντας έτσι ένα δείγμα z μεγέθους 100 τιμών. Το δείγμα αυτό ακολουθεί extreme value κατανομή. Στη συνέχεια υπολογίζονται οι παράμετροι \hat{a}_k και

\hat{b}_k της κατανομής. Μετά τον υπολογισμό των παραμέτρων γίνεται η εκτίμηση του μεγίστου $\hat{\omega}_k$ για κάθε block επί όλων των δυνατών διανυσμάτων εισόδου, οι οποίες είναι 2^r όπου r ο αριθμός των εισόδων του κυκλώματος.

$$\hat{\omega}_k = \hat{a}_k + \frac{\hat{b}_k}{1 + \ell \sqrt{\pi \log(\ell)} \left(\operatorname{erf}(\sqrt{\log(\ell)}) - 1 \right)}$$

Όπου ℓ , είναι το πλήθος των υποδειγμάτων, στη προκειμένη περίπτωση είναι ίσος με 50, ενώ η τιμή του παρανομαστή έχει υπολογιστεί σε 10,384. Παράλληλα με τη στατιστική εκτίμηση των μεγίστων ρευμάτων που καταναλώνει κάθε block (πηγή ρεύματος) επί όλων των δυνατών διανυσμάτων εισόδου υπολογίζονται και τα δειγματικά μέγιστα των ρευμάτων κάθε block για τα 5000 τυχαία διανύσματα εισόδου για κάθε block από 1 έως n . Η διαφορά του δειγματικού μεγίστου από το εκτιμηθέν, συνιστά ένα διάνυσμα μετακίνησης στο χώρο n διαστάσεων των ρευμάτων των blocks. Οπότε κατά αυτό το διάνυσμα μετακίνησης θα πρέπει να μετακινηθούν τα μεγιστικά σημεία αυτού του χώρου για να συμπέσουν με τα μεγιστικά σημεία του συνολικού χώρου.

Στην επόμενη φάση της μεθόδου, ο υπολογισμός των μεγιστικών σημείων στο δειγματικό χώρο σύμφωνα με τον **Ορισμό1** γίνεται με σύγκριση κάθε σημείου -διανύσματος με όλα τα υπόλοιπα προκειμένου να διαπιστώσουμε αν κάποιο από αυτά δεν κυριαρχείται σε όλες τις συνιστώσες του από κανένα άλλο. Μετά τον υπολογισμό των δειγματικών μεγιστικών τα μετακινούμε, σύμφωνα το διάνυσμα μετακίνησης που υπολογίσαμε πιο πριν, προς τα μεγιστικά σημεία του συνολικού χώρου των ρευμάτων.



Εικόνα 8. Ο χώρος των δειγμάτων ρευμάτων και η ολίσθηση των μεγιστικών του σημείων προς τα μεγιστικά σημεία του συνολικού χώρου των ρευμάτων .

Τα τελικά (μετακινηθέντα) σημεία αποτελούν τις χειρότερες διεγέρσεις ρευμάτων για το δίκτυο διανομής ισχύος(power grid).

Σε μια μελλοντική προσπάθεια επέκτασης της ροής σχεδίασης με σκοπό τη βελτιστοποίηση της επιφάνειας που καταλαμβάνει το ολοκληρωμένο, η συνάρτηση η οποία θα πρέπει να βελτιστοποιηθεί είναι η:

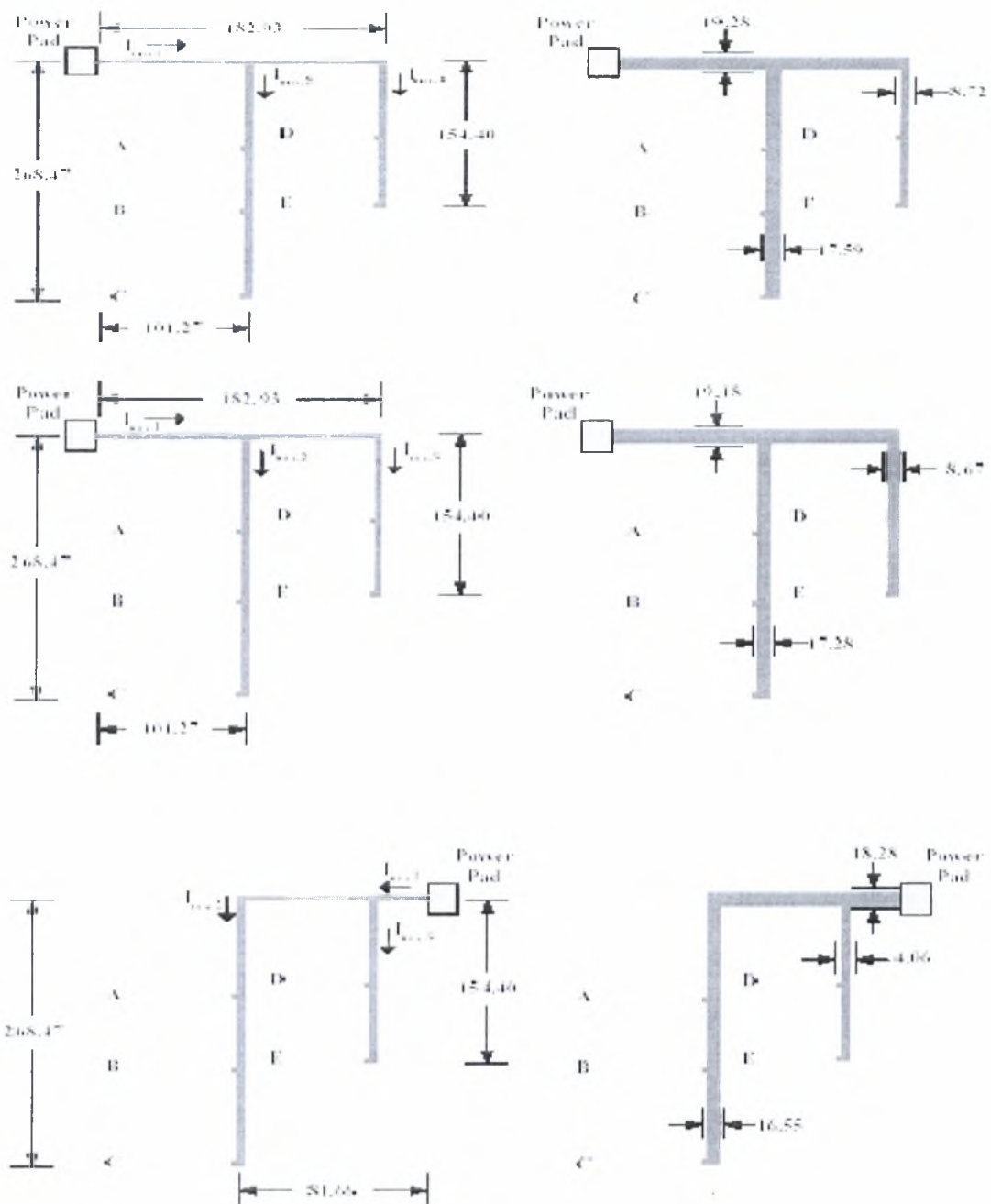
$$A(\underline{w}) = \underline{l}^T \cdot \underline{w} = \sum_{j=1}^p l_j w_j \quad (7)$$

Όπου $\underline{l} = [l_1, l_2, \dots, l_p]^T$, $\underline{w} = [w_1, w_2, \dots, w_p]^T$ τα διανύσματα μήκους και πλάτους αντίστοιχα, των κλάδων του δικτύου ισχύος με το τελευταίο να αποτελεί το διάνυσμα προς βελτιστοποίηση(από τη στιγμή που το μήκος των μετάλλων θεωρείται σταθερό και δεδομένο). Οι περιορισμοί της πτώσης τάσης (IR drop) πρέπει να είναι τέτοιοι ώστε η διαφορά τάσης $V_{max} - V_i(t)$ σε κάθε κόμβο φύλλο κ να παραμένει κάτω από ένα όριο(threshold) τάσης V_c (τυπικά ορισμένο στο 10% της τάσης αναφοράς V_{ref}) σε κάθε χρονική στιγμή t .

Με αυτό το τρόπο ακριβής(ενδελεχής) διατύπωση του προβλήματος βελτιστοποίησης με περιορισμούς παίρνει τη τελική μορφή :

$$(8) \quad \begin{cases} \min A(\underline{w}) & \text{s.t.} \\ V_{ref} - \underline{V}_c(\underline{w}) \leq V_c \end{cases}$$

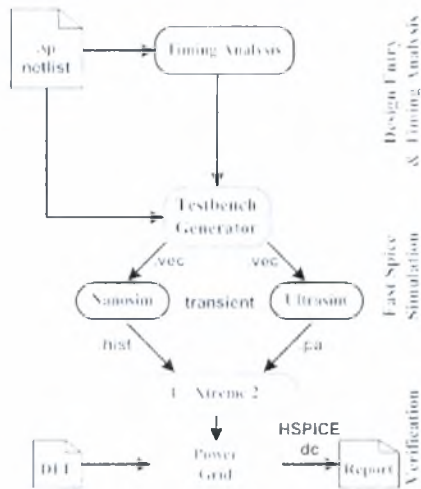
Στη βιβλιογραφία συνηθίζεται να συμπεριλαμβάνονται και ορισμένοι επιπρόσθετοι περιορισμοί που αφορούν κλάδους (branches) του δικτύου που επιβάλλεται να έχουν κοινά πλάτη(αυτή είναι συγκεκριμένα η περίπτωση των κλάδων που βρίσκονται στην ίδια ευθεία γραμμή). Παρόλα αυτά, είναι χρήσιμο, αυτά τα όμοια πλάτη να αναπαριστώνται με μια κοινή μεταβλητή (π.χ. $w_1 = w_2 = w_3$) στη συνάρτηση (5) και στους περιορισμούς της (7) αποφεύγοντας τους σχετικούς περιορισμούς και μειώνοντας ταυτόχρονα το συνολικό αριθμό παραμέτρων.



Εικόνα 9. Βελτιστοποίηση της επιφάνειας που καταλαμβάνει το OK με ταυτόχρονη βελτιστοποίηση του IR-drop.

Η Ροή Σχεδίασης

Η δεύτερη ροή σχεδίασης που προτείνουμε διαθέτει χαρακτηριστικά που την προσδιορίζουν σαν μια χαρακτηριστική ροή σχεδίασης ψηφιακών κυκλωμάτων. Βασίζεται σε βιομηχανικά εργαλεία των εταιρειών, SYNOPSIS και CADENCE και στις προγραμματιστικές γλώσσες TCL και C. Η ροή αυτή έχει προκύψει αργότερα χρονικά από αυτήν που ήδη έχουμε αναλύσει και διατηρεί την ίδια μεθοδολογία, τόσο όμως οι εσωτερικές διεργασίες που πραγματοποιούνται σε κάθε λογικό επίπεδο όσο και το επίπεδο της σχεδίασης στο οποίο εφαρμόζεται η μεθοδολογία διαφέρουν σημαντικά. Η συγκεκριμένη ροή στοχεύει σε μια ευρύτερη αντιμετώπιση του προβλήματος.



Εικόνα 10. Η δεύτερη σχεδιαστική ροή για την ανάλυση αξιοπιστίας του δικτύου διανομής της ισχύος σε ένα ΟΚ.

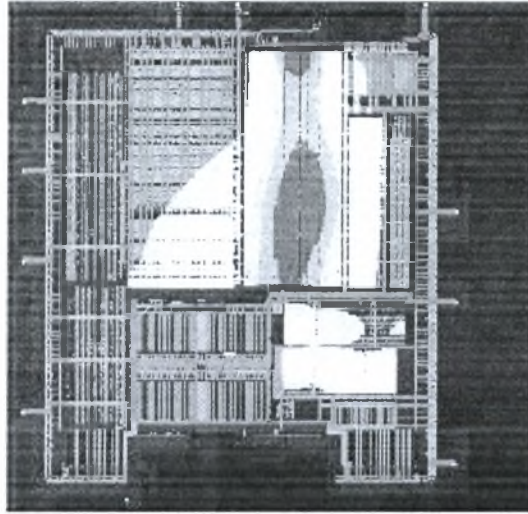
Στο πρώτο βήμα, έχουμε αναπτύξει μια διεργασία η οποία δημιουργεί μια δέσμη ενεργειών(`script`) για την ανάλυση χρονισμού του κυκλώματος. Τα απαραίτητα αρχεία και δεδομένα χρησιμοποιούνται για την εκκίνηση της διεργασίας ανάλυσης χρονισμού και στη συνέχεια μια δεύτερη διεργασία αναλύει την αναφορά του εργαλείου και προωθεί την μεγαλύτερη καθυστέρηση μονοπατιού στο επόμενο βήμα.

Στο δεύτερο βήμα της μεθοδολογίας εφαρμόζεται η διεργασία που επεξεργάζεται την δημιουργία του `testbench`. Στη περίπτωση αυτή η διεργασία είναι γραμμένη σε γλώσσα TCL και λαμβάνει ως εισόδους όλα τα απαραίτητα δεδομένα (σχεδίαση σε `.sp`, ανάλυση χρονισμού, μοντέλα τεχνολογίας τρανζίστορ, παραμέτρους για τους προσομοιωτές, χρόνος προσομοίωσης, πλήθος υποκυκλωμάτων). Στο ίδιο βήμα γίνεται και η παραγωγή του κατάλληλου αρχείου εισόδων για την προσομοίωση των κυκλωμάτων στο πεδίο του χρόνου (`transient analysis`). Έχει

υλοποιηθεί υπορουτίνα που διαθέτει τυχαία γεννήτρια αριθμών και με βάση την παραμετροποίηση παράγει το κατάλληλο αρχείο διανυσμάτων εισόδου σε μορφή .vec . Στη συνέχεια πραγματοποιούνται οι αναλύσεις των κυκλωμάτων στο πεδίο του χρόνου. Επειδή, το μέγεθος των ψηφιακών κυκλωμάτων είναι πολλές φορές απαγορευτικό για εκτενή προσομοίωση στο πεδίο του χρόνου χρησιμοποιούμε ταχύτερους προσομοιωτές, που διαθέτουν ακρίβεια πολύ κοντά σε αυτήν του SPICE (Fast Spice Simulators). Η δεύτερη αυτή ροή σχεδίασης έχει τη δυνατότητα να υποστηρίζει τη δημιουργία παραμετροποιημένων αρχείων για δύο βιομηχανικούς προσομοιωτές, τον Nansim της SYNOSPYΣ και τον Ultrasim της CADENCE. Οι προσομοιωτές αυτοί εκτελούν αναλύσεις ισχύος και καταγράφουν για κάθε υποκύκλωμα τα μέγιστα και μέσα ρεύματα.

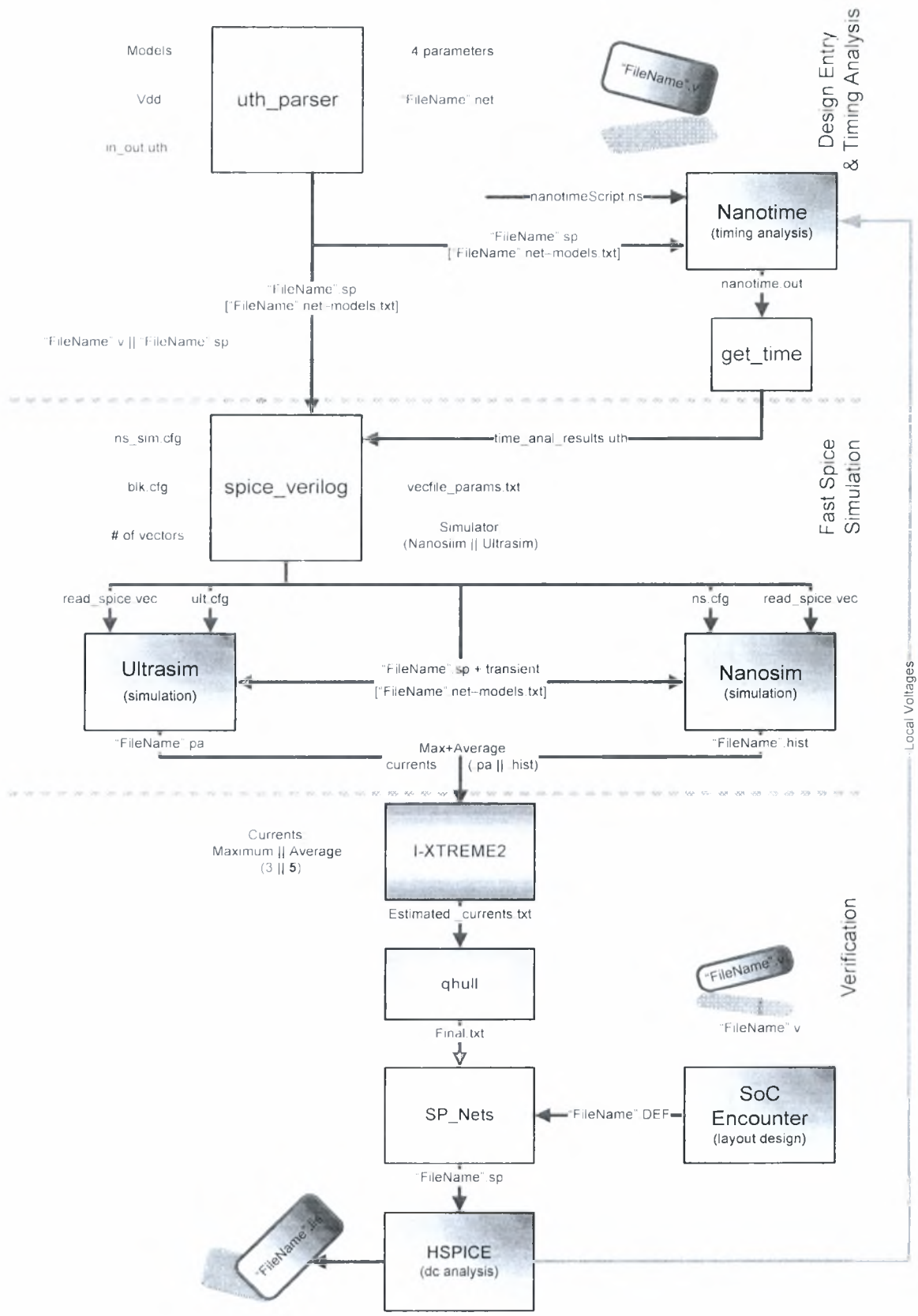
Τα αποτελέσματα της ανάλυσης επεξεργάζονται από τη στατιστική μηχανή I-XTREME2(δεύτερη έκδοση της I-XTREME μηχανής, της πρώτης ροής), η οποία είναι γραμμένη σε C και στο σημείο αυτό θα πρέπει να αναφέρουμε ότι η I-XTREME2 μπορεί να στηρίξει τα αποτελέσματα της και με μέσα ρεύματα, υπολογίζονται τα ρεύματα χειρότερης περίπτωσης(μέσα ή μέγιστα) για κάθε υποκύκλωμα. Μια ακόμη σημαντική διεργασία που πραγματοποιείται είναι η εξαγωγή (extract) της αντίστασης που παρουσιάζει το δίκτυο διανομής ισχύος, από αρχεία τύπου DEF(Design Exchange Format), τα οποία είναι αρχεία περιγραφής σχεδίασης σε φυσικό επίπεδο, σε μορφή δικτύου αντιστάσεων, σε αρχείο spice. Το αρχείο αυτό μαζί με τα ρεύματα χειρότερης περίπτωσης που υπολογίστηκαν από τη μηχανή I-XTREME2 διοχετεύονται σε ένα HSPICE προσομοιωτή για την dc ανάλυση. Μετά την dc ανάλυση έχουμε μια εικόνα της πτώσης τάσης στο δίκτυο διανομής της ισχύος πάνω στους κόμβους όπου ακουμπάνε οι εισοδοί τροφοδοσίας των υποκυκλωμάτων της σχεδίασης.

Στην **Εικόνα 10** που ακολουθεί, παρουσιάζεται ένα ολοκληρωμένο κύκλωμα πριν την επεξεργασία του από τη δεύτερη σχεδιαστική ροή. Το κόκκινο χρώμα, του οποίου η ένταση είναι ανάλογη του επιπέδου της τιμής της πτώσης τάσης πάνω στο δίκτυο διανομής ισχύος, παρατηρούμε ότι «ανοίγει» καθώς απομακρυνόμαστε από το σημείο του grid που παρουσιάζει τη μέγιστη πτώση τάσης.



Εικόνα 11. Chip πριν από τη βελτιστοποίησή των αγωγών του με βάση τα αποτελέσματα της δεύτερης ροής σχεδίασης.

Στη συνέχεια ακολουθεί ένα αναλυτικό διάγραμμα στο οποίο φαίνεται με λεπτομέρεια η ροή της πληροφορίας, μέσω αρχείων, ανάμεσα στα προγράμματα που αναπτύχθηκαν στα πλαίσια της διπλωματικής και στα βιομηχανικά εργαλεία που χρησιμοποιήθηκαν ώστε να υλοποιηθεί η επιθυμητή ροή σχεδίασης. Τα ορθογώνια με πορτοκαλί χρώμα στο φόντο αντιστοιχούν στα βιομηχανικά εργαλεία που χρησιμοποιήθηκαν. Το βασικό μαθηματικό εργαλείο της ροής, η στατιστική μηχανή I-EXTREME2 αναπαριστάται με χαρακτηριστικό κόκκινο χρώμα. Τα προγράμματα τα οποία έχουν γραφτεί σε γλώσσα μακροεντολών (scripting language) Tcl, έχουν κίτρινο φόντο. Το ορθογώνιο με μπλε χρώμα αντιστοιχεί στη μαθηματική διεργασία Convex Hull. Το ορθογώνιο με πράσινο χρώμα αντιστοιχεί στο πρόγραμμα SP_Nets το οποίο είναι γραμμένο στη γλώσσα προγραμματισμού C++. Με βέλη χρώματος μπλε αναπαριστώνται οι εξόδους(αρχεία) των προγραμμάτων οι οποίες χρησιμοποιούνται ως εισόδοι σε άλλο πρόγραμμα της ροής. Με βέλη χρώματος πράσινου αναπαριστώνται οι εισόδοι προγραμμάτων ή εργαλείων οι οποίες έχουν παραχθεί είτε από κάποιο βιομηχανικό εργαλείο σχεδίασης το οποίο δεν εμφανίζεται στο διάγραμμα είτε από τον ίδιο το σχεδιαστή. Οι λέξεις που εμφανίζονται με πορτοκαλί γράμματα μέσα σε παρενθέσεις πάνω στα πράσινα βέλη αποτελούν τις δυνατές εισόδους του κάθε προγράμματος ολογράφως. Ο τύπος(κατάληξη) κάθε αρχείου έχει χαρακτηριστικό κόκκινο χρώμα ενώ το σύμβολο || σηματοδοτεί τις εναλλακτικές επιλογές για ορισμένες εισόδους. Τέλος, μέσα σε αγκύλες περιέχονται τα αρχεία που γίνονται υποχρεωτικά include από το αρχείο έξω από τις αγκύλες.



Στη συνέχεια της εργασίας αναλύονται τόσο τα προγράμματα που αναπτύχθηκαν κατά τη διάρκεια της διπλωματικής εργασίας όσο και οι είσοδοι και έξοδοι αυτών.

Το πρόγραμμα `uth_parser` είναι ένα πρόγραμμα γραμμένο στη προγραμματιστική γλώσσα `tel`. Το πρώτο όρισμα που δίνεται ως είσοδος το πρόγραμμα είναι το αρχείο `in_out.uth`, το οποίο περιέχει τις υψηλότερες ιεραρχικά εισόδους και εξόδους σχεδίασης ολοκληρωμένου τις οποίες δέχεται από αρχείο γραμμένο σε κάποια από τις γλώσσες περιγραφής σχεδίασης υλικού (`vhdl`, `verilog`) το οποίο περιγράφει τη σχεδίαση που μας ενδιαφέρει. Επιπλέον περιέχει το όνομα της υψηλότερης ιεραρχικά σχεδίασης καθώς και τις ονομασίες των δικτύων τροφοδοσίας και γείωσης. Το δεύτερο όρισμα του προγράμματος είναι το όνομα του αρχείου με την περιγραφή των τεχνολογικών μοντέλων που χρησιμοποιούνται στη σχεδίαση. Το όρισμα αυτό τοποθετείται ως `card` στο αρχείο τύπου `spice` που θα προκύψει με την ολοκλήρωση των διεργασιών που πραγματοποιεί το πρόγραμμα. Το τρίτο κατά σειρά όρισμα του προγράμματος, είναι το όνομα ενός αρχείου, το οποίο περιέχει τη σχεδίαση σε χαμηλότερο σχεδιαστικό επίπεδο, αυτό του τρόπου σύνδεσης μεταξύ των υποκυκλωμάτων. Το όρισμα αυτό δίνεται στη μορφή που ακολουθεί, `"FileName".net` και τοποθετείται και αυτό ως `card` στο αρχείο που προκύπτει. Το τέταρτο όρισμα είναι η τιμή της τάσης τροφοδοσίας του κυκλώματος που μας ενδιαφέρει και δίνεται και αυτό ως ένα `card` στο αρχείο `spice` που θα προκύψει.

Οι έξοδοι του αρχείου `uth_parser` είναι δύο αρχεία το `rm.cfg` και το `"FileName".sp`. Το αρχείο `"FileName".sp` είναι ένα αρχείο τύπου `spice` το οποίο χρησιμοποιείται ως μια παράμετρος εισόδου στο πρόγραμμα `Nanotime`. Το αρχείο αυτό χρησιμοποιείται, με μια προσθήκη ενός ακόμη `card` μετά την ανάλυση χρονισμού, από επόμενο χρονικά πρόγραμμα στη ροή σχεδίασης και στη συνέχεια αυτής ως παράμετρος για επόμενη λειτουργία.

Στο βιομηχανικό εργαλείο `Nanotime`, το οποίο είναι ένα προϊόν της εταιρίας `Synopsys` και πραγματοποιεί την ανάλυση χρονισμού της σχεδίασης του ολοκληρωμένου δίνονται ως είσοδοι, όπως έχει ήδη αναφερθεί, τα αρχεία που δημιουργούνται από το πρόγραμμα `uth_parser`. Το `nanotimeScript.ns` αποτελεί το `configuration file` του εργαλείου, δηλαδή το αρχείο που ρυθμίζει τις παραμέτρους λειτουργίας του εργαλείου.

Το πρόγραμμα `get time` είναι γραμμένο σε `scripting` γλώσσα `tel`. Η διεργασία η οποία επιτελεί το πρόγραμμα αυτό είναι η διαπέραση του αρχείου εξόδου του εργαλείου `Nanotime`, το οποίο ονομάζεται `nanotime.out` και η εξαγωγή των αποτελεσμάτων χρονισμού από αυτό. Πιο συγκεκριμένα, βρίσκει μέσα στο αρχείο `nanotime.out` και αποθηκεύει σε μεταβλητές, την τιμή της καθυστέρησης που αντιστοιχεί στο μεγαλύτερο μονοπάτι της σχεδίασης του κυκλώματος που επεξεργαζόμαστε, καθώς και τη μονάδα χρόνου που αντιστοιχεί στην τιμή της καθυστέρησης αυτής. Στη συνέχεια δημιουργεί ένα αρχείο, το `time_anal_results.uth` στο οποίο τοποθετεί με συγκεκριμένη διάταξη τις δύο τιμές των μεταβλητών αυτών, ώστε να είναι εφικτή η διαπέραση του στη συνέχεια του `flow` από άλλο πρόγραμμα.

Το πρόγραμμα spice_verilog είναι και αυτό γραμμένο στη scripting γλώσσα Tcl. Το πρόγραμμα δημιουργεί τα κατάλληλα αρχεία εισόδου για τους προσομοιωτές, Nanosim της εταιρίας Synopsys και Ultrasim της εταιρίας Cadence. Η παράμετρος εισόδου "FileName".sp του προγράμματος είναι ένα αρχείο τύπου spice(.sp, .spi). Το αρχείο αυτό θα αποτελεί το αρχείο περιγραφής του κυκλώματος που μελετάμε και επιθυμούμε να εισάγουμε στο ένα από τα δύο εργαλεία προσομοίωσης της επιλογής μας. Αυτό που ουσιαστικά κάνει το πρόγραμμα spice_verilog με αυτή του την είσοδο, είναι αφού πρώτα υπολογίσει το συνολικό χρόνο που χρειάζεται η προσομοίωση σε επίπεδο χρόνου(transient simulation), η οποία θα πραγματοποιηθεί από τα εργαλεία που προαναφέραμε, για να ολοκληρωθεί να εισάγει την απαραίτητη εντολή για transient analysis, με τον αντίστοιχο χρόνο που υπολόγισε ως παράμετρο της. Η εντολή εισάγεται στη κατάλληλη γραμμή του αρχείου που περιγράφει τη σχεδίαση μας. Ο υπολογισμός του χρόνου προσομοίωσης γίνεται με τη χρήση δύο τύπων δεδομένων που αντλεί το πρόγραμμα από άλλες παραμέτρους εισόδου του.

Η μια από αυτές τις δύο παραμέτρους είναι το αρχείο time_analys_results.uth το οποίο περιέχει τα αποτελέσματα που μας ενδιαφέρουν από το output αρχείο που προέκυψε μετά την ανάλυση χρονισμού την οποία πραγματοποίησε το εργαλείο Nanotime.

Η δεύτερη παράμετρος την οποία χρησιμοποιεί το πρόγραμμα για τον υπολογισμό του συνολικού χρόνου προσομοίωσης της σχεδίασης είναι ο αριθμός των διανυσμάτων εισόδου(# of vectors), με τα οποία ο σχεδιαστής επιθυμεί να προσομοιώσει το κύκλωμα του.

Η είσοδος αυτή χρησιμοποιείται επίσης σε συνδυασμό με την είσοδο του δεύτερου αρχείου τύπου, είτε spice είτε verilog, με σκοπό την παραγωγή ενός νέου αρχείου που θα περιέχει τα τυχαία διανύσματα εισόδου τα οποία θα χρησιμοποιηθούν για τη προσομοίωση της σχεδίασης που μελετάμε. Πιο αναλυτικά, το πρόγραμμα βρίσκει τα σήματα εισόδου της σχεδίασης είτε από αρχείο τύπου spice είτε από αρχείο τύπου verilog, ανάλογα με το ποιος τύπος αρχείου θα επιλεχτεί να δοθεί ως είσοδος στο πρόγραμμα από το σχεδιαστή. Στη συνέχεια, από τη στιγμή που το πρόγραμμα γνωρίζει τις εισόδους του κυκλώματος επομένως και τον αριθμό τους, δημιουργεί ένα αρχείο τύπου .vec το οποίο χρησιμοποιείται ως είσοδος στα εργαλεία προσομοίωσης.

Το αρχείο αυτό περιέχει κάποιες χαρακτηριστικές τιμές, για κάθε καλώδιο της σχεδίασης που επεξεργαζόμαστε, σε πέντε βασικά πεδία του. Στο πρώτο πεδίο του αρχείου και μέσα σε μια γραμμή περιλαμβάνονται για κάθε ένα σήμα της σχεδίασης, εδώ είναι όλα είσοδοι, το radix του(η βάση απεικόνισης π.χ. οκταδικό, δεκαεξαδικό, δυαδικό). Στο δεύτερο πεδίο και πάλι μέσα σε μια γραμμή του αρχείου περιλαμβάνονται οι χαρακτηρισμοί των σημάτων του κυκλώματος(ιο), που στη προκειμένη περίπτωση θα είναι i αφού όλα τα σήματα όπως ήδη αναφέραμε είναι είσοδοι. Το τρίτο από τα πεδία περιλαμβάνει σε μια γραμμή το όνομά του κάθε σήματος εισόδου του κυκλώματος. Στο τέταρτο πεδίο του αρχείου περιλαμβάνεται το slope(κλίση του σήματος εισόδου) της προσομοίωσης, και αυτό σε μια ακριβώς γραμμή. Στο πέμπτο και τελευταίο πεδίο του αρχείου περιλαμβάνονται ο χρόνος στον οποίο εισάγεται(με

βάση τη περίοδο) κάθε διάνυσμα εισόδου καθώς και η τιμή του διανύσματος, ενώ κάθε ζεύγος των προαναφερθέντων τιμών πρέπει να περιλαμβάνεται σε μια ακριβώς γραμμή του αρχείου.

Στο σημείο αυτό θα πρέπει να κάνουμε δύο πολύ σημαντικές διευκρινίσεις. Η πρώτη διευκρίνιση είναι, πως εάν οι εισόδοι της σχεδίασης παρέχονται στο πρόγραμμα μέσω αρχείου τύπου `spice`, τότε τα διανύσματα εισόδου που θα παραχθούν θα είναι σε δυαδική μορφή, δηλαδή ένα bit για κάθε σήμα εισόδου του κυκλώματος. Εάν όμως οι εισόδοι παρέχονται μέσω αρχείου τύπου `verilog`, τα διανύσματα εισόδου που θα παραχθούν θα έχουν δεκαεξαδική μορφή, δηλαδή πολύ πιο συμπακνωμένη μορφή, κάτι το οποίο συνεπάγεται και αισθητά μικρότερα σε μέγεθος παραγόμενα αρχεία. Η δεύτερη διευκρίνιση που πρέπει να γίνει, είναι πως οι γραμμές στα αρχεία τύπου `.vec` που δημιουργούνται από το πρόγραμμα έχουν περιορισμό στο μέγιστο αριθμό χαρακτήρων από τους οποίους μπορούν να αποτελούνται. Το άνω αυτό όριο είναι ίσο με 1020 χαρακτήρες. Αυτό όμως δημιουργεί κάποιες εδλογες απορίες, όπως το τι γίνεται εάν οι εισόδοι του κυκλώματος είναι τόσες πολλές ώστε κατά τη συμπλήρωση κάθε ενός από τα τέσσερα πεδία να είμαστε αναγκασμένοι να ξεπερνάμε το άνω αυτό όριο. Στη περίπτωση αυτή προβλέπεται από το `format` του συγκεκριμένου τύπου αρχείων να τοποθετείται ο ειδικός χαρακτήρας `backslash(\)` στη γραμμή που συμπληρώνουμε την εκάστοτε δήλωση στο αρχείο και μετά να συνεχίζουμε τη δήλωση σε νέα γραμμή. Με αυτό το τρόπο το εργαλείο που διαβάζει το αρχείο τύπου `.vec`, όταν θα διαβάσει τον ειδικό χαρακτήρα `backslash(\)` θα καταλάβει ότι η νέα γραμμή που θα διαβάσει αμέσως μετά, θα ανήκει είτε στο ίδιο πεδίο, είτε στο ίδιο διάνυσμα εισόδου, ανάλογα με το σημείο στο αρχείο όπου διάβασε τον ειδικό αυτό χαρακτήρα.

Το τελευταίο από τα αρχεία που παράγει ως εξόδο του το πρόγραμμα `spice_verilog`, είναι το `configuration` αρχείο (`ult.cfg`, `ns.cfg`) για το εκάστοτε εργαλείο προσομοίωσης που θα επιλέξει ο σχεδιαστής. Το `configuration` αρχείο αποτελεί ένα αρχείο ειδικού τύπου το οποίο περιλαμβάνει δηλώσεις ανάθεσης τιμών σε μεταβλητές που αφορούν τόσο τη προσομοίωση, όσο και το περιεχόμενο αλλά και τη διαμόρφωση του αρχείου εξόδου ("`FileName`".`hist`, "`FileName`".`pa`) του εκάστοτε εργαλείου. Τέλος το αρχείο αυτό περιέχει την εντολή που δίνει την έναρξη, τη λήξη και την διάρκεια της περιόδου, καθώς και την ανάθεση στα `blocks` των εισόδων τροφοδοσίας τους.

Οι εισόδοι οι οποίες χρησιμοποιούνται από το πρόγραμμα για την παραγωγή της συγκεκριμένης εξόδου είναι τα αρχεία `ns_sim.cfg`, `blk.cfg` καθώς και το εργαλείο προσομοίωσης (Nanosim/Ultrasim) στο οποίο επιθυμεί ο σχεδιαστής να πραγματοποιηθεί η προσομοίωση. Το πρώτο από τα αρχεία αυτά, το `ns_sim.cfg` περιέχει τις μεταβλητές προσομοίωσης καθώς και τις τιμές τους, ενώ το δεύτερο αρχείο το `blk.cfg` περιέχει κάποια χαρακτηριστικά της σχεδίασης, όπως τα `blocks` (υποκυκλώματα) από τα οποία αποτελείται το κύκλωμα αλλά και το όνομα του δικτύου τροφοδοσίας. Η επιλογή ενός από τους δύο προσομοιωτές πραγματοποιείται μέσω του αντίστοιχου στο διάγραμμα ροής, ορίσματος του προγράμματος, το Simulator όπου ο σχεδιαστής δίνει ολογράφως το όνομα του προσομοιωτή που επιθυμεί. Το ίδιο όρισμα χρησιμοποιείται όπως έγινε φανερό και προηγουμένως για τη παραγωγή του κατάλληλου `configuration` αρχείου για τον προσομοιωτή που επιλέγεται αλλά και

για τη μορφή των διανυσμάτων εισόδου στο αρχείο .vec που χρησιμοποιείται επίσης στη προσομοίωση.

Τα δύο εργαλεία με το πέρας της προσομοίωσης δίνουν το κάθε ένα από ένα αρχείο αναφοράς (output file), το εργαλείο Ultrasim της εταιρίας Cadence παράγει ένα αρχείο τύπου .pra ενώ το εργαλείο Nanosim της εταιρίας Synopsys παράγει αρχείο τύπου .hist.

Τα δύο αρχεία εξόδου των εργαλείων περιλαμβάνουν διάφορα δεδομένα, αυτά όμως τα οποία μας απασχολούν πραγματικά είναι οι τιμές των ρευμάτων που κατανάλωσαν τα blocks της σχεδίασης, τα οποία αναγράφονται στα configuration αρχεία, για κάθε ένα από τα τυχαία διανύσματα εισόδου της προσομοίωσης. Τα ρεύματα που καταναλώθηκαν από τα blocks είναι απόρροια, όπως έχει αναλυθεί και στην εισαγωγή της παρούσης διπλωματικής εργασίας, της αλλαγής κατάστασης των πυλών εξαιτίας των διαφορετικών και πάντα τυχαίων διανυσμάτων εισόδου της προσομοίωσης.

Το εκάστοτε αρχείο εξόδου της προσομοίωσης (.pra , .hist) δίνεται στη συνέχεια ως είσοδο στο βασικό μαθηματικό εργαλείο της ροής σχεδίασης, τη στατιστική μηχανή IEXTREME η οποία όπως έχουμε ήδη αναφέρει μπορεί να στηρίζει τα αποτελέσματα της και με μέσα ρεύματα. Η στατιστική μηχανή πραγματοποιεί τις μαθηματικές πράξεις που απαιτούνται σύμφωνα με τη θεωρία που βασίζεται στην EVT και παρουσιάστηκε συνοπτικά σε προηγούμενο κεφάλαιο. Το πρόγραμμα που αποτελεί τη στατιστική μηχανή IXTREME δέχεται ως όρισμα και έναν ακέραιο που μπορεί να είναι είτε 3 είτε 5 όπου ο αριθμός 3 είναι για να διαβάσει και να χρησιμοποιήσει στους υπολογισμούς τις τιμές της τρίτης στήλης του αρχείου εισόδου, την οποία βρίσκονται τα μέσα ρεύματα, ενώ ο 5 για να διαβάσει και να χρησιμοποιήσει τα μέγιστα ρεύματα τα οποία βρίσκονται στη πέμπτη στήλη του αρχείου εισόδου.

Στη συνέχεια η έξοδος της στατιστικής μηχανής γίνεται είσοδος στο πρόγραμμα qhull, το οποίο χρησιμοποιείται στη ροή σχεδίασης για τη βελτιστοποίησης της και δεν αποτελεί ένα υποχρεωτικό βήμα στην υλοποίηση της. Το πρόγραμμα αυτό υλοποιεί την αντίστοιχη μαθηματική θεωρία, Convex Hull με σκοπό τη μείωση του αριθμού των ρευμάτων που προκύπτουν από τη στατιστική μηχανή IEXTREME. Η μείωση αυτή δεν επηρεάζει ποιοτικά τα αποτελέσματα της στατιστικής μηχανής.

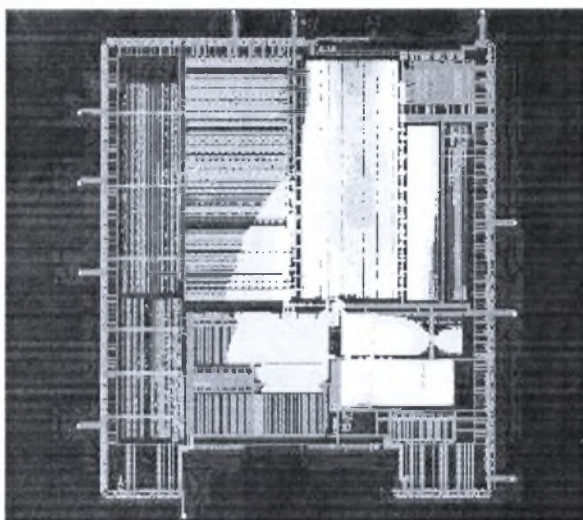
Στο σημείο αυτό της ροής σχεδίασης πραγματοποιείται μια παράλληλη διεργασία με τη χρήση του βιομηχανικού εργαλείου SocEncounter. Το εργαλείο αυτό χρησιμοποιείται με σκοπό τη σχεδίαση του δικτύου διανομής ισχύος σε περιγραφή φυσικού επιπέδου. Στο εργαλείο, εισάγουμε τη σχεδίαση (αρχεία τύπου verilog) που επεξεργαζόμαστε, επιλέγουμε την τεχνολογία και τους κανόνες σχεδίασης στη συνέχεια «τρέχουμε» ένα script που περιγράφει(μέταλλα, πλάτη, spacing, αριθμός γραμμών μετάλλου) τη σχεδίαση του power grid που ζητάμε. Το επόμενο βήμα, αφού το εργαλείο δημιουργήσει και αναπαραστήσει γραφικά το grid είναι να «σώσουμε» τη σχεδίαση σε ένα αρχείο τύπου .DEF(Design Exchange Format) το οποίο περιγράφει με συγκεκριμένο format σε φυσικό επίπεδο το δίκτυο διανομής ισχύος.

Το πρόγραμμα SP Nets της ροής σχεδίασης είναι γραμμένο σε προγραμματιστική γλώσσα C++ και πραγματοποιεί τρεις βασικές διεργασίες. Η πρώτη από τις διεργασίες αυτές είναι η διαπέραση και αναγνώριση των πεδίων του αρχείου .DEF, τα οποία περιγράφουν το δίκτυο διανομής ισχύος σε φυσικό επίπεδο. Το δίκτυο διανομής ισχύος περιγράφεται στο τμήμα SPECIALNETS του αρχείου .DEF, το οποίο έχει καθορισμένη δομή και περιλαμβάνει συγκεκριμένα πεδία που αφορούν τόσο τα χαρακτηριστικά μεγέθη(πλάτος, τύπος μετάλλου κ.ά) όσο και τα γεωμετρικά χαρακτηριστικά(συντεταγμένες στο επίπεδο, γωνία μετάλλου κ.ά) αλλά και το τρόπο σύνδεση των μετάλλων του. Αφού αναγνωρίσει τα πεδία του τμήματος SPECIALNETS το πρόγραμμα δημιουργεί στη μνήμη τις κατάλληλες δυναμικές δομές με τα χαρακτηριστικά του δικτύου. Η δεύτερη διεργασία που πραγματοποιεί το πρόγραμμα είναι μετά την επεξεργασία των δομών που δημιουργήθηκαν, να εκτελέσει μια ρουτίνα η οποία μετατρέπει τη περιγραφή, φυσικού επιπέδου, του δικτύου διανομής ισχύος που αποτελεί ένα πλέγμα μετάλλων, κατά βάση δύο επιπέδων, σε μια περιγραφή πλέγματος από γραμμικές (ωμικές) αντιστάσεις. Αυτό που κάνει στην πραγματικότητα το πρόγραμμα είναι η εξαγωγή(extraction) των αντιστάσεων που παρουσιάζουν τα μέταλλα τα οποία συνθέτουν το δίκτυο διανομής ισχύος. Για την εξαγωγή των αντιστάσεων υπολογίζεται το μήκος(length) κάθε αγωγού, ενώ το πλάτος(width) του θεωρείται γνωστό από τη στιγμή που δίνεται από το αρχείο τύπου .DEF ως ένα από τα χαρακτηριστικά του στοιχείου. Έλεος η ειδική αντίσταση φύλλου R_{sh} των αγωγών θεωρείται δεδομένη από τη τεχνολογία στην οποία έχει υλοποιηθεί η σχεδίαση. Η μοντελοποίηση αυτή του δικτύου διανομής ισχύος ως ένα πλέγμα από γραμμικές αντιστάσεις, για να μπορέσει να χρησιμοποιηθεί στο επόμενο βήμα της σχεδιαστικής ροής μετατρέπεται σε ένα αρχείο τύπου spice. Η τελευταία διεργασία την οποία πραγματοποιεί το πρόγραμμα SP_Nets είναι η εισαγωγή των ρευμάτων εξόδου του προγράμματος qhull ή απευθείας των ρευμάτων εξόδου της στατιστικής μηχανής IXTREME, αφού όπως αναφέραμε η χρήση του προγράμματος qhull στο Pow είναι προαιρετική, στο spice αρχείο που δημιουργεί. Η είσοδος των ρευμάτων στο αρχείο αυτό πραγματοποιείται με τη χρήση ενός πίνακα, κατάλληλης μορφής για το συγκεκριμένο τύπο αρχείων, ώστε να επιτευχθεί με είσοδο ενός μόνο αρχείου στο εργαλείο, η πολλαπλή προσομοίωση του κυκλώματος. Για τη σωστή προσομοίωση του κυκλώματος, το πρόγραμμα μοντελοποιεί τα blocks ως καταβόθρες ρεύματος(πηγές ρεύματος συνδεδεμένες στη γείωση) με τιμές για κάθε προσομοίωση τις αντίστοιχες τιμές του πίνακα ρευμάτων που αναφέραμε προηγουμένως. Οι πηγές ρεύματος επομένως είναι ίσες σε αριθμό με τον αριθμό των blocks του κυκλώματος. Οι πηγές ρεύματος συνδέονται σε τυχαίους κόμβους πάνω στο πλέγμα του δικτύου διανομής ισχύος. Για να είναι το τελικό κύκλωμα που δημιουργείται στο αρχείο spice πλήρες, θα πρέπει σε κάποιους κόμβους του πλέγματος αντιστάσεων να εφαρμοστούν πηγές τάσης. Οι πηγές αυτές στη πραγματικότητα θα μοντελοποιούν τα σημεία στο πραγματικό δίκτυο διανομής ισχύος όπου εφαρμόζονται οι εξωτερικές τροφοδοσίες του ολοκληρωμένου κυκλώματος, με βάση τη τεχνολογία C4, δηλαδή σε οποιοδήποτε κόμβο(και εσωτερικό) του δικτύου. Η επιλογή των κόμβων που θα συνδεθούν και αυτές οι πηγές γίνεται με τυχαίο τρόπο.

Το τελικό βήμα πριν την ολοκλήρωση της ροής σχεδίασης είναι η είσοδος του αρχείου spίce στο εργαλείο HSPICE, το οποίο αποτελεί ένα προσομοιωτή, με σκοπό να πάρουμε τα τελικά αποτελέσματα τα οποία θα περιλαμβάνονται στο αρχείο εξόδου του εργαλείου. Το αρχείο εξόδου του εργαλείου HSPICE αναφέρει τη τάση πάνω σε κάθε κόμβο στον οποίο εφαρμόζει η αντίστοιχη πηγή ρεύματος στο spίce αρχείο για κάθε set τιμών των πηγών ρευμάτων.

Προκειμένου να ολοκληρωθεί ο κύκλος επαλήθευσης του κυκλώματος και να βρεθεί η πραγματική καθυστέρηση (το πραγματικό critical path) του ολοκληρωμένου, παίρνουμε τις τάσεις πάνω από κάθε υποκύκλωμα και τις εφαρμόζουμε τώρα μέσα από το nanotimeScript.ns στη STA. Με το τέλος της προσομοίωσης παρατηρούμε ότι το critical path μπορεί να είναι διαφορετικό από ότι ήταν στην προηγούμενη STA !

Στη συνέχεια ακολουθεί η Εικόνα11 η οποία εμφανίζει το chip της Εικόνας10 μετά τη διαπλάτυνση των αγωγών του δικτύου τροφοδοσίας με βάση τα αποτελέσματα της δεύτερης ροής σχεδίασης για τη πτώση τάσης πάνω στο δίκτυο διανομής ισχύος του.



Εικόνα 12. Chip μετά από τη βελτιστοποίηση των αγωγών του με βάση τα αποτελέσματα της 2^{ης} ροής.

Αποτελέσματα Προσομοιώσεων

<i>Circuit</i>	<i>#block</i>	<i>Current Voltage</i>
Voltage Supply: 1.2 - 20% = 0.96 volt / w = 0.5	1	0.96 volt
	2	0.96 volt
	3	0.96 volt
	4	0.96 volt
	5	0.96 volt
	6	0.96 volt
	7	0.96 volt
	8	0.96 volt
	9	0.96 volt
	10	0.96 volt
	11	0.96 volt
	12	0.96 volt
	13	0.96 volt
	14	0.96 volt
	15	0.96 volt
	16	0.96 volt
	17	0.96 volt
	18	0.96 volt
	19	0.96 volt
	20	0.96 volt
	21	0.96 volt
	22	0.96 volt
	23	0.96 volt
	24	0.96 volt
	25	0.96 volt
	26	0.96 volt
	27	0.96 volt
	28	0.96 volt
	29	0.96 volt
	30	0.96 volt
	31	0.96 volt
	32	0.96 volt
Total Delay	13.719 ns	
Start Point	End Point	
B0	P30	

Item: 1
 Startpoint: B0 (in port)
 Endpoint: P30 (out port)
 Path Type: max
 Constraint: set_output_delay check

Rail Final

Path	Incr	Adjust	Voltage	Voltage NT	Point
	0.100				input external delay
0.100	0.000				D f B0 (in)
0.100	0.000	0.960	0.000		f xLevel_1B.xad15_0.x1.m1.g (Nand2)
0.106	0.006	0.960	0.959		r xLevel_1B.xad15_0.x2.m0.g (Inv)
0.127	0.021	0.960	0.019		f xLevel_1B.xHA15.xnt1.m1.g (Inv)
0.134	0.007	0.960	0.959		r xLevel_1B.xHA15.xnt2.m0.g (Inv)
0.158	0.025	0.960	0.019		f xLevel_1B.xHA15.xnr2.m1.g (Nor2)
0.168	0.010	0.960	0.959		r xLevel_1B.xHA15.xnr3.m0.g (Nor2)
0.204	0.036	0.960	0.000		f xLevel_1B.xHA15.xnr5.m3.g (Nor2)
0.206	0.002	0.960	0.959		r xLevel_1B.xHA15.xnr7.m2.g (Nor2)
0.246	0.040	0.960	0.009		f xLevel_2B.xFA14.xnr1.m3.g (Nor2)
0.252	0.006	0.960	0.959		r xLevel_2B.xFA14.xnr2.m2.g (Nor2)
0.294	0.042	0.960	0.009		f xLevel_2B.xFA14.xnr4.m3.g (Nor2)
0.300	0.006	0.960	0.959		r xLevel_2B.xFA14.xnr5.m0.g (Nor2)
0.341	0.041	0.960	0.001		f xLevel_2B.xFA14.xnr7.m1.g (Nor2)
0.344	0.003	0.960	0.958		r xLevel_2B.xFA14.xnr9.m2.g (Nor2)
0.382	0.038	0.960	0.009		f xLevel_3B.xFA13.xnr1.m3.g (Nor2)
0.388	0.006	0.960	0.959		r xLevel_3B.xFA13.xnr2.m2.g (Nor2)
0.431	0.042	0.960	0.009		f xLevel_3B.xFA13.xnr4.m3.g (Nor2)
0.436	0.006	0.960	0.959		r xLevel_3B.xFA13.xnr5.m0.g (Nor2)
0.477	0.041	0.960	0.001		f xLevel_3B.xFA13.xnr7.m1.g (Nor2)

0.480	0.003	0.960	0.959	r xLevel_3B.xFA13.xnr9.m2.g (Nor2)
0.518	0.038	0.960	0.009	f xLevel_4B.xFA12.xnr1.m3.g (Nor2)
0.525	0.006	0.960	0.959	r xLevel_4B.xFA12.xnr2.m2.g (Nor2)
0.567	0.042	0.960	0.009	f xLevel_4B.xFA12.xnr4.m3.g (Nor2)
0.573	0.006	0.960	0.959	r xLevel_4B.xFA12.xnr5.m0.g (Nor2)
0.613	0.041	0.960	0.001	f xLevel_4B.xFA12.xnr7.m1.g (Nor2)
0.616	0.003	0.960	0.959	r xLevel_4B.xFA12.xnr9.m2.g (Nor2)
0.654	0.038	0.960	0.009	f xLevel_5B.xFA11.xnr1.m3.g (Nor2)
0.661	0.006	0.960	0.959	r xLevel_5B.xFA11.xnr2.m2.g (Nor2)
0.703	0.042	0.960	0.009	f xLevel_5B.xFA11.xnr4.m3.g (Nor2)
0.709	0.006	0.960	0.959	r xLevel_5B.xFA11.xnr5.m0.g (Nor2)
0.750	0.041	0.960	0.001	f xLevel_5B.xFA11.xnr7.m1.g (Nor2)
0.752	0.003	0.960	0.959	r xLevel_5B.xFA11.xnr9.m2.g (Nor2)
0.791	0.038	0.960	0.009	f xLevel_6B.xFA10.xnr1.m3.g (Nor2)
0.797	0.006	0.960	0.959	r xLevel_6B.xFA10.xnr2.m2.g (Nor2)
0.839	0.042	0.960	0.009	f xLevel_6B.xFA10.xnr4.m3.g (Nor2)
0.845	0.006	0.960	0.959	r xLevel_6B.xFA10.xnr5.m0.g (Nor2)
0.886	0.041	0.960	0.001	f xLevel_6B.xFA10.xnr7.m1.g (Nor2)
0.888	0.003	0.960	0.959	r xLevel_6B.xFA10.xnr9.m2.g (Nor2)
0.927	0.038	0.960	0.009	f xLevel_7B.xFA9.xnr1.m3.g (Nor2)
0.933	0.006	0.960	0.959	r xLevel_7B.xFA9.xnr2.m2.g (Nor2)
0.975	0.042	0.960	0.009	f xLevel_7B.xFA9.xnr4.m3.g (Nor2)
0.981	0.006	0.960	0.959	r xLevel_7B.xFA9.xnr5.m0.g (Nor2)
1.022	0.041	0.960	0.001	f xLevel_7B.xFA9.xnr7.m1.g (Nor2)
1.025	0.003	0.960	0.959	r xLevel_7B.xFA9.xnr9.m2.g (Nor2)
1.063	0.038	0.960	0.009	f xLevel_8A.xFA8.xnr1.m3.g (Nor2)
1.069	0.006	0.960	0.959	r xLevel_8A.xFA8.xnr2.m2.g (Nor2)
1.111	0.042	0.960	0.009	f xLevel_8A.xFA8.xnr4.m3.g (Nor2)
1.117	0.006	0.960	0.959	r xLevel_8A.xFA8.xnr5.m0.g (Nor2)
1.158	0.041	0.960	0.001	f xLevel_8A.xFA8.xnr7.m1.g (Nor2)

1.161	0.003	0.960	0.959	r xLevel_8A.xFA8.xnr9.m2.g (Nor2)
1.199	0.038	0.960	0.009	f xLevel_9A.xFA7.xnr1.m3.g (Nor2)
1.205	0.006	0.960	0.959	r xLevel_9A.xFA7.xnr2.m2.g (Nor2)
1.247	0.042	0.960	0.009	f xLevel_9A.xFA7.xnr4.m3.g (Nor2)
1.253	0.006	0.960	0.959	r xLevel_9A.xFA7.xnr5.m0.g (Nor2)
1.294	0.041	0.960	0.001	f xLevel_9A.xFA7.xnr7.m1.g (Nor2)
1.297	0.003	0.960	0.959	r xLevel_9A.xFA7.xnr9.m2.g (Nor2)
1.335	0.038	0.960	0.009	f xLevel_10A.xFA6.xnr1.m3.g (Nor2)
1.341	0.006	0.960	0.959	r xLevel_10A.xFA6.xnr2.m2.g (Nor2)
1.383	0.042	0.960	0.009	f xLevel_10A.xFA6.xnr4.m3.g (Nor2)
1.389	0.006	0.960	0.959	r xLevel_10A.xFA6.xnr5.m0.g (Nor2)
1.430	0.041	0.960	0.001	f xLevel_10A.xFA6.xnr7.m1.g (Nor2)
1.433	0.003	0.960	0.959	r xLevel_10A.xFA6.xnr9.m2.g (Nor2)
1.471	0.038	0.960	0.009	f xLevel_11A.xFA5.xnr1.m3.g (Nor2)
1.478	0.006	0.960	0.959	r xLevel_11A.xFA5.xnr2.m2.g (Nor2)
1.520	0.042	0.960	0.009	f xLevel_11A.xFA5.xnr4.m3.g (Nor2)
1.526	0.006	0.960	0.959	r xLevel_11A.xFA5.xnr5.m0.g (Nor2)
1.566	0.041	0.960	0.001	f xLevel_11A.xFA5.xnr7.m1.g (Nor2)
1.569	0.003	0.960	0.959	r xLevel_11A.xFA5.xnr9.m2.g (Nor2)
1.607	0.038	0.960	0.009	f xLevel_12A.xFA4.xnr1.m3.g (Nor2)
1.614	0.006	0.960	0.959	r xLevel_12A.xFA4.xnr2.m2.g (Nor2)
1.656	0.042	0.960	0.009	f xLevel_12A.xFA4.xnr4.m3.g (Nor2)
1.662	0.006	0.960	0.959	r xLevel_12A.xFA4.xnr5.m0.g (Nor2)
1.702	0.041	0.960	0.001	f xLevel_12A.xFA4.xnr7.m1.g (Nor2)
1.705	0.003	0.960	0.959	r xLevel_12A.xFA4.xnr9.m2.g (Nor2)
1.744	0.038	0.960	0.009	f xLevel_13A.xFA3.xnr1.m3.g (Nor2)
1.750	0.006	0.960	0.959	r xLevel_13A.xFA3.xnr2.m2.g (Nor2)
1.792	0.042	0.960	0.009	f xLevel_13A.xFA3.xnr4.m3.g (Nor2)
1.798	0.006	0.960	0.959	r xLevel_13A.xFA3.xnr5.m0.g (Nor2)
1.839	0.041	0.960	0.001	f xLevel_13A.xFA3.xnr7.m1.g (Nor2)

1.841	0.003	0.960	0.959	r xLevel_13A.xFA3.xrnr9.m2.g (Nor2)
1.880	0.038	0.960	0.009	f xLevel_14A.xFA2.xrnr1.m3.g (Nor2)
1.886	0.006	0.960	0.959	r xLevel_14A.xFA2.xrnr2.m2.g (Nor2)
1.928	0.042	0.960	0.009	f xLevel_14A.xFA2.xrnr4.m3.g (Nor2)
1.934	0.006	0.960	0.959	r xLevel_14A.xFA2.xrnr5.m0.g (Nor2)
1.975	0.041	0.960	0.001	f xLevel_14A.xFA2.xrnr7.m1.g (Nor2)
1.977	0.003	0.960	0.958	r xLevel_14A.xFA2.xrnr9.m2.g (Nor2)
2.016	0.038	0.960	0.009	f xLevel_15A.xFA1.xrnr1.m3.g (Nor2)
2.022	0.006	0.960	0.959	r xLevel_15A.xFA1.xrnr2.m2.g (Nor2)
2.064	0.042	0.960	0.009	f xLevel_15A.xFA1.xrnr4.m3.g (Nor2)
2.070	0.006	0.960	0.959	r xLevel_15A.xFA1.xrnr5.m0.g (Nor2)
2.111	0.041	0.960	0.001	f xLevel_15A.xFA1.xrnr8.m3.g (Nor2)
2.117	0.006	0.960	0.959	r xLevel_16A.xHA16.xrnr3.m2.g (Nor2)
2.166	0.049	0.960	0.009	f xLevel_16A.xHA16.xrnr6.m3.g (Nor2)
2.170	0.004	0.960	0.959	r xLevel_16A.xFA17.xrnr5.m2.g (Nor2)
2.221	0.051	0.960	0.009	f xLevel_16A.xFA17.xrnr8.m3.g (Nor2)
2.225	0.004	0.960	0.958	r xLevel_16A.xFA18.xrnr5.m2.g (Nor2)
2.276	0.051	0.960	0.009	f xLevel_16A.xFA18.xrnr8.m3.g (Nor2)
2.280	0.004	0.960	0.958	r xLevel_16A.xFA19.xrnr5.m2.g (Nor2)
2.332	0.051	0.960	0.009	f xLevel_16A.xFA19.xrnr8.m3.g (Nor2)
2.335	0.004	0.960	0.958	r xLevel_16A.xFA20.xrnr5.m2.g (Nor2)
2.387	0.051	0.960	0.009	f xLevel_16A.xFA20.xrnr8.m3.g (Nor2)
2.391	0.004	0.960	0.958	r xLevel_16A.xFA21.xrnr5.m2.g (Nor2)
2.442	0.051	0.960	0.009	f xLevel_16A.xFA21.xrnr8.m3.g (Nor2)
2.446	0.004	0.960	0.958	r xLevel_16A.xFA22.xrnr5.m2.g (Nor2)
2.497	0.051	0.960	0.009	f xLevel_16A.xFA22.xrnr8.m3.g (Nor2)
2.501	0.004	0.960	0.958	r xLevel_16A.xFA23.xrnr5.m2.g (Nor2)
2.552	0.051	0.960	0.009	f xLevel_16A.xFA23.xrnr8.m3.g (Nor2)
2.556	0.004	0.960	0.958	r xLevel_16B.xFA24.xrnr5.m2.g (Nor2)
2.607	0.051	0.960	0.009	f xLevel_16B.xFA24.xrnr8.m3.g (Nor2)

2.611	0.004	0.960	0.958	r xLevel_16B.xFA25.xnr5.m2.g (Nor2)
2.663	0.051	0.960	0.009	f xLevel_16B.xFA25.xnr8.m3.g (Nor2)
2.666	0.004	0.960	0.958	r xLevel_16B.xFA26.xnr5.m2.g (Nor2)
2.718	0.051	0.960	0.009	f xLevel_16B.xFA26.xnr8.m3.g (Nor2)
2.722	0.004	0.960	0.958	r xLevel_16B.xFA27.xnr5.m2.g (Nor2)
2.773	0.051	0.960	0.009	f xLevel_16B.xFA27.xnr8.m3.g (Nor2)
2.777	0.004	0.960	0.958	r xLevel_16B.xFA28.xnr5.m2.g (Nor2)
2.828	0.051	0.960	0.009	f xLevel_16B.xFA28.xnr8.m3.g (Nor2)
2.832	0.004	0.960	0.958	r xLevel_16B.xFA29.xnr5.m2.g (Nor2)
2.883	0.051	0.960	0.009	f xLevel_16B.xFA29.xnr8.m3.g (Nor2)
2.887	0.004	0.960	0.958	r xLevel_16B.xFA30.xnr5.m2.g (Nor2)
2.938	0.051	0.960	0.009	f xLevel_16B.xFA30.xnr6.m3.g (Nor2)
2.937	-0.002	0.960	0.959	r xLevel_16B.xFA30.xnr9.m0.g (Nor2)
13.819	10.882	0.960	0.193	O f P30 (out)
13.819				data arrival time
13.719	0.100			Total
0.100	0.100			output external delay
0.100	0.000			clock uncertainty
0.100				data required time

0.100				data required time
-13.819				data arrival time

<i>Circuit</i>	<i>#block</i>	<i>Current Voltage</i>
C6288	1	1.0784 volt
	2	1.0128 volt
	3	977.1858m volt
	4	953.2541m volt
	5	937.7140m volt
	6	1.0846 volt
	7	1.0393 volt
	8	999.8184m volt
	9	954.2144m volt
	10	946.1332m volt
	11	942.6898m volt
	12	1.0275 volt
	13	1.0062 volt
	14	988.8428m volt
	15	959.9793m volt
	16	958.4599m volt
	17	958.3231m volt
	18	960.1048m volt
	19	972.9338m volt
	20	991.5883m volt
	21	1.0081 volt
	22	936.8729m volt
	23	942.8814m volt
	24	959.8314m volt
	25	991.6180m volt
	26	1.0390 volt
	27	1.0927 volt
	28	933.1514m volt
	29	941.2172m volt
	30	961.4118m volt
	31	1.0037 volt
	32	1.0751 volt
Total Delay		13.096ns
Start Point		End Point
B0		P15

Voltage Supply: different voltage on each block / w = 0.5

Item: 1

41 |

Startpoint: B0 (in port)
 Endpoint: P15 (out port)
 Path Type: max
 Constraint: set_output_delay check

Rail Final

Path	Incr	Adjust	Voltage	Voltage	NT	Point
	0.100					input external delay
	0.100	0.000		D	f	B0 (in)
0.100	0.000	1.200	0.000	f	xLevel_1B.xad15_0.x1.m1.g	(Nand2)
0.110	0.010	1.013	1.012	r	xLevel_1B.xad15_0.x2.m0.g	(Inv)
0.130	0.020	1.013	0.026	f	xLevel_1B.xHA15.xnr1.m1.g	(Inv)
0.136	0.006	1.013	1.012	r	xLevel_1B.xHA15.xnr2.m0.g	(Inv)
0.160	0.024	1.013	0.026	f	xLevel_1B.xHA15.xnr2.m1.g	(Nor2)
0.168	0.009	1.013	1.012	r	xLevel_1B.xHA15.xnr3.m0.g	(Nor2)
0.203	0.034	1.013	0.001	f	xLevel_1B.xHA15.xnr5.m3.g	(Nor2)
0.204	0.001	1.013	1.011	r	xLevel_1B.xHA15.xnr7.m2.g	(Nor2)
0.243	0.039	1.013	0.013	f	xLevel_2B.xFA14.xnr1.m3.g	(Nor2)
0.253	0.010	0.953	0.952	r	xLevel_2B.xFA14.xnr2.m2.g	(Nor2)
0.294	0.042	0.953	0.009	f	xLevel_2B.xFA14.xnr4.m3.g	(Nor2)
0.301	0.006	0.953	0.952	r	xLevel_2B.xFA14.xnr5.m0.g	(Nor2)
0.342	0.041	0.953	0.000	f	xLevel_2B.xFA14.xnr7.m1.g	(Nor2)
0.345	0.003	0.953	0.952	r	xLevel_2B.xFA14.xnr9.m2.g	(Nor2)
0.383	0.039	0.953	0.009	f	xLevel_3B.xFA13.xnr1.m3.g	(Nor2)
0.380	-0.003	1.085	1.083	r	xLevel_3B.xFA13.xnr2.m2.g	(Nor2)
0.421	0.041	1.085	0.021	f	xLevel_3B.xFA13.xnr4.m3.g	(Nor2)
0.424	0.003	1.085	1.083	r	xLevel_3B.xFA13.xnr5.m0.g	(Nor2)
0.463	0.039	1.085	0.000	f	xLevel_3B.xFA13.xnr7.m1.g	(Nor2)
0.462	-0.000	1.085	1.083	r	xLevel_3B.xFA13.xnr9.m2.g	(Nor2)

0.498	0.036	1.085	0.021	fxLevel_4B.xFA12.xnr1.m3.g (Nor2)
0.508	0.010	1.000	0.998	rxLevel_4B.xFA12.xnr2.m2.g (Nor2)
0.549	0.040	1.000	0.012	fxLevel_4B.xFA12.xnr4.m3.g (Nor2)
0.554	0.005	1.000	0.999	rxLevel_4B.xFA12.xnr5.m0.g (Nor2)
0.594	0.040	1.000	0.001	fxLevel_4B.xFA12.xnr7.m1.g (Nor2)
0.596	0.002	1.000	0.998	rxLevel_4B.xFA12.xnr9.m2.g (Nor2)
0.633	0.037	1.000	0.012	fxLevel_5B.xFA11.xnr1.m3.g (Nor2)
0.643	0.010	0.946	0.945	rxLevel_5B.xFA11.xnr2.m2.g (Nor2)
0.685	0.042	0.946	0.009	fxLevel_5B.xFA11.xnr4.m3.g (Nor2)
0.691	0.006	0.946	0.944	rxLevel_5B.xFA11.xnr5.m0.g (Nor2)
0.733	0.041	0.946	0.000	fxLevel_5B.xFA11.xnr7.m1.g (Nor2)
0.736	0.003	0.946	0.945	rxLevel_5B.xFA11.xnr9.m2.g (Nor2)
0.774	0.039	0.946	0.009	fxLevel_6B.xFA10.xnr1.m3.g (Nor2)
0.775	0.001	1.028	1.026	rxLevel_6B.xFA10.xnr2.m2.g (Nor2)
0.817	0.041	1.028	0.015	fxLevel_6B.xFA10.xnr4.m3.g (Nor2)
0.821	0.004	1.028	1.026	rxLevel_6B.xFA10.xnr5.m0.g (Nor2)
0.861	0.040	1.028	0.001	fxLevel_6B.xFA10.xnr7.m1.g (Nor2)
0.862	0.001	1.028	1.026	rxLevel_6B.xFA10.xnr9.m2.g (Nor2)
0.899	0.037	1.028	0.015	fxLevel_7B.xFA9.xnr1.m3.g (Nor2)
0.907	0.008	0.989	0.988	rxLevel_7B.xFA9.xnr2.m2.g (Nor2)
0.948	0.041	0.989	0.011	fxLevel_7B.xFA9.xnr4.m3.g (Nor2)
0.953	0.005	0.989	0.987	rxLevel_7B.xFA9.xnr5.m0.g (Nor2)
0.993	0.040	0.989	0.001	fxLevel_7B.xFA9.xnr7.m1.g (Nor2)
0.995	0.002	0.989	0.988	rxLevel_7B.xFA9.xnr9.m2.g (Nor2)
1.033	0.038	0.989	0.011	fxLevel_8A.xFA8.xnr1.m3.g (Nor2)
1.041	0.008	0.960	0.958	rxLevel_8A.xFA8.xnr2.m2.g (Nor2)
1.083	0.042	0.960	0.009	fxLevel_8A.xFA8.xnr4.m3.g (Nor2)
1.089	0.006	0.960	0.959	rxLevel_8A.xFA8.xnr5.m0.g (Nor2)
1.130	0.041	0.960	0.000	fxLevel_8A.xFA8.xnr7.m1.g (Nor2)
1.133	0.003	0.960	0.959	rxLevel_8A.xFA8.xnr9.m2.g (Nor2)

1.171	0.038	0.960	0.009	f xLevel_9A.xFA7.xr1.m3.g (Nor2)
1.178	0.007	0.958	0.957	r xLevel_9A.xFA7.xr2.m2.g (Nor2)
1.220	0.042	0.958	0.009	f xLevel_9A.xFA7.xr4.m3.g (Nor2)
1.226	0.006	0.958	0.956	r xLevel_9A.xFA7.xr5.m0.g (Nor2)
1.267	0.041	0.958	0.001	f xLevel_9A.xFA7.xr7.m1.g (Nor2)
1.270	0.003	0.958	0.957	r xLevel_9A.xFA7.xr9.m2.g (Nor2)
1.309	0.038	0.958	0.009	f xLevel_10A.xFA6.xr1.m3.g (Nor2)
1.314	0.006	0.973	0.972	r xLevel_10A.xFA6.xr2.m2.g (Nor2)
1.356	0.042	0.973	0.010	f xLevel_10A.xFA6.xr4.m3.g (Nor2)
1.362	0.006	0.973	0.972	r xLevel_10A.xFA6.xr5.m0.g (Nor2)
1.403	0.041	0.973	0.001	f xLevel_10A.xFA6.xr7.m1.g (Nor2)
1.405	0.002	0.973	0.972	r xLevel_10A.xFA6.xr9.m2.g (Nor2)
1.443	0.038	0.973	0.010	f xLevel_11A.xFA5.xr1.m3.g (Nor2)
1.447	0.004	1.008	1.006	r xLevel_11A.xFA5.xr2.m2.g (Nor2)
1.488	0.041	1.008	0.013	f xLevel_11A.xFA5.xr4.m3.g (Nor2)
1.493	0.005	1.008	1.007	r xLevel_11A.xFA5.xr5.m0.g (Nor2)
1.533	0.040	1.008	0.001	f xLevel_11A.xFA5.xr7.m1.g (Nor2)
1.535	0.002	1.008	1.007	r xLevel_11A.xFA5.xr9.m2.g (Nor2)
1.572	0.037	1.008	0.013	f xLevel_12A.xFA4.xr1.m3.g (Nor2)
1.583	0.011	0.943	0.941	r xLevel_12A.xFA4.xr2.m2.g (Nor2)
1.625	0.042	0.943	0.008	f xLevel_12A.xFA4.xr4.m3.g (Nor2)
1.631	0.006	0.943	0.941	r xLevel_12A.xFA4.xr5.m0.g (Nor2)
1.672	0.041	0.943	0.000	f xLevel_12A.xFA4.xr7.m1.g (Nor2)
1.675	0.003	0.943	0.942	r xLevel_12A.xFA4.xr9.m2.g (Nor2)
1.714	0.039	0.943	0.008	f xLevel_13A.xFA3.xr1.m3.g (Nor2)
1.718	0.003	0.992	0.990	r xLevel_13A.xFA3.xr2.m2.g (Nor2)
1.760	0.042	0.992	0.012	f xLevel_13A.xFA3.xr4.m3.g (Nor2)
1.765	0.005	0.992	0.991	r xLevel_13A.xFA3.xr5.m0.g (Nor2)
1.805	0.040	0.992	0.000	f xLevel_13A.xFA3.xr7.m1.g (Nor2)
1.807	0.002	0.992	0.991	r xLevel_13A.xFA3.xr9.m2.g (Nor2)

1.845	0.038	0.992	0.012	f xLevel_14A.xFA2.xnr1.m3.g (Nor2)
1.844	-0.001	1.093	1.091	r xLevel_14A.xFA2.xnr2.m2.g (Nor2)
1.884	0.040	1.093	0.022	f xLevel_14A.xFA2.xnr4.m3.g (Nor2)
1.887	0.003	1.093	1.091	r xLevel_14A.xFA2.xnr5.m0.g (Nor2)
1.926	0.038	1.093	0.000	f xLevel_14A.xFA2.xnr7.m1.g (Nor2)
1.925	-0.000	1.093	1.091	r xLevel_14A.xFA2.xnr9.m2.g (Nor2)
1.961	0.036	1.093	0.022	f xLevel_15A.xFA1.xnr1.m3.g (Nor2)
1.975	0.014	0.941	0.940	r xLevel_15A.xFA1.xnr2.m2.g (Nor2)
2.016	0.041	0.941	0.008	f xLevel_15A.xFA1.xnr4.m3.g (Nor2)
2.023	0.007	0.941	0.939	r xLevel_15A.xFA1.xnr5.m0.g (Nor2)
2.064	0.041	0.941	0.001	f xLevel_15A.xFA1.xnr7.m1.g (Nor2)
2.068	0.003	0.941	0.940	r xLevel_15A.xFA1.xnr9.m2.g (Nor2)
13.216	11.149	0.941	0.204	O f P15 (out)
13.216				data arrival time
	13.116	0.100		Total
0.100	0.100			output external delay
0.100	0.000			clock uncertainty
0.100				data required time

0.100				data required time
-13.216				data arrival time

<i>Circuit</i>	<i>#block</i>	<i>Current Voltage</i>
C6288	1	1.0682 volt
	2	1.0707 volt
	3	1.0857 volt
	4	1.1177 volt
	5	1.0959 volt
	6	1.0495 volt
	7	1.0735 volt
	8	1.0579 volt
	9	1.0563 volt
	10	1.1385 volt
	11	1.0832 volt
	12	1.1030 volt
	13	1.1094 volt
	14	1.0685 volt
	15	1.0520 volt
	16	1.1305 volt
	17	1.0795 volt
	18	1.0745 volt
	19	1.0896 volt
	20	1.0648 volt
	21	1.1036 volt
	22	1.0742 volt
	23	1.0711 volt
	24	1.0818 volt
	25	1.0707 volt
	26	1.0865 volt
	27	1.0761 volt
	28	1.0970 volt
	29	1.0818 volt
	30	1.0614 volt
	31	1.0342 volt
	32	1.0688 volt
	Total Delay	12.187 ns
	Start Point	End Point
	B0	P30

Voltage Supply: different voltage on each block / w = 1.0

Item: 1
 Startpoint: B0 (in port)
 Endpoint: P30 (out port)
 Path Type: max
 Constraint: set_output_delay check

Rail Final

Path	Incr	Adjust	Voltage	Voltage NT	Point
	0.100				input external delay
	0.100	0.000			D f B0 (in)
	0.100	0.000	1.200	0.000	f xLevel_1B.xad15_0.x1.m1.g (Nand2)
	0.108	0.008	1.071	1.070	r xLevel_1B.xad15_0.x2.m0.g (Inv)
	0.128	0.020	1.071	0.035	f xLevel_1B.xHA15.xnt1.m1.g (Inv)
	0.133	0.005	1.071	1.070	r xLevel_1B.xHA15.xnt2.m0.g (Inv)
	0.156	0.023	1.071	0.035	f xLevel_1B.xHA15.xnr2.m1.g (Nor2)
	0.164	0.007	1.071	1.070	r xLevel_1B.xHA15.xnr3.m0.g (Nor2)
	0.197	0.033	1.071	0.001	f xLevel_1B.xHA15.xnr5.m3.g (Nor2)
	0.197	0.000	1.071	1.070	r xLevel_1B.xHA15.xnr7.m2.g (Nor2)
	0.234	0.037	1.071	0.019	f xLevel_2B.xFA14.xnr1.m3.g (Nor2)
	0.236	0.002	1.118	1.116	r xLevel_2B.xFA14.xnr2.m2.g (Nor2)
	0.275	0.040	1.118	0.026	f xLevel_2B.xFA14.xnr4.m3.g (Nor2)
	0.278	0.002	1.118	1.116	r xLevel_2B.xFA14.xnr5.m0.g (Nor2)
	0.316	0.038	1.118	0.000	f xLevel_2B.xFA14.xnr7.m1.g (Nor2)
	0.315	-0.001	1.118	1.116	r xLevel_2B.xFA14.xnr9.m2.g (Nor2)
	0.350	0.035	1.118	0.026	f xLevel_3B.xFA13.xnr1.m3.g (Nor2)
	0.359	0.008	1.049	1.048	r xLevel_3B.xFA13.xnr2.m2.g (Nor2)
	0.398	0.039	1.049	0.017	f xLevel_3B.xFA13.xnr4.m3.g (Nor2)
	0.402	0.004	1.049	1.048	r xLevel_3B.xFA13.xnr5.m0.g (Nor2)

0.442	0.039	1.049	0.001	f xLevel_3B.xFA13.xnr7.m1.g (Nor2)
0.442	0.001	1.049	1.048	r xLevel_3B.xFA13.xnr9.m2.g (Nor2)
0.478	0.036	1.049	0.017	f xLevel_4B.xFA12.xnr1.m3.g (Nor2)
0.483	0.005	1.058	1.056	r xLevel_4B.xFA12.xnr2.m2.g (Nor2)
0.523	0.040	1.058	0.018	f xLevel_4B.xFA12.xnr4.m3.g (Nor2)
0.527	0.004	1.058	1.057	r xLevel_4B.xFA12.xnr5.m0.g (Nor2)
0.566	0.039	1.058	0.001	f xLevel_4B.xFA12.xnr7.m1.g (Nor2)
0.567	0.001	1.058	1.057	r xLevel_4B.xFA12.xnr9.m2.g (Nor2)
0.603	0.036	1.058	0.018	f xLevel_5B.xFA11.xnr1.m3.g (Nor2)
0.602	-0.000	1.138	1.137	r xLevel_5B.xFA11.xnr2.m2.g (Nor2)
0.642	0.039	1.138	0.030	f xLevel_5B.xFA11.xnr4.m3.g (Nor2)
0.644	0.002	1.138	1.137	r xLevel_5B.xFA11.xnr5.m0.g (Nor2)
0.682	0.038	1.138	0.001	f xLevel_5B.xFA11.xnr7.m1.g (Nor2)
0.681	-0.001	1.138	1.137	r xLevel_5B.xFA11.xnr9.m2.g (Nor2)
0.716	0.035	1.138	0.030	f xLevel_6B.xFA10.xnr1.m3.g (Nor2)
0.722	0.006	1.103	1.102	r xLevel_6B.xFA10.xnr2.m2.g (Nor2)
0.760	0.039	1.103	0.024	f xLevel_6B.xFA10.xnr4.m3.g (Nor2)
0.764	0.003	1.103	1.101	r xLevel_6B.xFA10.xnr5.m0.g (Nor2)
0.802	0.038	1.103	0.000	f xLevel_6B.xFA10.xnr7.m1.g (Nor2)
0.801	-0.000	1.103	1.102	r xLevel_6B.xFA10.xnr9.m2.g (Nor2)
0.837	0.035	1.103	0.024	f xLevel_7B.xFA9.xnr1.m3.g (Nor2)
0.843	0.007	1.069	1.066	r xLevel_7B.xFA9.xnr2.m2.g (Nor2)
0.883	0.039	1.069	0.019	f xLevel_7B.xFA9.xnr4.m3.g (Nor2)
0.886	0.004	1.069	1.067	r xLevel_7B.xFA9.xnr5.m0.g (Nor2)
0.925	0.039	1.069	0.000	f xLevel_7B.xFA9.xnr7.m1.g (Nor2)
0.925	0.000	1.069	1.067	r xLevel_7B.xFA9.xnr9.m2.g (Nor2)
0.961	0.036	1.069	0.019	f xLevel_8A.xFA8.xnr1.m3.g (Nor2)
0.967	0.006	1.052	1.051	r xLevel_8A.xFA8.xnr2.m2.g (Nor2)
1.007	0.040	1.052	0.017	f xLevel_8A.xFA8.xnr4.m3.g (Nor2)

1.011	0.004	1.052	1.051	r xLevel_8A.xFA8.xnr5.m0.g (Nor2)
1.050	0.039	1.052	0.000	f xLevel_8A.xFA8.xnr7.m1.g (Nor2)
1.050	0.000	1.052	1.050	r xLevel_8A.xFA8.xnr9.m2.g (Nor2)
1.087	0.036	1.052	0.017	f xLevel_9A.xFA7.xnr1.m3.g (Nor2)
1.090	0.003	1.079	1.078	r xLevel_9A.xFA7.xnr2.m2.g (Nor2)
1.130	0.040	1.079	0.021	f xLevel_9A.xFA7.xnr4.m3.g (Nor2)
1.133	0.003	1.079	1.077	r xLevel_9A.xFA7.xnr5.m0.g (Nor2)
1.172	0.039	1.079	0.000	f xLevel_9A.xFA7.xnr7.m1.g (Nor2)
1.172	0.000	1.079	1.078	r xLevel_9A.xFA7.xnr9.m2.g (Nor2)
1.208	0.036	1.079	0.021	f xLevel_10A.xFA6.xnr1.m3.g (Nor2)
1.212	0.004	1.090	1.088	r xLevel_10A.xFA6.xnr2.m2.g (Nor2)
1.251	0.040	1.090	0.022	f xLevel_10A.xFA6.xnr4.m3.g (Nor2)
1.254	0.003	1.090	1.088	r xLevel_10A.xFA6.xnr5.m0.g (Nor2)
1.293	0.039	1.090	0.001	f xLevel_10A.xFA6.xnr7.m1.g (Nor2)
1.293	-0.000	1.090	1.088	r xLevel_10A.xFA6.xnr9.m2.g (Nor2)
1.328	0.036	1.090	0.022	f xLevel_11A.xFA5.xnr1.m3.g (Nor2)
1.332	0.004	1.104	1.102	r xLevel_11A.xFA5.xnr2.m2.g (Nor2)
1.371	0.039	1.104	0.024	f xLevel_11A.xFA5.xnr4.m3.g (Nor2)
1.374	0.003	1.104	1.102	r xLevel_11A.xFA5.xnr5.m0.g (Nor2)
1.412	0.038	1.104	0.000	f xLevel_11A.xFA5.xnr7.m1.g (Nor2)
1.412	-0.000	1.104	1.102	r xLevel_11A.xFA5.xnr9.m2.g (Nor2)
1.447	0.035	1.104	0.024	f xLevel_12A.xFA4.xnr1.m3.g (Nor2)
1.449	0.002	1.139	1.138	r xLevel_12A.xFA4.xnr2.m2.g (Nor2)
1.489	0.039	1.139	0.030	f xLevel_12A.xFA4.xnr4.m3.g (Nor2)
1.491	0.002	1.139	1.137	r xLevel_12A.xFA4.xnr5.m0.g (Nor2)
1.529	0.038	1.139	0.000	f xLevel_12A.xFA4.xnr7.m1.g (Nor2)
1.527	-0.001	1.139	1.137	r xLevel_12A.xFA4.xnr9.m2.g (Nor2)
1.562	0.035	1.139	0.030	f xLevel_13A.xFA3.xnr1.m3.g (Nor2)
1.570	0.008	1.071	1.068	r xLevel_13A.xFA3.xnr2.m2.g (Nor2)

1.609	0.039	1.071	0.019	f xLevel_13A.xFA3.xnr4.m3.g (Nor2)
1.613	0.004	1.071	1.069	r xLevel_13A.xFA3.xnr5.m0.g (Nor2)
1.652	0.039	1.071	0.000	f xLevel_13A.xFA3.xnr7.m1.g (Nor2)
1.652	0.000	1.071	1.070	r xLevel_13A.xFA3.xnr9.m2.g (Nor2)
1.688	0.036	1.071	0.019	f xLevel_14A.xFA2.xnr1.m3.g (Nor2)
1.692	0.004	1.076	1.075	r xLevel_14A.xFA2.xnr2.m2.g (Nor2)
1.732	0.040	1.076	0.020	f xLevel_14A.xFA2.xnr4.m3.g (Nor2)
1.736	0.003	1.076	1.075	r xLevel_14A.xFA2.xnr5.m0.g (Nor2)
1.774	0.039	1.076	0.000	f xLevel_14A.xFA2.xnr7.m1.g (Nor2)
1.774	-0.000	1.076	1.075	r xLevel_14A.xFA2.xnr9.m2.g (Nor2)
1.810	0.036	1.076	0.020	f xLevel_15A.xFA1.xnr1.m3.g (Nor2)
1.814	0.004	1.082	1.080	r xLevel_15A.xFA1.xnr2.m2.g (Nor2)
1.854	0.040	1.082	0.021	f xLevel_15A.xFA1.xnr4.m3.g (Nor2)
1.857	0.003	1.082	1.080	r xLevel_15A.xFA1.xnr5.m0.g (Nor2)
1.896	0.039	1.082	0.001	f xLevel_15A.xFA1.xnr8.m3.g (Nor2)
1.900	0.004	1.082	1.081	r xLevel_16A.xHA16.xnr3.m2.g (Nor2)
1.951	0.051	1.200	0.147	f xLevel_16A.xHA16.xnr6.m3.g (Nor2)
1.958	0.007	1.200	1.198	r xLevel_16A.xFA17.xnr5.m2.g (Nor2)
1.996	0.038	1.200	0.041	f xLevel_16A.xFA17.xnr8.m3.g (Nor2)
1.995	-0.001	1.200	1.198	r xLevel_16A.xFA18.xnr5.m2.g (Nor2)
2.041	0.046	1.200	0.041	f xLevel_16A.xFA18.xnr8.m3.g (Nor2)
2.039	-0.002	1.200	1.198	r xLevel_16A.xFA19.xnr5.m2.g (Nor2)
2.086	0.047	1.200	0.041	f xLevel_16A.xFA19.xnr8.m3.g (Nor2)
2.083	-0.003	1.200	1.198	r xLevel_16A.xFA20.xnr5.m2.g (Nor2)
2.130	0.047	1.200	0.041	f xLevel_16A.xFA20.xnr8.m3.g (Nor2)
2.128	-0.003	1.200	1.198	r xLevel_16A.xFA21.xnr5.m2.g (Nor2)
2.175	0.047	1.200	0.041	f xLevel_16A.xFA21.xnr8.m3.g (Nor2)
2.173	-0.003	1.200	1.198	r xLevel_16A.xFA22.xnr5.m2.g (Nor2)
2.220	0.047	1.200	0.041	f xLevel_16A.xFA22.xnr8.m3.g (Nor2)

2.217	-0.003	1.200	1.198	r xLevel_16A.xFA23.xnr5.m2.g (Nor2)
2.265	0.047	1.200	0.041	f xLevel_16A.xFA23.xnr8.m3.g (Nor2)
2.262	-0.003	1.200	1.198	r xLevel_16B.xFA24.xnr5.m2.g (Nor2)
2.306	0.044	1.069	0.019	f xLevel_16B.xFA24.xnr8.m3.g (Nor2)
2.307	0.001	1.069	1.067	r xLevel_16B.xFA25.xnr5.m2.g (Nor2)
2.356	0.049	1.069	0.019	f xLevel_16B.xFA25.xnr8.m3.g (Nor2)
2.357	0.001	1.069	1.067	r xLevel_16B.xFA26.xnr5.m2.g (Nor2)
2.406	0.049	1.069	0.019	f xLevel_16B.xFA26.xnr8.m3.g (Nor2)
2.407	0.001	1.069	1.067	r xLevel_16B.xFA27.xnr5.m2.g (Nor2)
2.455	0.049	1.069	0.019	f xLevel_16B.xFA27.xnr8.m3.g (Nor2)
2.457	0.001	1.069	1.067	r xLevel_16B.xFA28.xnr5.m2.g (Nor2)
2.505	0.049	1.069	0.019	f xLevel_16B.xFA28.xnr8.m3.g (Nor2)
2.506	0.001	1.069	1.067	r xLevel_16B.xFA29.xnr5.m2.g (Nor2)
2.555	0.049	1.069	0.019	f xLevel_16B.xFA29.xnr8.m3.g (Nor2)
2.556	0.001	1.069	1.067	r xLevel_16B.xFA30.xnr5.m2.g (Nor2)
2.605	0.049	1.069	0.019	f xLevel_16B.xFA30.xnr6.m3.g (Nor2)
2.601	-0.004	1.069	1.067	r xLevel_16B.xFA30.xnr9.m0.g (Nor2)
12.287	9.687	1.069	0.168	O f P30 (out)
12.287				data arrival time
12.187	0.100			Total
0.100	0.100			output external delay
0.100	0.000			clock uncertainty
0.100				data required time

0.100				data required time
-12.287				data arrival time

Βιβλιογραφία

Papers

- [1]. Nestoras Evmorfopoulos, Dimitris Karampatzakis and Georgios Stamoulis, "Precise Identification of the Worst-Case Voltage Drop Conditions in Power Grid Verification".
- [2]. D. Blaauw, R. Panda, and R. Chaudhry, "Design and analysis of power distribution networks", in A. Chandrakasan, W. Bowhill, and F. Fox (eds.), *Design of High-Performance Microprocessor Circuits*, IEEE Press, 2001.
- [3]. S. S. Sapatnekar, Haihua Su, "Analysis and optimization of power grids", IEEE Design & Test of Computers, 2003.
- [4]. H. Royden, *Real Analysis, 3rd ed.*, Prentice-Hall, 1988.
- [5]. J. Galambos, "The asymptotic theory of extreme order statistics", 2nd ed, Krieger, 1987.
- [6]. N. Evmorfopoulos, G. Stamoulis, and J. Avaritsiotis, "A Monte Carlo approach for maximum power estimation based on extreme value theory", *IEEE Trans. Computer-Aided Design*, vol. 21, pp. 415-432, 2002.
- [7]. A. Hill, C. Teng, and S. Kang, "Simulation-based maximum power estimation", *IEEE Int. Symp. Circuits and Systems*, 1996.
- [8]. Q. Wu, Q. Qiu, and M. Pedram, "Estimation of peak power dissipation in VLSI circuits using the limiting distributions of extreme order statistics", *IEEE Trans. Computer-Aided Design*, vol. 20, pp. 942-956, 2001.
- [9]. L. Pillage, R. Rohrer, and C. Visweswariah, "Electronic and system simulation methods", McGraw-Hill, 1995.
- [10]. D. P. Karampatzakis, N. E. Evmorfopoulos and G. I. Stamoulis, "A statistically-based engine for p/g network optimization", *IEEE PRIME*, 2005.

Βιβλία / Εγχειρίδια

- [11]. Synopsys Insight : "A practical Methodology Calculates IR Drop Targets for SoCs".
- [12]. Synopsys : "Encounter User Guide".
- [13]. Synopsys : "Nanosim User Guide".
- [14]. Synopsys : "Pathmill User Guide".
- [15]. Cadence : "Ultrasim User Guide".
- [16]. Cadence : "SKILL Language User Guide".
- [17]. Cadence : "OCEAN Reference".
- [18]. Cadence : Virtuoso® Parameterized Cell Reference.
- [19]. Cadence® Design Framework Functions Reference.
- [20]. Cadence : "SKILL Language Reference".
- [21]. Cadence : "Custom Layout SKILL Functions Reference".
- [22]. Cadence : "Technology File and Display Resource File SKILL Reference Manual".
- [23]. John K. Ousterhout Computer Science Division Department of Electrical Engineering and Computer Sciences University of California Berkeley, CA 94720 : "Tel and the Tk Toolkit".
- [24]. Charles Todd : "'Tel/Tk Electronic Reference".
- [25]. N. H. WESTE , K. ESHRAGHIAN : "Design of Integrated Circuits CMOS VLSI".
- [26]. BJARNE STROUSTRUP : "The C++ Programming Language".

Ηλεκτρονική Βιβλιογραφία

- [27]. <http://www.sunlabs.com/~bwelch/book/index.html>

[28]. <http://www.pythonware.com/library/tkinter/introduction/index.html>



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΘΕΣΣΑΛΙΑΣ



004000091672